

## Санкт-Петербургский государственный университет Кафедра системного программирования

# Создание IP-ядра полукогерентного обнаружителя частотно модулированных сигналов с непрерывной фазой

Никита Михайлович Фаст, группа 24.М41-мм

**Научный руководитель:** к.ф.-м.н. Д.В. Луцив, доцент кафедры системного программирования **Консультант:** А.С. Кривоногов, начальник отдела программирования АО «Концерн ГРАНИТ»

Санкт-Петербург 2025

#### Введение

- При передаче данных к полезному сигналу добавляются шумы и помехи
- При использовании слотовой передачи данных, полезный сигнал присутствует в эфире лишь в определенные моменты времени
- Для проверки наличия сигнала в радиоэфире используется обнаружитель
- В рамках работ по разработке канала беспроводной связи, проводимых АО Концерн «ГРАНИТ», требуется создать соответствующий обнаружитель на ПЛИС

#### Постановка задачи

**Целью** работы является создание IP-ядра полукогерентного обнаружителя частотно модулированных сигналов с непрерывной фазой. Для достижения данной цели были поставлены следующие задачи.

- Сформулировать критерии выбора алгоритма обнаружения
- Осуществить выбор алгоритма обнаружения путем выполнения обзора существующих алгоритмов обнаружения и их сравнения по выбранным критериям
- Спроектировать архитектуру обнаружителя
- Реализовать обнаружитель на одном из языков HDL
- Разработать тестовое окружение под процессор ARM и с его помощью выполнить тестирование разработанного IP-ядра

#### Существующие решения

- На основе IP-ядер могут быть созданы микросхемы
- Поэтому IP-ядра могут обладать высокой коммерческой ценностью
- Из-за этого число открытых ІР-ядер крайне ограниченно
- Готовое IP-ядро может работать лишь на конкретной ПЛИС или семействе ПЛИС
- Для платформы AMD Zynq<sup>™</sup> 7000 SoC, готового решения найдено не было

#### Используемые технологии

- В силу соотношения цена/качество платформой был выбран PlutoSDR+, главными компонентами которого являются:
  - ► AMD Zynq<sup>™</sup> 7000 SoC
  - ▶ Приемопередатчик AD9363
- Поскольку производителем ПЛИС является Xilinx (AMD), то используются IDE Vivado и Vitis
- Для разработки под ПЛИС выбран VHDL в силу его использования в организации

#### Подготовка ПЛИС

- На основе репозитория $^1$  фирмы Analog Devices осуществлена сборка прошивки ПЛИС
- Прошивка предоставляет интерфейс для конфигурирования микросхемы приемопередатчика AD9361
- Прошивка предоставляет основанный на DMA интерфейс получения отсчетов АЦП
- Наличие прошивки позволило реализовать TCL-скрипты для сбора и передачи отсчетов АЦП на инструментальную систему, что упрощает разработку и отладку
- В рамках работы необходимо реализовать обнаружитель и интегрировать его в данную прошивку

<sup>&</sup>lt;sup>1</sup>https://github.com/analogdevicesinc/hdl

#### Корреляционный обнаружитель

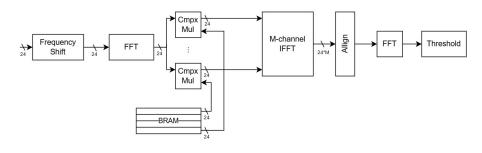
- Использует расчет функции взаимной корреляции между принятым сигналом и опорной преамбулой
- Является оптимальным алгоритмом
- Производит оценку и коррекцию параметров<sup>2</sup> сигнала
- Характеристики обнаружителя зависят от длины преамбулы
- Выбор длины преамбулы это компромисс между энергетическими свойствами системы и ее ресурсоемкостью
- Для борьбы с описанной проблемой предлагается модифицированный алгоритм

<sup>&</sup>lt;sup>2</sup>Главным образом ошибки по частоте

### Предлагаемый алгоритм

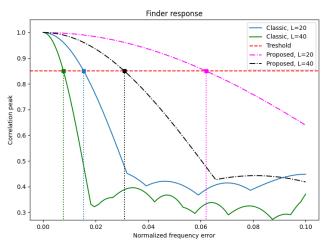
#### Отличия:

- Преамбула разделяется на сегменты
- Отклики корреляторов складываются
- Остаточная ошибка по частоте вычислительно эффективно устраняется при помощи БПФ



#### Сравнение алгоритмов

 Предлагаемый алгоритм имеет большую устойчивость к ошибке по частоте, что позволяет выполнять перебор частотных сдвигов с большим шагом, что снизит ресурсоемкость реализации



#### Результаты

В ходе работы за весенний семестр были достигнуты следующие результаты.

- Реализована математическая модель модифицированного алгоритма обнаружения на языке Python
- Проведено моделирование реализованного обнаружителя при разных параметрах обнаружения и осуществлен сбор предельных характеристик, при которых осуществляется успешное обнаружение
- Выполнена сборка прошивки ПЛИС, которая предоставляет интерфейс управления приемопередатчиком и интерфейс получения данных АЦП
- На базе IP-ядер фирмы Xilinx реализовано IP-ядро переноса по частоте