

UNIVERSITÄT KARLSRUHE
Institut für Industrielle Informationstechnik
- Prof. Dr.-Ing. habil. K. Dostert -

Vordiplomprüfung im Fach

Mikrorechnertechnik

Aufgabe 1: A/D- und D/A-Wandlung

a)

u_i in Volt	0,1			0,45			0,85		
Inhalt des SAR:	MSB		LSB	MSB		LSB	MSB		LSB
nach 1. Schritt	0	0	0	0	0	0	1	0	0
nach 2. Schritt	0	0	0	0	1	0	1	1	0
nach 3. Schritt	0	0	0	0	1	1	1	1	0

b) $f = 10 \cdot 500 \text{ kHz} = 5 \text{ MHz}$

c) $f = 2^{10} \cdot 500 \text{ kHz} = 512 \text{ MHz}$

d) Registerwert: $\frac{3,3 \text{ V}}{5 \text{ V}} \cdot 256 = 168,96 \approx 169$

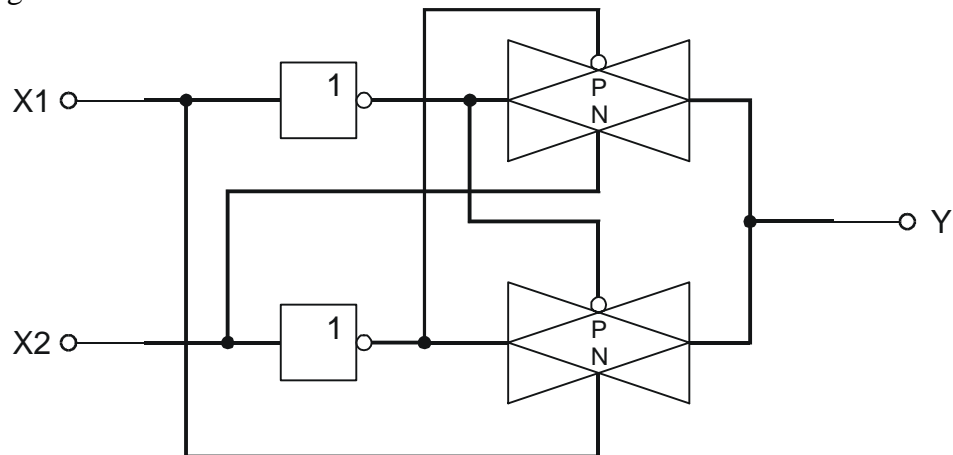
Aufgabe 2: Zahlendarstellung in Mikrorechnerprogrammen

a)

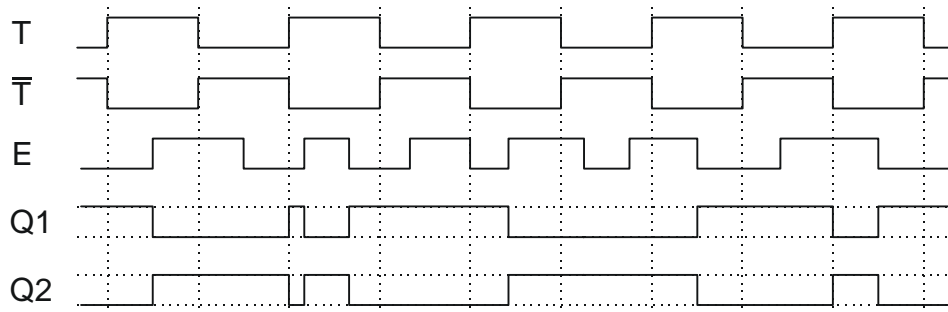
Register	Inhalt (dezimal)	Inhalt (binär)	
		MSB	LSB
A	-100	1 0 0 1 1 1 0 0	
R0	123	0 1 1 1 1 0 1 1	
R1	107	0 1 1 0 1 0 1 1	

Aufgabe 4: **CMOS-Transferrgates**

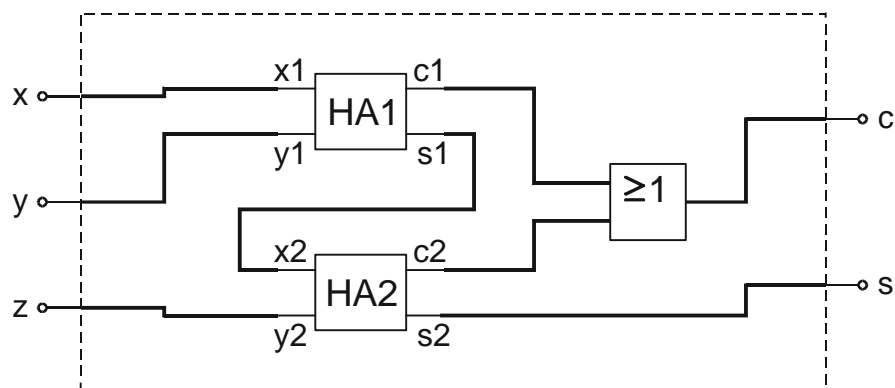
a) Eine Möglichkeit:



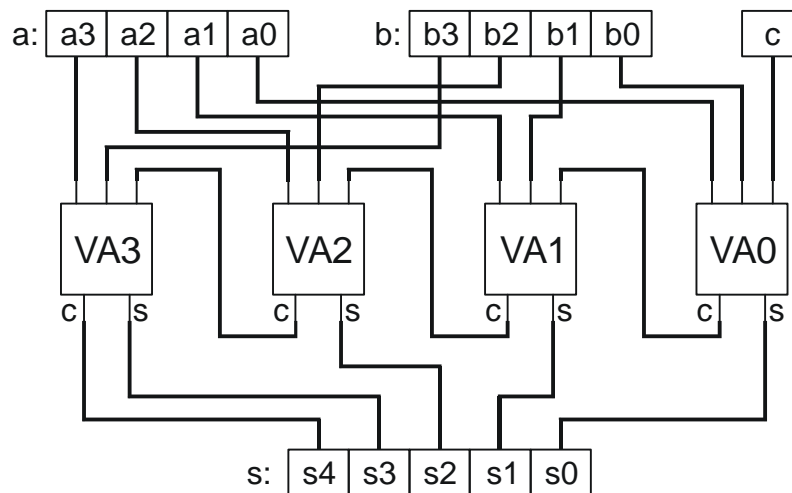
b)

Aufgabe 5: **Addierer**

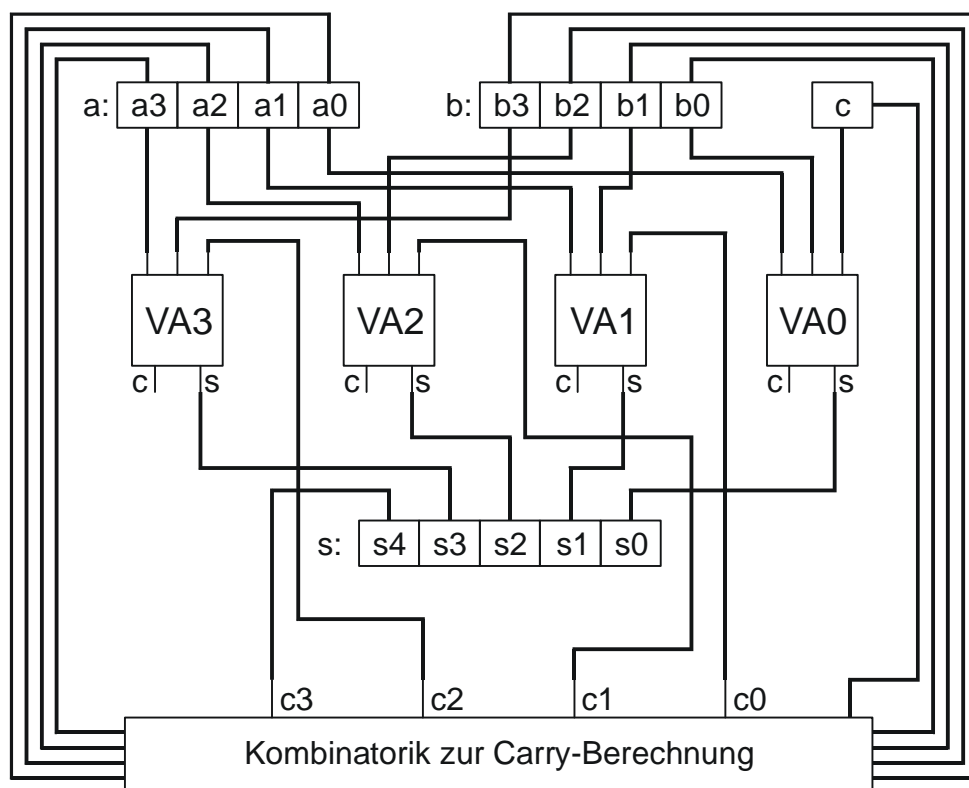
a) Eine Möglichkeit:



b)



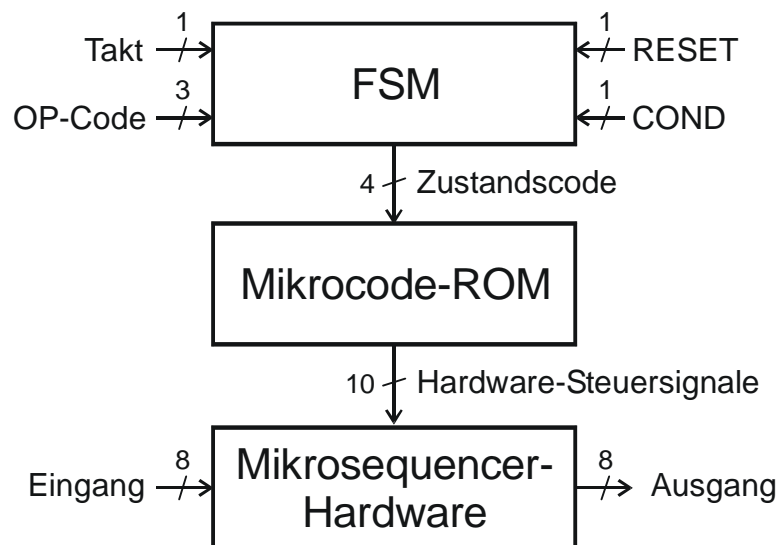
c)



- d) Vorteil: schnellere Berechnung
 Nachteil: höhere Anzahl von Gattern notwendig

Aufgabe 6: Entwurf eines Steuerwerks

a)

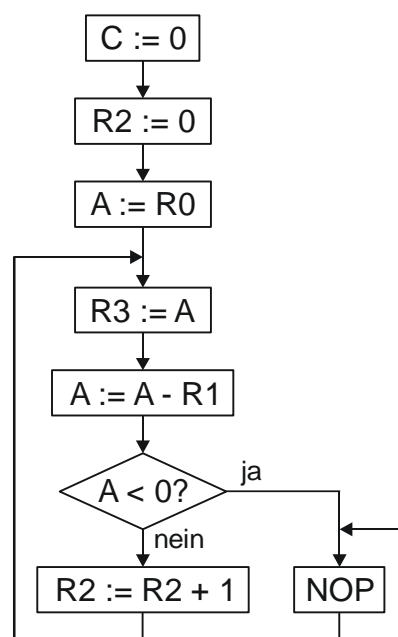


b)

	Null	TR_IN	TR_X	ADD	INC	S_INC	S_DEC	TR_Y	RD	WR
Schritt 1	0	0	0	0	1	0	0	0	0	0
Schritt 2	0	1	0	0	0	0	0	0	0	1
Schritt 3	0	0	0	0	0	1	0	0	0	0
Schritt 4	0	0	0	0	0	0	0	1	0	0

Aufgabe 7: Analyse eines Mikrocontrollerprogramms

a)



- b) Das Programm berechnet das Ergebnis der Ganzzahldivision von R0/R1 und den Divisionsrest. Das Divisionsergebnis wird nach R2, der Rest nach R3 geschrieben.

c)

Register	R0	R1	R2	R3
Registerinhalt	35	10	3	5

Aufgabe 8: Programmierung der seriellen Schnittstelle im 8051

- a) Reloadwert von Timer 1: $TH1 = 10011000_2 = 152_{10}$

Überlaufrate von Timer 1 im Autoreload-Modus: $\frac{f_{osc}}{12} \cdot \frac{1}{256 - TH1}$

Wegen SMOD = 1 werden die Timer 1-Überläufe durch 16 dividiert

$$\Rightarrow \text{Baudrate: } \frac{f_{osc}}{12} \cdot \frac{1}{16} \cdot \frac{1}{256 - TH1} = \frac{12 \text{ MHz}}{12} \cdot \frac{1}{16} \cdot \frac{1}{256 - 152} = 600,96 \text{ Baud}$$

- b) niedrigste Baudrate: Timer 1 läuft alle 256 Schritte über $\Rightarrow TH1 = 0$

$$\text{minimale Baudrate: } \frac{f_{osc}}{12} \cdot \frac{1}{16} \cdot \frac{1}{256 - 0} = \frac{12 \text{ MHz}}{12} \cdot \frac{1}{16} \cdot \frac{1}{256} = 244,14 \text{ Baud}$$

- c) Reloadwert: $TH1 = 256 - \frac{f_{osc}}{12 \cdot 16 \cdot \text{Baudrate}}$

Quarz	f_{osc}	TH1 (berechnet)	TH1 (gerundet)	Baudrate	Fehler
1	11 MHz	250,03	250	9549	0,5 %
2	11,0592 MHz	250	250	9600	0
3	12 MHz	249,49	249	8929	7,0 %

\Rightarrow Quarz 2 ist am besten geeignet

Aufgabe 9: Digitale Signalprozessoren

- a) Der Programmabschnitt führt folgende Berechnung durch (in Dezimaldarstellung):

$$\frac{1}{2} \cdot \frac{1}{32} + \frac{1}{4} \cdot \frac{1}{16} + \frac{1}{8} \cdot \frac{1}{8} + \frac{1}{16} \cdot \frac{1}{4} + \frac{1}{32} \cdot \frac{1}{2} = \frac{5}{64}$$

$$\text{Umrechnung in Binärdarstellung: } \frac{5}{64} = \frac{1}{16} + \frac{1}{64} = 0,000101_2$$

Darstellung als 24 bit-Zahl in Fraktaldarstellung: $A1 = 0000\ 1010\ 0000 \dots 0000_2 = 0A0000_{16}$
 $A2 = 0$ (keine Überläufe), $A0$ ebenfalls

A2	A1	A0
\$00	\$0A0000	\$000000

- b) $M5 = 4$
- c) Der Ausgabewert des A/D-Wandlers steht immer an Speicheradresse \$1000 im X-Speicher, deshalb darf der Zeiger R1 auf diese Adresse nicht verändert werden.

Aufgabe 10: Schaltungsbeschreibung mit VHDL

a) ...
 ELSIF (clock'event AND clock = '1') THEN
oder
 ELSIF RISING_EDGE (clock) THEN
...
 INTERN <= EIN_X * EIN_Y + INTERN;
...
 INTERN <= EIN_X * EIN_Y;
...
ERGEBNIS <= INTERN;
...

- b) maximaler Eingang: $2^8 - 1$
 maximaler Ausgang: $2^{19} - 1$
 mögliche MAC-Operationen: $\frac{2^{19} - 1}{(2^8 - 1)^2} = 8,06$
 \Rightarrow maximal 8 MAC-Operationen ohne Überlauf möglich

c) ...
WHEN "00" => folg_zust <= st0;
WHEN "01" => folg_zust <= st1;
WHEN "10" => folg_zust <= st0;
WHEN "11" => folg_zust <= st1;
...
WHEN "00" => folg_zust <= st0;
WHEN "01" => folg_zust <= st0;
WHEN OTHERS => folg_zust <= st1;
...
WHEN st0 => aus <= "1000";
WHEN st1 => aus <= "1111";