Vorname:	Name:
MatrNr.:	Note:

 $18.03.2005 - 14^{00}$ Uhr bis 16^{00} Uhr

UNIVERSITÄT KARLSRUHE Institut für Industrielle Informationstechnik

- Prof. Dr.-Ing. habil. K. Dostert -

Diplomprüfung im Fach

"Mikrorechnertechnik"

Musterlösung F05

Aufgabe:	1	2	3	4	5	6	7	8	9	10	gesamt
Punkte:											
Erreichbare Punktzahl:	9	10	10	10	10	10	10	10	10	11	100

Aufgabe 1: A/D-Wandlung

9 Punkte

- b) N=10 bit
- c) Integrierende Verfahren: Zählmethode über alle Amplitudenstufen, zählen bis Rückführungszweig gleich Eingang, dann Zähler stoppen

Sukzessive Approximation: schrittweise Annäherung in Zweierpotenzstufen, einzelne Bits in Register setzen in Abhängigkeit von Komparatorausgang, sonst analog integrierende Verfahren.

Pipelining-Prinzip: vereint Geschwindigkeit und hohe Auflösung, einfügen von N Registern, Erhöhung des Datendurchsatzes.

Sigma-Delta-Prinzip: sehr hohe Auflösung bei geringem Aufwand auf der Analogseite, hohe Überabtastung, grobe Quantisierung, Noise Shaping.

Aufgabe 2: Zahlendarstellung in Mikrorechnerprogrammen

10 Punkte

a), b)

Registe r	MS	SB	In	halt	(bina	Inhalt (dezimal)			
R0	0	0	1	0	1	1	0	0	44
R1	1	0	0	1	1	1	1	1	-97
A	1	1	0	0	1	0	1	1	-53

Tabelle 2.1: Registerbelegung eines Mikrocontrollers

c)
$$110,01011_b => Vorzeichen negativ \\ Wert der ganzen Zahl = 01_b = 1 \\ Nachkommawert = 2^{-2} + 2^{-4} + 2^{-5} = 0,5 + 0,125 + 0,03125 = 0,34375 \\ => Dezimalwert = -2,34375$$

d)
$$11001011_b => Fraktal-Darstellung: -1 + (2^6 + 2^3 + 2^1 + 2^0)/2^7 = -0,4140625$$

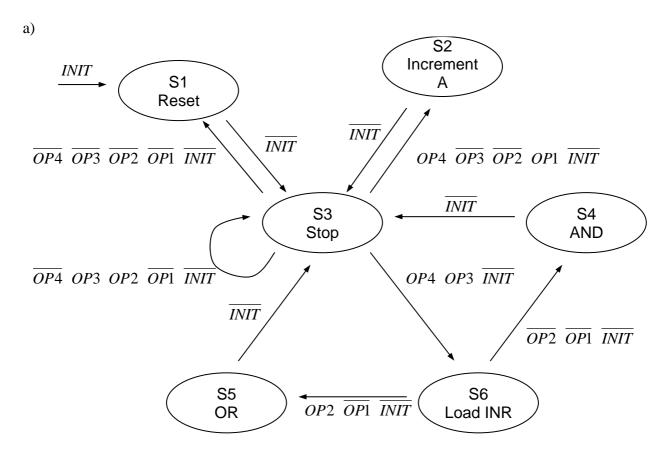
e)

Inhalt	M	IS:	В										I	nh	alt	t (t	oir	ıäı	:)											I	LS	В
(dezimal) 31				2	4	23						1	6	15					8	7				0								
58	0	1	0	0	0	0	1	0	0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
-1680	1	1	0	0	0	1	0	0	1	1	0	1	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Tabelle 2.2: Speicherbelegung eines digitalen Signalprozessors

Aufgabe 3: Beschreibung einer FSM

12 Punkte



- b) S0, S1
- c) S0, S1, S3

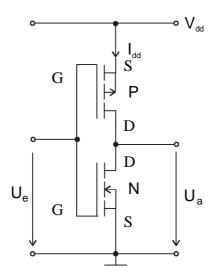
d)

	IN_LOAD	ADR_ IN	ADR_ LOAD	ALE	READ	WRITE	TR_IN	X_LOAD	ADD	OUT_ LOAD
Schritt 1	0	0	0	0	0	0	1	0	0	1
Schritt 2	1	0	0	1	1	0	0	0	1	1

Aufgabe 4: CMOS-Technologie

9 Punkte

a)



 $U_e = H$:

Der obere Transistor (p-Kanal) sperrt, der untere Transistor (n-Kanal) leitet; damit liegt der Ausgang an Masse, also auf logisch L.

 $U_e = L$:

Der obere Transistor (p-Kanal) leitet, der untere (n-Kanal) sperrt; damit liegt der Ausgang an V_{dd} , also auf logisch H.

- b) A: Source, B: Gate, C: Drain, D: Drain, E: Gate, F: Source
- c) G: n, H: p, I: n, J: p

Aufgabe 5: Verlustleistung von CMOS-Schaltungen

9 Punkte

umschaltverluste: Verluste durch Umschaltströme, die während jeder Taktflanke beim Umschalten von Invertern und Gattern entstehen
 Umladeverluste: Verluste beim Umladen von Kapazitäten (z. B. Busleitungen)

b)
$$\bar{I} = N_{Inv} \cdot \frac{1}{T_{Takt}} \int_{o}^{T_{Takt}} i_{d}(t) dt = N_{Inv} \cdot f_{Takt} \cdot \left[\int_{o}^{t_{r}} i_{d}(t) dt + \int_{o}^{t_{f}} i_{d}(t) dt \right] = N_{Inv} \cdot f_{Takt} \cdot \left[\frac{t_{r}}{2} + \frac{t_{f}}{2} \right] \cdot I_{DP}$$

mit t_r=t_f ergibt sich

$$\Rightarrow I_{DP} = \frac{\bar{I}}{N_{Inv} \cdot f_{Takt} \cdot \left[\frac{t_r}{2} + \frac{t_f}{2}\right]} = \frac{30mA}{15.000 \cdot 10MHz \cdot \left[0.5ns + 0.5ns\right]} = 200 \mu A$$

c)

$$\begin{split} I_{\text{max}} &= i_{ges}(t_p) = N_{Inv} \cdot I_{DP} = 15.000 \cdot 200 \,\mu\text{A} = 3\text{A} \\ P_{\text{max}} &= p_s(t_p) = U \cdot I_{\text{max}} = U \cdot N_{Inv} \cdot I_{DP} = 3.3V \cdot 15000 \cdot 200 \,\mu\text{A} = 9.9W \end{split}$$

d)
 Die Höhe einer Stromspitze ist unabhängig von der Taktfrequenz.
 Die Inverter schalten nun doppelt so oft, infolgedessen verdoppeln sich auch die Umschaltverluste und die mittlere Stromaufnahme.

e)

$$P = C^* \cdot f^* \cdot U^2 = 10MHz \cdot 5nF \cdot (3.3V)^2 = 544.5mW$$

Aufgabe 6: Baudratengenerierung mit dem 80C51

10 Punkte

a)

	Bit 7							Bit 0
SCON	0	1	X	1	X	X	0	0
	Mod	de 1	(für Mode 2, 3)	receive enable	(für Mo	ode 2, 3)	Interrup	ot-Flags

	Bit 7							Bit 0				
TMOD	0/1/X	0	1	0	X	X	X	X				
	Start durch	Timer		bit reload	(für Timer 0)							
	TR1											

b) Eingangsfrequenz für Timer 1: $f_{osc}/12$ Eingangsfrequenz der seriellen Schnittstelle: Timer 1-Überläufe dividiert durch 16 damit folgt für die Frequenz der Baudratengenerierung: $f = \frac{16MHz}{12 \cdot 16} = 83.3333kHz$

benötigte Zählerschritte: $\frac{83333}{4800} = 17.36 \approx 17$

Autoreloadwert: TH1 = 256 - 17 = 239 (oder EFh)

c) Exakte Baudrate:
$$\frac{16MHz}{12 \cdot 16 \cdot 17} = 4901,96$$
 baud

Fehler:
$$\frac{4901.96 - 4800}{4800} = 21.24 \cdot 10^{-3}$$

d) Für die maximale Baudrate muss die Zahl der Zählerschritte minimal werden, d. h. Zählerüberlauf nach einem Schritt.

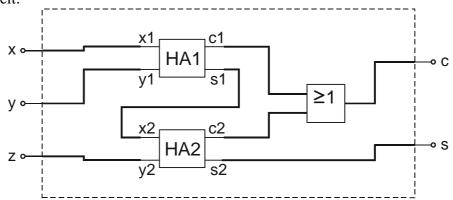
damit folgt für die zugehörige Baudrate: $\frac{12MHz}{12 \cdot 16} = 62.5$ kbaud

Aufgabe 7: Addierer und Multiplizierer

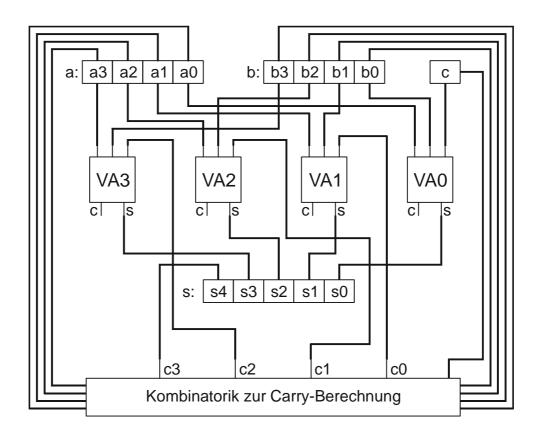
10 Punkte

a)

eine Möglichkeit:



b)

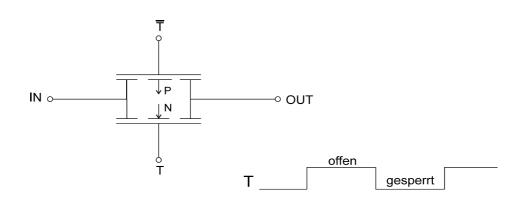


- c)
 Jeder der Schritte 1-4 benötigt genau eine Volladdiererlaufzeit; hinzu noch die Zeit für die GatterMultiplikationen sowie die Abschlussaddition
- => Gesamtlaufzeit= $4*\tau_{VA} + 1$ ns + 1,5 ns= 4*1,5 ns + 1 ns +1,5 ns = 8,5 ns.
- d) $f_{\text{max}} = 1/(1.5 \text{ns} + 1 \text{ ns} + 0.5 \text{ns}) = 333,333 \text{ MHz}$
- e) Der Register muss alle Ergebnisbits vom Schritt 3 Speichern, d.h. pro HA und VA sind jeweils 2 Bits und für mit X gekennzeichneten nicht veränderten Stellen jeweils 1 Bit => das Register muss 40 Bit lang sein.

Aufgabe 8: CMOS-Transfergates

10 Punkte

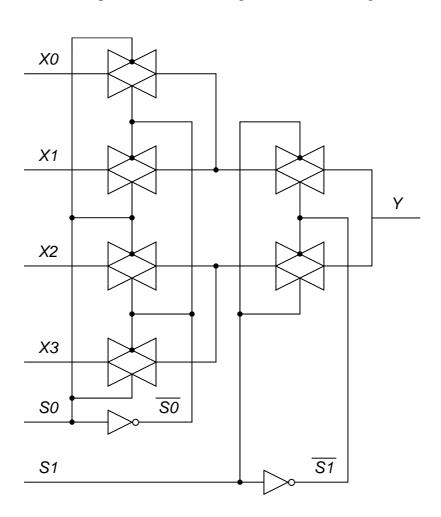
a)



Transfergate ist "offen" bei T=1, /T=0 Transfergate ist "gesperrt" bei T=0, /T=1

Mit Transfergates können komplexe Gatter mit weniger Transistoren aufgebaut werden

b)



Aufgabe 9: Matrizenoperation mit dem DSP 56002

10 Punkte

a)

$$b_i = \sum_{k=1}^{N} m_{i,k} \cdot a_k \text{ mit i=1, 2, ..., N}$$

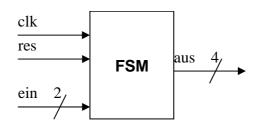
b) Der MAC-Befehl in Verbindung mit Parallel-Moves und einer Hardware-Do-Loop-Schleife.

c)
move #\$100, R0
move #\$120, R4
clr A X:(R0)+, X0 Y:(R4)+, Y0
do #16, end
max X0, Y0, A X:(R0)+, X0 Y:(R4)+, Y0
end

Aufgabe 10: Beschreibung und Analyse von Schaltungen mit VHDL 11 Punkte

```
a)
ENTITY mult IS
 PORT(clock, reset: IN bit;
      x, y: IN Integer Range 0 to 127;
      e: OUT Integer Range 0 to 16129
END mult;
ARCHITECTURE behave OF mult IS
BEGIN
 PROCESS (clock, reset)
 BEGIN
  IF reset='0' THEN
    e <= 0;
  ELSIF(clock'event AND clock='0')THEN
    e \le x * y;
  END IF;
 END PROCESS;
END behave;
```

b)



c)

