

计算机组成习题

—存储器

第1题

❖说明存取时间与存取周期的区别。

❖什么是存储器的带宽？若某存储器的数据总线宽度为64位，存取周期为100ns，则该存储器的带宽是多少？

第2题

❖ 某机字长32位，其存储容量是64KB，按字编址其寻址范围是多少？若主存以字节编制，试画出主存字地址和字节地址的分配情况。

第3题

- ❖ 一个容量为 $64\text{K} \times 32$ 位的存储器，分别需要几条地址线 and 数据线？
- ❖ 如果该存储器采用二维地址结构，且行地址和列地址的位数相同，则译码器输出的行选择线和列选择线分别有多少条？
- ❖ 若选用下列不同规格的存储芯片来实现该存储器，需要各存储芯片的数目以及它们的排列方式分别是怎样的？
 - $1\text{K} \times 4$
 - $2\text{K} \times 8$
 - $4\text{K} \times 4$
 - $16\text{K} \times 1$
 - $4\text{K} \times 8$
 - $8\text{K} \times 8$

第4题

❖ 现有一容量为 $256\text{K} \times 8$ 的DRAM存储芯片，试回答：

- 该芯片包含多少个字单元？
- 该芯片包含多少个二进制存储单元电路(存储位元)？
- 该芯片的刷新地址计数器应该是多少位？
- 若该DRAM芯片的存取周期为 $0.25\mu\text{s}$ ，试问采用集中刷新、分散刷新及异步刷新三种方式的刷新间隔各为多少？

第5题

❖ 画出 $1\text{K} \times 4$ 位的存储器芯片组成一个 $64\text{K} \times 8$ 位的存储器逻辑框图。要求 64K 分成4个页面，每个页面分16组，指出共需多少片存储器芯片。

第6题

❖ 设有一个 $64\text{K} \times 16$ 位的RAM芯片，问该芯片共有多少个基本单元电路(简称存储基元)？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

第7题

❖ 某8位微型计算机地址码为18位，若使用 $4K \times 4$ 的RAM芯片组成模块板结构的存储器，问：

- 该机所允许的最大主存空间是多少？
- 若每个模板为 $32K \times 8$ 位，共需多少模板块？
- 每个模板块内共有几片RAM芯片？
- 共有多少片RAM？
- CPU如何选择各模板块？

第7题

❖ 某8位机地址码为18位，若使用 $4K \times 4$ 的RAM芯片组成模块板结构的存储器，问：

➤ CPU如何选择各模板块？

第8题

❖ 设CPU有16根地址线，8根数据线，并用MREQ#作访存控制信号，R/W#作读写命令信号，现有存储芯片ROM ($2K \times 8$, $4K \times 4$, $8K \times 8$)和RAM($1K \times 4$, $2K \times 8$, $4K \times 8$)及74138译码器和其他门电路。试选择合适芯片，并画出CPU和芯片连接图。要求：

- 最小4K地址为系统程序区，4096~16383地址范围为用户程序区
- 指出选用的存储芯片类型及数量
- 画出片选逻辑

第9题

❖ CPU假设同第8题，现有8片8K×8位的RAM芯片与CPU相连，试回答：

- 用74138译码器画出CPU与存储芯片的连接图
- 写出每片RAM的地址范围
- 如运行时发现不论往哪片RAM写入数据后，以A000H为起始地址的存储芯片都有与其相同的数据，分析故障原因
- 根据前面的连线图，若出现地址A13与CPU断线，并搭接到高电平上，将出现什么后果？