

1.1 总线的一般概念

- ❖总线特性
 - ▶机械特性:机械连接方式。如几何尺寸、引脚数量、 插头标准。
 - ■连接方式: 电缆式、主板式、底板式
 - ▶电气特性: 信号传输方向、有效电平、电平逻辑等。
 - 电平方式: 单端方式(一组信号线、一个公共接地信号)、差分方式
 - ■电平逻辑:正逻辑、负逻辑
 - >功能特性: 信号功能定义。
 - ▶时间特性: 信号之间的时序关系。

62 北京航空航天大

1.1 总线的一般概念

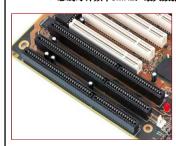
- ❖总线的设计要素
 - >类型:专用或复用
 - 总线复用: 地址总线与数据总线是否复用(时分多路复用)
 - >仲裁方式: 集中式或分布式
 - 总线上各部件使用总线的仲裁方式。
 - ▶时序: 同步/异步方式
 - 总线上的数据与时钟同步工作的总线为同步总线,与时钟异步的总 线为异步总线。
 - ▶总线宽度:数据总线位数(根数),如32位,64位。
 - >标准传输率: 每秒传输的最大字节量。
 - >信号线数: 所有信号线的总数。

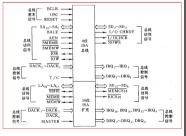
On 此京航空航天大学

5

1.1 总线的一般概念

- ❖ISA (Industrial Standard Architecture, 工业标准体系结构)
 - ▶IBM公司为PC/AT电脑而制定的总线标准,最开始是8位总线;
 - ▶1984年推出IBM-PC/AT系统,ISA从8位扩充到16位:
 - ▶16位数据总线,24位地址总线;
 - ▶总线时钟频率8MHz,最大数据传输率16MB/s。





(2) 北京航空航天大学

1.1 总线的一般概念

❖总线的分类

- ▶ 片内总线: 芯片内部连接各元件的总线,如CPU内部的总线,是 CPU内各寄存器、寄存器与ALU之间传递信息的公共通道。
- ➤ 系统总线: CPU、主存、I/O部件(I/O接口)之间传递信息的公共通道。一般分为数据总线、地址总线和控制总线三部分
 - ◆ 数据线: 传输数据:
 - ◆ 地址线: 传输存储器地址和I/O地址:
 - ◆ 控制线:
 - 数据传输控制信号:存储器读写控制信号、I/O读写控制信号,应答信号等。
 - 总线请求和交换信号:总线请求、总线允许,中断请求与响应信号等。
 - 其他控制信号: 时钟、复位、电源线等
- ▶ 通信总线: 用于计算机系统之间或计算机系统与其他系统之间的通信。

CC 共京航空航天大学

6

1.1 总线的一般概念

- ❖EISA(Extended Industrial Standard Architecture,扩展的 ISA)
 - ▶1988年,康柏、HP、NEC等9个 厂商协同把ISA扩展到32位,即 EISA总线(Extended ISA)。
 - >32位數据总线,32位地址总线, 总线时钟频率8MHz,最大数据传 输率33MB/s。
 - > 与ISA兼容,连结器是一个两层槽 设计,既能接受ISA卡,又能接受 EISA卡。顶层与ISA卡相连,低层 则与EISA卡相连。

F#63	上部信号	3180	引脚	上部信号	F部信号	
Ground	Ground	- B1	41-	4/D/CH/CHK	-CMD	
a S Todo	RESET DRV	- B2	42-	Cata Rt 7	START	
45 Toller	45.994	- B3	A2	Data Bit 6	EXBDY	
Reserved	E0.9	- R4	A1 -	Data Bit 5	-EX32	
Reserved	-5 V/4	- B5	A5 -	Data Bit 4	Ground	
KEY	060.2	- B6	AS-	Data Bit 3	KEY	
Reserved	-12 Vdc	- B7	A7 -	Data Bit 2	-EX16	
Reserved	-0 WAIT	- B8	A3 -	Cata Bit 1	-SLBURST	
+12 Vdc	+12 Vdo	- Bb	AQ T	Cota Bit 0	-MSBURST	
M-10	Ground	B10	A10 T	4/D CH RDY	W-R	
LOCK	SMEMW	- B11	A11.	AEN	Ground Reserved	
Reserved	-SNEMR	- B12	A12 7	Address 19	Reserved	
Reserved	-IOW	B13	A13	Address 18 Address 17	Reserved	
RESERVED	-IOR		A14	Address 17 Address 16	Ground	
KEY	-DACK 3	B15	A15 7	Address 15	KEY	
BE 9	0R03	E16	At6	Address 15 Address 14	RF 1	
JEE 0	DACK 1	B18	A18 -	Address 13	Lateh Arthures 31	
Ground	Refresh	B19	410	Address 12	Ground	
+5 Vido	CLK(R,SSMHz)	- B20	A20 -	Address 11	-Latch Address 30	
Jakib Address 59	ISO 7	B21	A21 7	Address 10	-Latch Address 28	
Ground	B06	- R22	A22 -	Address P	-Latch Address 27	
Latch Address 26	POS	823	A23 T	Address 8	-Latch Address 25	
Latch Address 24	E04	E24	A24	Address 7	Ground	
KEY	1903	R25	A25	Address 6	KEY	
Latch Address 16	DACK 2	B26	A26	Address 5	Latch Address 15 Latch Address 13	
Latch Address 14	TIC	B27	A27	Address 4	Latch Address 12	
+5 Vdc +5 Vdc	BALE	B28	A28	Address 3	Little Address 12	
45 VDC Ground	+5 Vdo	B29	A29	Address 2	Ground	
Latch Address 10	OSC(14.3MHz)	B\$0	A31	Address 1	Latch Addrson 9	
Lastri Address 10	Ground	E-831	_A21□	Address 0		
Latth Address R	-MEM CS16	- D1	01-	SPHE	Lavb Advess 7	
Latch Address 6	40 CS16	F 01	627	Latch Arthurs 29	Grand	
Latch Address 5	FQ 10	F 83	637	Latch Address 22	Latch Address d	
+5 Vdc	FQ 11	- 04	C4-	Leich Ackless 21	Latch Address 2	
Latch Address 4	FIQ 12	- 06	C5-	Latch Address 20	Ground	
KEY	FIQ 15	- 06	C8-	Leich Address 19	KEY	
Data Bit 16	IBQ 14	- 07	07-	Latch Address 18	Date Bit 17	
Deax Bit 18	-DACK 8	- D3	C8-	Latch Address 17	Data Bit 19	
Ground	0900	- D3	C9-	-MEMR	Data Bit 20	
Data Bit 21	-DACK 5	- 010	C10-	-MEMW	Data Bit 22	
Data Bit 23	DRQS	- D11	C11-	Cots B# 8	Ground	
Data Bit 24	-DACK 6	- 012	C12-	Data Bit 9	Data Bit 25 Data Rit 26	
Ground	DAG 6	013	C13-	Cata Bit 10		
Data Bit 27 KEY	-DACK 7	D14	C14-	Data Bit 11	Data Bit 28 KEY	
Data Re 20	DRQ 7	015	C15	Data Bit 12	Grund	
aS Vido	+5 Vdc	D16	C16	Data Bit 13	Date Bit 30	
+5 Vdc	-Master	D17	C177	Date Bit 14	Data Bit 31	
AUAKX	Ground	D18	C19 -	Data Bit 15	MRECK	

O 北京航空航天大学

1.1 总线的一般概念

❖PCI (Peripheral Component Interconnect, 外部设备互连)

- ▶ Intel 1991年,局部总线
- > 32位或64位的总线位宽
- ▶ 33MHz频率下, 133MB/s~266MB/s的最 大数据传输率
- ▶ 66MHz概率下, 266MB/s~533MB/s的最 大数据传输率
- ▶64位的存储器和I/O寻址能力
- > 完全的多总线主控器
- > 无限突发读/写方式
- ▶ CPU和存储器子系统或PCI设备并发工作
- > 地址线和数据线多路复用
- > 自动配置,即插即用
- ▶ PCI信号线: 必备的和可选的。作为从设 备为最少47条,作为主设备为最少49条。
- ❖ 后续发展: PCI-X, PCI-E

公 此京航空航天大学





1.1 总线的一般概念

五种主要总线标准的关键特性

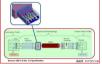
Characteristic	Firewire (1394)	USB 2.0	PCI Express	Serial ATA	Serial Attached SCS
Intended use	External	External	Internal	Internal	External
Devices per channel	63	127	1	1	4
Basic data width (signals)	4	2	2 per lane	4	4
Theoretical peak bandwidth	50 MB/sec (Firewire 400) or 100 MB/sec (Firewire 800)	0.2 MB/sec (low speed), 1.5 MB/sec (full speed), or 60 MB/sec (high speed)	250 MB/sec per lane (1x); PCle cards come as 1x, 2x, 4x, 8x, 16x, or 32x	300 MB/ sec	300 MB/sec
Hot pluggable	Yes	Yes	Depends on form factor	Yes	Yes
Maximum bus length (copper wire)	4.5 meters	5 meters	0.5 meters	1 meter	8 meters
Standard name IEEE 1394, 1394b		USB Implementors Forum	PCI-SIG	SATA-IO	T10 committee

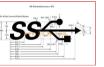
65 北京航空航天大学

1.1 总线的一般概念

- ❖USB (Universal Serial Bus, 通用串行总线)
 - ▶1995年,Intel、 Compaq、Digital、IBM、Microsoft、NEC等 7家世界著名的计算机和通信公司共同推出;
 - >USB采用主从结构,主机叫Host,从机叫Device。外观上Host 一侧为 4 针公插, Device一侧为 4 针母插。可为外设提供电源;
 - ▶允许外设在开机状态下热插拔,最多可串接下来127个外设
 - ▶管脚定义: VCC (5V)、D-、D+、GND
 - **▶USB 1.0: 1.5Mbps ~12Mbps**
 - ▶USB 2.0: 数据传输率最高可达480Mbps
 - ▶USB 3.0: SuperSpeed USB , 最大传输带宽高达5.0Gbps , 也

就是625MB/s





此京航空航天大学

第九部分 总线与I/0

一、总线

二、I/O接口

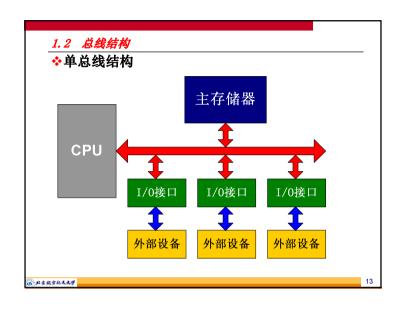
三、程序查询I/O方式

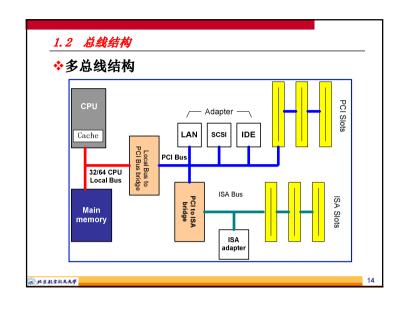
四、中断与中断I/O方式

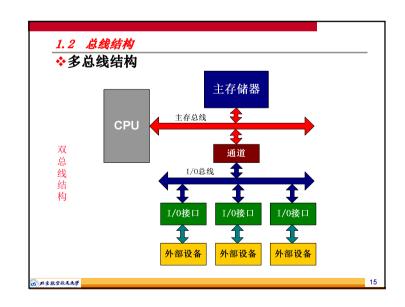
五、DMA I/O方式

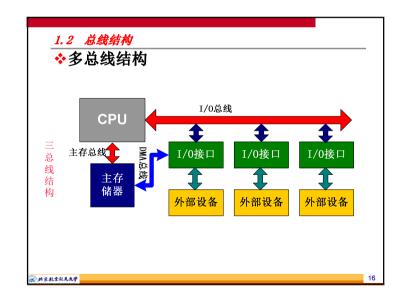
六、I/O通道

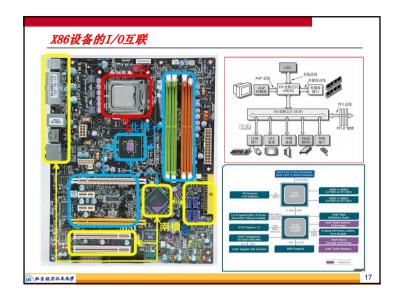
(2) 北京航空航天大学





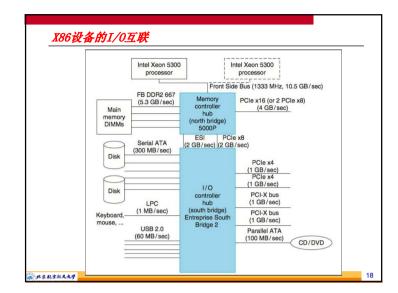








- ❖总线设计的要素
 - ▶信号线类型:占用、复用(地址数据分时复用)
 - ▶总线事务类型
 - 总线事务: 总线上一对设备之间的一次信息交换
 - ■主设备(请求代理)、从设备(响应代理)
 - 事务类型:存储器读(写)、I/0读(写)、中断响应等等
 - ▶总线宽度
 - >总线仲裁方式: 多个设备同时申请总线时的问题



1.3 总线的仲裁方式

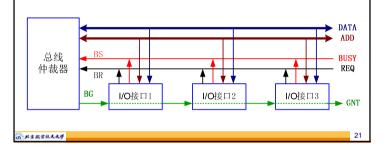
- *总线仲裁方式
 - >集中式仲裁方式
 - 链式查询方式
 - ■计数器定时查询方式
 - 独立请求方式
 - >分布式仲裁方式
 - 自举分布式仲裁
 - 冲突检测分布式仲裁
 - 并行竞争分布式仲裁

(A) 北京航空航天大学

1.3 总线的仲裁方式

❖链式查询方式

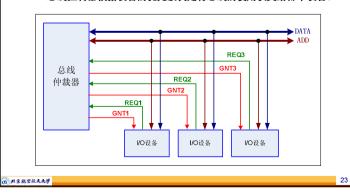
- ▶ 总线控制器(仲裁器)收到总线申请BR,BG(总线同意信号)逐 个往下传:
- >遇到某接口有总线申请(BR:总线申请信号),BG停止往下传;
- ▶该接口获得总线使用权,并建立总线忙信号BS。



1.3 总线的仲裁方式

❖独立请求方式

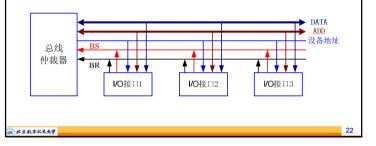
- >每个设备有独立的请求信号和总线同意信号;
- >总线控制器根据设备的优先级决定将总线的使用权交给哪个设备。



1.3 总线的仲裁方式

❖计数器定时查询方式

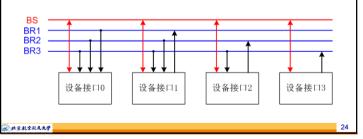
- ▶总线控制器(仲裁器)收到总线申请BR,计数器开始 计数:
- ▶当某个有总线申请的设备地址与计数器一致,便获得总线使用权,并建立总线忙信号BS。



1.3 总线的仲裁方式

❖自举分布式仲裁方式

- >不需要集中的总线仲裁器
- >每个设备优先级固定,各设备根据优先级使用总线
- ▶图: BR1、BR2、BR3分别是设备1、设备2和设备3的总线申请, BS是总线忙信号,设备0只有在BR1、BR2、BR3都没有申请并且 BS表示不忙时才能使用总线(将BS置成有效)

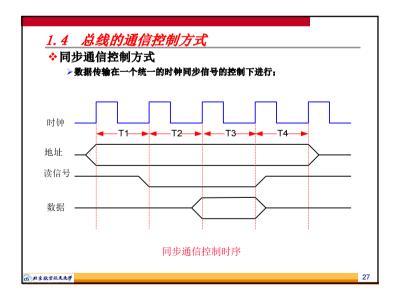


1.3 总线的仲裁方式

- ❖冲突检测分布式仲裁方式
 - >设备先查总线是否空闲,若是,立即使用总线(置总线忙)
 - >冲突:两个设备同时检查到总线空闲并同时使用总线的现象
 - >传输流程
 - 1. 首先侦听总线,以检测是否发生冲突
 - 2. 若无冲突,开始传输
 - 3. 如发生冲突,两个设备都停止传输,延迟一个随机时间 后再重新侦听
 - 一般用于网络通信,如以太网

On 此京航空航天大学

25



1.3 总线的仲裁方式

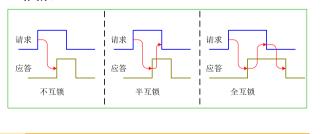
- ❖并行竞争分布式仲裁方式
 - ▶基本思想:
 - 每个设备都有唯一的仲裁号
 - 设备申请总线时, 主设备将仲裁号发送到仲裁线上,
 - 仲裁号将用在并行竞争算法中
 - 每个设备根据仲裁算法决定在一定的时间段后占用总线还 是撤销仲裁号
 - > 较为复杂但有效的总线仲裁

On 此京航空航天大学

26

1.4 总线通信的控制方式

- ❖异步通信控制方式
 - > 没有固定的时钟周期:
 - >采用应答方式完成数据传输(握手协议)
 - >有全互锁(三次握手)、半互锁(两次握手)和不互锁(一次握手)三 种时序。



(2) 北京航空航天大学



2.1 I/0接口

❖I/O接口的功能

- ▶ 识别I/O地址,即地址译码;
- > 实现主机与I/O设备的数据交换、控制命令的 传递和状态检测与传递:
- ▶ 提供缓冲、暂存和驱动能力;
- ▶进行数据格式、类型方面的转换(串并行转换 ,电平转换等):
- ▶ 支持一定的I/O方式(程序查询、程序中断、 DMA等);
- ▶I/O控制与定时

2.1 I/0接口

❖I/O接口的分类

- ▶按传送数据格式: 串行接口, 并行接口
 - ■串行接口适合速度低、传输距离长的环境
 - ■并行接口适合速度高、传输距离短的环境
- ▶按I/O方式:程序查询接口、中断接口、DMA接口、 通道控制接口
- ▶按时序控制方式: 同步接口、异步接口
 - 同步接口: 数据传送由一个统一的时钟信号同步 控制
 - ■异步接口:数据传送采用异步应答方式控制

(5) 北京航空航天大学

2.1 I/0接口

❖I/O操作的过程

- ▶处理器查询I/O接口状态,以检查连接设备的状态:
- ▶I/O接口回送设备状态:
- >如果设备可用,并准备好,CPU向I/O接口发出命令 ,请求传送:
- ▶I/O接口获得来自外设的数据(字或字节):
- ▶数据从I/O接口传送自CPU。

2. 此京航空航天大学

22

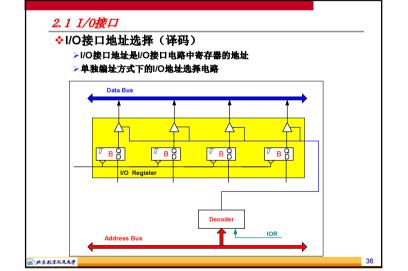
2.1 I/0接口 ❖I/O接口的通用结构 Data Peripheral Status Device Data Register Interface Control Data Logic System Bus Interface Status/Control Register Address Data Peripheral Status VO Device Logic Interface Control Control Status Logic 65 北京航空航天大学

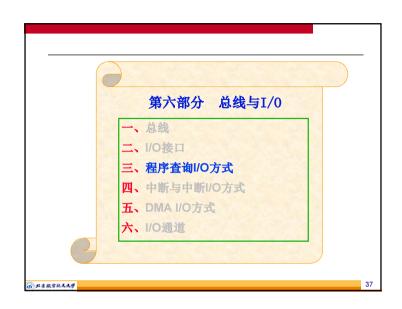
2.1 I/0接口

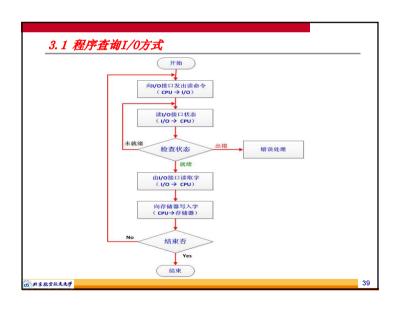
❖I/O设备的编址

- ▶I/O接口的编址
- ▶编址方式
 - 独立编址方式:存储器地址与I/O地址分开,CPU 具有专用的I/O指令,系统总线中具有区别存储器 读写和I/O操作的控制信号,并以此区别地址总线 上的地址是存储器地址还是I/O地址。
 - 统一编址方式:存储器地址与I/O地址统一考虑, 地址空间的一部分是存储器,另一部分是I/O,支 持存储器操作的指令都可用于I/O操作。
- ▶I/O地址(I/O接口地址, I/O端口地址): 实际上是I/O 接口电路中寄存器的地址。

2. 北京航空航天大学







3.1 程序查询I/0方式

- ❖也称编程式I/O,处理器执行程序直接控制I/O,包括:
 - ▶检测设备状态
 - >发送读写命令(处理器发送I/O命令后,必须等待,直到I/O操作完成)
 - > 传送数据

❖I/O命令

- >控制命令:激活外设完成动作。如指示磁带机快进或快退,控制命令与设备类型相关;
- ▶测试命令:测试与I/O接口及其外部设备的各种状态条件;
- ▶读命令: 使I/O接口从外设获得一个数据项, 存入内部缓冲区;
- > 写命令: 使I/O接口从数据总线获得一个数据项, 然后传送到外设。

on 此京航空航天大学

38

3.1 程序查询I/0方式

- ❖示例(串行接口COM1(RS-232C串行接口)
 - ▶状态寄存器端口地址: 3FD
 - 状态寄存器: 61H表示数据准备就绪
 - >数据寄存器端口地址: 3F8

RdSta: MOV DX,3FDH
IN AL,DX
CMP AL,61H
JNE RdSta
MOV DX,3F8H
IN AL,DX

No Ready?
Yes
执行I/O操作

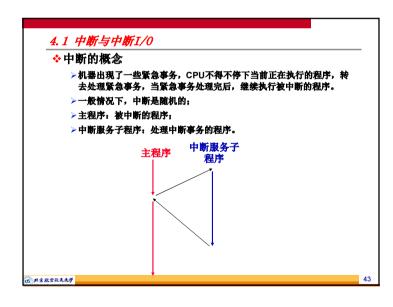
佐 北京航空航天大学

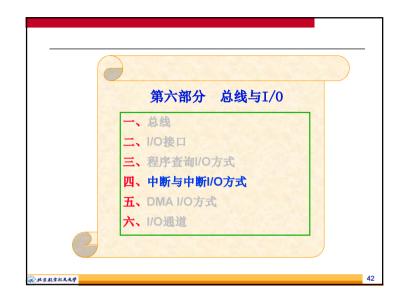
3.1 程序查询I/0方式

- ❖程序查询I/O接口的基本组成
 - **≻**Status Register
 - >Data Register (Input Register, Output Register)
 - ➤ Address Selected Logic
 - **≻**Bus Interface Logic
- ❖程序查询I/O方式的特点
 - ▶I/O操作由CPU直接完成(通过执行I/O指令完成)
 - >外设速度慢,CPU速度快,在外设准备过程中, CPU处在不断的查询之中,CPU的效率得到了极大 的浪费。
 - ▶外设与CPU完全串行工作。

On 此京航空航天大学

41





4.1 中断与中断I/0

- ❖引起中断的因素(中断源)
 - >人为设置的中断: 自愿中断, 可重复
 - ▶程序性事故:如溢出、除"零"等
 - ▶硬件故障:如电源掉电、磁盘损坏
 - ▶I/O操作: I/O设备准备就绪,请求操作
 - >外部事件: 如键盘操作
- ❖中断源分类
 - ▶不可屏蔽中断: CPU不能不响应:
 - ▶可屏蔽中断: 若中断源被屏蔽, CPU不响应
- ❖中断的分类
 - > 非屏蔽中断与可屏蔽中断
 - >程序中断与简单中断
 - >硬中断与软中断(软中断不是真正的中断)

(2) 北京航空航天大学

4.1 中断与中断I/0

- ❖中断系统需要解决的问题
 - ▶中断源如何向CPU提出中断申请:
 - >多个中断同时申请时,中断系统如何响应:
 - ▶CPU响应中断的时间、条件和方式:
 - ▶CPU响应中断后如何保护现场:
 - ▶CPU响应中断后,如何转向中断服务子程序:
 - ▶中断处理结束后,CPU如何恢复现场返回主程 序断点位置:
 - ▶中断处理过程中出现新的中断申请怎么处理

公 北京航空航天大学

65 北京航空航天大学

45

4.1 中断与中断I/0

- ❖中断判优逻辑
 - >中断系统任何时刻最多只能响应一个中断源的请求
 - >硬件排队判优
 - >软件排队判优
- ❖中断服务子程序
 - ▶中断向量:中断服务子程序的入口地址;
 - ▶中断向量表:保存所有中断向量的内存区域,一般 固定。

4.1 中断与中断I/0

❖中断请求

- →中断请求触发器(INTR):每个中断源配置一个中断请求触发器:
- ▶中断请求标记寄存器:各中断源的请求触发器组成中断请求标记寄存器:



4.1中断与中断I/0

❖中断响应

此京航空航天大学

- ▶条件: 当前执行的程序允许被中断(即中断允许标志位为允许中断), 非屏蔽中断不受中断允许标志位的限制。
- ▶时间: 当前指令执行完后,才能响应中断
- >在允许中断的前题下,每条机器指令的执行周期中 实际上包含一个中断周期,指令中断隐指令。

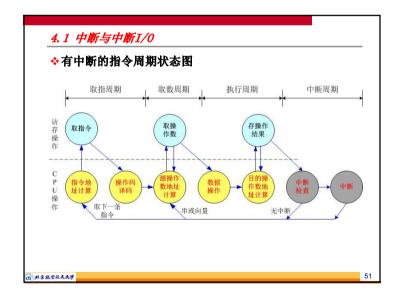
47

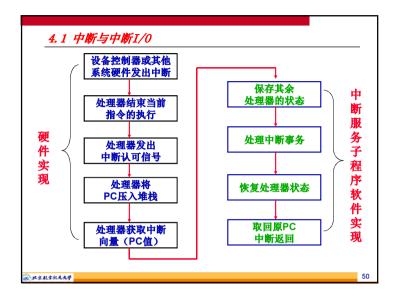
4.1 中断与中断I/0❖中断处理

- >硬件自动执行中断隐指令
 - 保护程序断点:程序计数器内容入栈:
 - 查找中断服务子程序入口地址(中断向量)送PC ,转向中断服务子程序:
 - 关中断。
- ▶CPU执行中断服务子程序:
 - 执行中断服务处理功能
 - ■从中断服务子程序中返回:恢复程序断点,即把保存在堆栈中的PC内容弹出送PC,接下来继续执行主程序。

公 共京航空航天大学

49





4.1 中断与中断I/0

- ❖中断I/O接口的基本组成
 - ➤ Data Input Register
 - ➤ Data Output Register
 - **≻**Status Register
 - **≻**Control Register
 - ➤ Address Selected Logic
 - **▶Interrupt Control Logic**
 - **▶**Bus Interface Logic

(2) 北京航空航天大学

4.1 中断与中断I/0

- ❖中断I/O方式的特点
 - ▶I/O操作仍然由CPU通过I/O指令完成
 - ➤在外设准备阶段,CPU可以执行其他程序,仅在外设准备就绪后,CPU才中断正在执行的程序,处理 I/O事务。
 - ▶ 在外设准备阶段,CPU与外设的工作可以认为是并 行的。
 - ▶中断I/O方式是目前最主要的I/O方式

On 北京航空航天大学

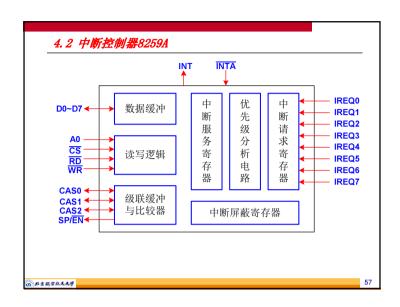
53

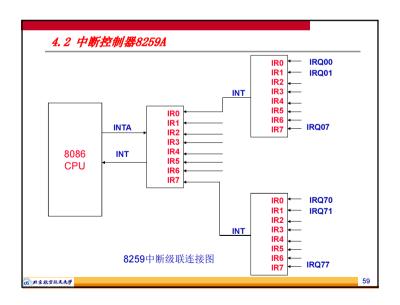
4.1 中断与中断I/0

- ❖多重中断(自学部分)
 - >多重中断的概念
 - >实现多重中断的条件
 - ▶中断屏蔽触发器
 - ▶中断屏蔽字
 - ▶中断屏蔽字与中断优先级的关系
 - ▶中断处理次序与中断屏蔽字的关系
 - >多重中断的断点保护

(5) 北京航空航天大学

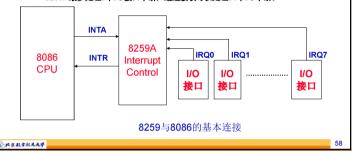






4.2 中断控制器8259A ❖ 8259A与X86 (8086) CPU的连接

- - ▶ Intel 8086提供单一的中断请求(INTR)线和单一的中断应答(INTA)线;
 - ▶8259A为CPU提供中断管理,外设(接口)连接到8259A,8259A再连接到CPU。
 - >8259A从I/O接口接收中断请求,确定优先级,通过INTR线向处理器发出中断请求 ,CPU通过INTA应答,8259A将中断向量信息放到数据线上,CPU开始处理中断
 - ,并直接与I/O接口通信完成数据读写。
 - ▶8259A最多处理8个I/O接口中断,通过级联可以处理64个I/O中断。



X86的中断处理

❖X86中断与异常

▶中断

- 可屏蔽中断: 由处理器INTR引脚接收。中断允许标志 (IF) 被置位时,处理器响应中断,否则不响应;
- 不可屏蔽中断: 有处理器NMI引脚接收。这类中断的响应不能 被阻止。

▶异常

- 处理器检测的异常: 当试图执行一条指令而处理器遇到一盒 错误时此异常发生:
- ■程序异常:一些指令(INTO、INT3等)能产生异常。

❖X86中断向量表

- >每一类中断被指派一个中断号,中断号作为访问中断向量表的索引:
- >中断向量是中断服务程序的起始地址(段基址:段内偏移),4个字节
- ▶实地址模式下,系统刚引导时,内存0x00000到0x0003FF共1KB的空间 用于存放中断向量表。每个中断向量占4字节,共256个中断向量。

60 北京航空航天大学

X86的中断处理 ❖X86中断向量表(部分) 内存地址 中断向量号 用途 *******8259中断向量******* LPT2控制器中断--并行打印机(IRQ7) 0x03C - 0x03F 0x038 - 0x03B E 磁盘控制器中断--软磁盘(IRQ6) 0.034 - 0.037 LPT2控制器中断--硬磁盘(并行口)(IRQ5) 0x030 - 0x033 C 昇歩通信(primary)--出行通信接□1(IRO4) 0x02C - 0x02F 异步通信(secondary)--串行通信接口2(IRQ3) 0x028 - 0x02B A 彩色/图形(IRQ2) 0x024 - 0x027 键盘(IRO1) 定时器(IRQ0) 0x020 - 0x023 8 ******8088中断向量****** 0x01C - 0x01F 保留 0x018 - 0x01B 6 保留 0x014 - 0x017 打印屏幕 0x010 - 0x013 溢出 0x00C - 0x00F 断点指令 0x008 - 0x00B 2 非屏蔽中断 0x004 - 0x007 单步(用于DEBUG) 0x000 - 0x003 除以零 61 此京航空航天大学

X86的中断处理

- ❖X86中断处理过程
 - 1. FLAG寄存器入栈:
 - 2. 中断 (IF) 和自陷 (TF) 两个标志清除,这就禁止了INTR中断、自陷中断或单步中断;
 - 3. 当前代码段(CS)寄存器和当前指令指针(IP)寄存器的内容入栈:
 - 4. 若中断伴随有错误代码,则错误代码也入栈;
 - 5. 读取中断向量表的对应内容,将其装入CS和IP寄存器。控制 转移到中断服务子程序继续执行。
 - 6. 中断返回:中断服务子程序执行IRET指令,使得保存在堆栈 内的值被取回,实现断点恢复。

X86的中断处理 ❖X86中断向量表(部分) 内存地址 ******DOS中断向量****** 0×118 - 0×11B 第二硬盘参数块 0×114 - 0×117 45 PC机使用,用于指向低分辨率图形字符参数表 0×110 - 0×113 44 0×108 - 0×10F 42-43 未使用 0×104 - 0×107 41 硬盘参数块 0x0C0 - 0x0CB 34-40 未使用 0x0CC - 0x0CF 鼠标中断 0x0C0 - 0x0CB 30-32 未使用 0x0BC - 0x0BF 多路服务中断 2F 0x0B8 - 0x0BB 2E 基本SHELL程序装入 0×0AC - 0×0B7 2B-2D 未使用 Microsoft 网络接口 0x0A8 - 0x0AB 2A 0x0A4 - 0x0A7 29 快速写字符 0x0A0 - 0x0A3 28 DOS安全使用 0x09C - 0x09F 终止并驻留程序 0x098 - 0x09B 26 绝对磁盘写功能 0×094 - 0×097 绝对磁盘读功能 25 0x090 - 0x093 24 严重错误处理(用户不能直接调用) Ctrl+Break 处理地址(用户不能直接调用) 0x08C - 0x08F 23 0x088 - 0x08B 22 程序中止时DOS返回地址(用户不能直接调用) 0x084 - 0x087 21 DOS系统功能调用 DOS中断返回 0x080 - 0x083 62 此京航空航天大学



O. 北京航空航天大学

5.1 DMA的一般概念

- ❖程序I/O与中断I/O的不足
 - >I/O传送速度受处理器测试和服务设备速度的限制
 - ▶ 处理器直接负责管理I/O,对于每一次I/O传送,处理器必须执行一些指令
 - >考虑批量(数据块)传送:
 - ·程序I/O方式:处理器做不了其他工作:
 - 中断I/O方式: I/O传输效率较低。
- **❖DMA** (Direct Memory Access)
 - >CPU对总线的控制被临时禁止。
 - > DMA控制器接管总线控制权,控制数据直接在存储器与外设之间高速交换,CPU不再介入具体的I/O操作,由DMA控制器来负责提供存储器地址信号、读写控制信号等。
 - >CPU与I/O设备在更大的程度上并行工作,效率更高。
 - > DMA方式适合高速批量的敷据传输,如视频显示刷新、磁盘存储系统的读写,存储器到存储器的传输等。

OD 此京航空航天大学

65

5.2 DMA 讨程

❖DMA操作

- ➤ DMA控制器接到DMA应答信号后,通过控制逻辑向系统总线发送 存储器地址信号、存储器读写控制信号、I/O接口读写控制信号等
- ,完成一次数据传送。这些操作完全由硬件控制,一般仅需要一个 总线周期,所以这种方式称为周期窃用 (cycle-stealing)方式。
- > 所有数据传送结束后,通过中断方式告知CPU进行善后处理。
- ▶ CPU仅在开始DMA操作之前和完成DMA操作之后参与I/O处理,在 DMA过程中,CPU可以运行原来的程序

5.2 DMA过程

- ❖CPU的工作:初始化DMA控制器
 - >设置数据传送方向:是请求读还是请求写(对存储器而言)
 - ▶设置I/O接口地址: DMA操作所涉及的I/O接口的地址
 - >设置存储器起始地址: 读或写存储器的起始单元地址
 - >设置传送的数据数量: 传送数据的字数
 - ▶有关中断方式的设置: DMA结束后通过中断方式请求CPU处理

❖DMA请求

> 当接口做好数据传输的准备,通过有关逻辑向CPU发出DMA请求 信号。

❖DMA响应

>CPU接到DMA请求,在当前总线周期操作结束后,暂停CPU对系统总线的控制和使用,发出DMA响应信号,并交出系统总线的控制和。

对 北京航空航天大学

5. 北京航空航天大学

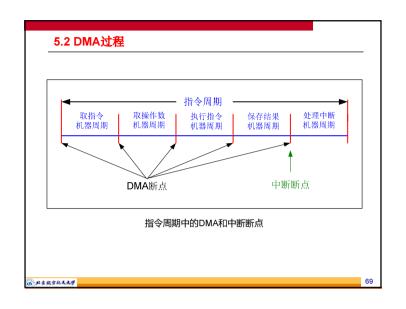
66

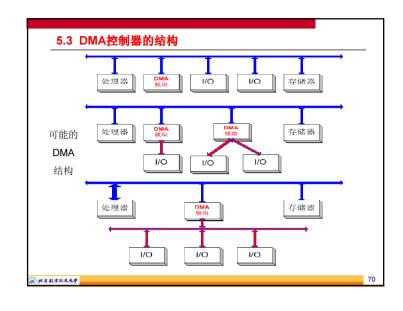
5.2 DMA过程

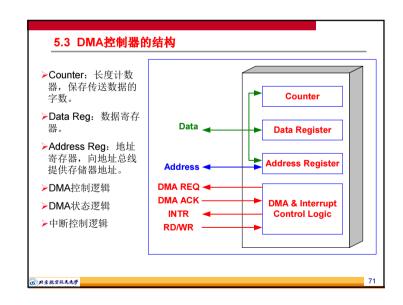
❖DMA方式

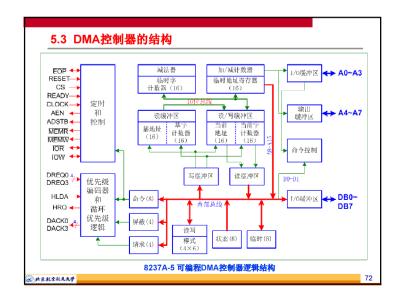
- >周期窃取方式(单字传送方式)
 - 每次DMA请求得到响应后,DMA控制器窃取一个总线周期完成一次数据传送,然后释放总线。
 - ■一般适应存储器速度远高于I/O设备速度的情况。
- ▶ 停止CPU访问内存(成组传送方式)
 - 一次DMA请求得到响应后,DMA控制器完全占用总线,进行 多次DMA传送,直到所有数据传送完毕才释放总线,这段时间 完全停止CPU访问内存。
- 适应高速外设与存储器交换数据的情况。

67









5.4 DMA控制器的类型

❖选择型DMA控制器

- ▶物理上可以连接多个I/O接口(外设);
- >逻辑上只能连接一个设备,即在某一时间段只能为其中一台外设服务。
- >适应于数据传输率很高(接近于内存)的外设数据传输服务。

❖多路型DMA控制器

- ▶物理上可以连接多个I/O接口(外设);
- >逻辑上也可连接多个设备,可通过交叉服务的方式为多台外设服务;
- ▶多路型DMA控制器内部应包括多个DMA通道;
- >适应于多个慢速(相对)外设的数据传输服务。

3. 此京航空航天大学

73

6.1 I/O通道及其特点

❖I/O通道的特点

- ▶I/O通道是一种专用的I/O控制器,具有自己的指令系统(基本上都是I/O指令)和执行这些I/O指令的专用处理器;
- >I/O通道执行通道程序来实现和管理I/O, CPU基本上不需要管理I/O,CPU的效率得到更大的提高。
- ▶通道程序由操作系统根据!/○任务的需求自动生成,存放在存储器中,通道程序由操作系统管理,
- >CPU通过请求I/O通道执行存储器中的通道程序来启动一次I/O 数据传送,通道程序将指定一个或几个设备、一块或几块存储 区域、优先级以及出错时的处理行为等,I/O通道通过执行这些 指令来控制数据传送。

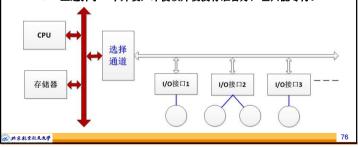
第九部分 总线与I/0

一、总线
二、I/O接口
三、程序查询I/O方式
四、中断与中断I/O方式
五、DMA I/O方式
六、I/O通道

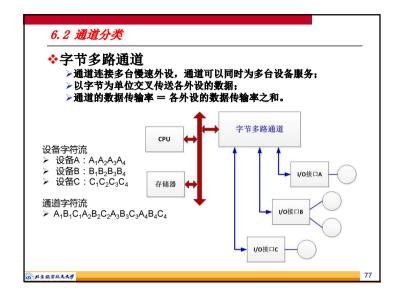
6.2 通道分类

❖选择通道

- >一般用于高速外部设备的数据传输。
- >通道可以连接多台高速设备,但一次只能为其中一台设备服务;
- >与一台设备的成组数据传送结束后,才能选择另一台设备;
- >通道数据传输率 = 一台设备的数据传输率。
- >一旦选择了一个外设,即使该外设没有准备好,也只能等待。

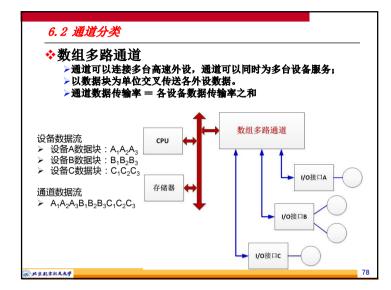


60 北京航空航天大学



I/0方式小结

- ❖I/O方式的演变(CPU从I/O事务中的解放)
 - ① 直接控制方式: CPU直接控制外设,主要用于简单的微处理器 控制设备:
 - ② 程序I/O方式: 增加控制器和I/O模块,处理器使用编程I/O,使处理器从外设的I/O细节中解脱出来;
 - ③ 中斯I/O方式,增加控制器和I/O模块,采用中斯I/O方式,处理器不需要浪费时间等待I/O操作完成,提高了处理器的效率;
 - ④ DMA方式: I/O模块通过DMA直接存储存储器,除在传输开始 和结束时,传输数据不需要处理器参与;
 - ⑤ I/O通道方式: I/O模块成为有自主控制权的处理器,有处理I/O的专用指令集。CPU指示I/O处理器执行存储器中的I/O程序,I/O处理器不需要CPU干预就能获取并执行I/O指令。这允许CPU指派一系列的I/O活动,并只在整个活动执行完成后才中断CPU;
 - ⑥ I/O处理器方式: I/O模块带局部存储器,成为自治的计算机。 这种结构可以控制大量的I/O设备而最小化CPU的干预。



举例

❖例:

假设一32位处理器总线时钟频率为400MHz,支持多种总线事务。其中最短的总线事务为存储器读事务,需要4个总线时钟周期,第一个时钟周期传送地址和读命令,第4个时钟周期取数;最长的总线事务是突发传送8次数据,需要11个总线时钟周期完成,第一个时钟周期传送地址和读命令,第4个时钟周期开始连续传送8个数据,每个时钟周期传送一次数据。

- 1)该总线是同步总线还是异步总线;
- 2) 总线的最大数据传输率为多少;
- 3) 若处理器一直持续发起最短总线事务,则此时总线数据传输率是多少?
- 4)若处理器一直持续发起最长总线事务,则此时总线数据传输率是多少?

外共京航空航天大学

2. 北京航空航天大学

举例

❖例:

某计算机字长为32位,CPU主频为500MHz,CPI为5(即执行每条指令平均需5个时钟周期)。假定某外设的数据传输率为0.5MB/S,采用中断方式与主机进行数据传送,每次传送32位,对应的中断服务程序包含18条指令,中断服务的其他开销相当于2条指令的执行时间。请回答下列问题,要求给出计算过程。

- 1. 中断方式下CPU用于该外设I/O的时间占CPU时间的百分比是多少?
- 2. 若该外设的数据传输率为5MB/S,改用DMA方式传送数据,假定每次DMA传送块大小为5000字节,且DMA预处理和后处理的总开销为500个时钟周期,则CPU用于该外设I/O的时间占整个CPU时间的百分比是多少?(假设DMA与CPU之间没有访内冲突)。

60 共京航空航天大学