

计算机学院专业必修课

计算机组成

课程介绍

高小鹏

北京航空航天大学计算机学院
系统结构研究所

个人信息

- 地点：G1031/G843
- 电话
 - ◆ 座机：010-82338473
 - ◆ 手机：1391-1392-138
- Email
 - ◆ gxp@buaa.edu.cn



这门课程的意义是什么？

- 计算机硬件再也不神秘了
- 奠定你坚实的计算机专业基础
- 迄今为止最改变你学习方法与提升工程能力的课程
 - ◆ 每个知识点都不是很深，但知识点巨多
 - ◆ 能同时阅读多本参考书，至少学习3个以上工具软件
 - ◆ 能每周完成一个project，具备强大的开发调试能力
 - ◆ 能正确、高效的开发大规模指令集的复杂流水线CPU
 - ◆ 体会到形式建模方法的价值



感受

□ 学生愤怒的说

- ◆ 太过份了！怎么能这么多自学呢？！
- ◆ 太过份了！每周一个CPU的节奏！
- ◆ 太过份了！推背感太强了！
- ◆ 太过份了！我们的时间都用来做计组实验了？！别的课学不学了？！

□ 辅导员哀怨的说

- ◆ 学生很抱怨，因为学霸还不太会
- ◆ 学生飙着泪在做实验
- ◆ 女生把男生堵在宿舍里做实验
- ◆ 我们没法安抚学生情绪



对不起！

但是，这门课很重要！

请大家不停的学习！



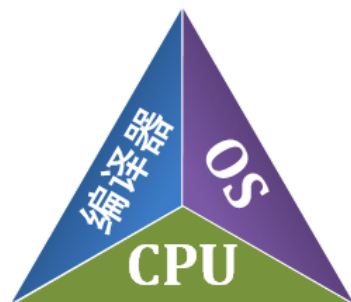
教学目标

- 系统的理解并掌握计算机的运行原理
 - ◆ 学习计算机硬件的组成
 - ◆ 掌握计算机硬件的设计
 - ◆ 理解计算机硬件/软件的协同机制
- 核心任务：实现基于MIPS的功能型计算机
 - ◆ 以数字电路为基础，设计MIPS的功能组件
 - ◆ 以功能组件为基础，构造MIPS CPU
 - ◆ 编写MIPS程序，验证系统功能



教学挑战

- 3大系统级核心技术：CPU、操作系统和编译器
- 3大必修课程：计算机组成、操作系统、编译技术
- 3个基本问题
 - ◆ 能够开发1个功能型CPU吗？
 - ◆ 能够开发1个操作系统核心吗？
 - ◆ 能够开发1个编译器吗？
- 答案是悲观的：通常只有极少数学生能够完成！
 - ◆ 多数学生无法完成
- 直至今今天，仍然是国内普遍的教学难题
 - ◆ 北航：2006年工程教育专业认证试点时，发现上述问题



“系统能力” 培养概述

- 教改目标：系统能力培养
 - ◆ 系统能力：构造计算机核心系统的能力
 - ◆ 挑战性学习成果：本科生自主开发“CPU、OS、编译器”
- 培养诉求：多数学生能够达成“挑战性成果”
- 技术路线：组建“系统能力”课程群
 - ◆ 4门必修课：数字逻辑、计算机组成、操作系统、编译技术
- 计算机组成：课程群建设的最关键环节
 - ◆ 国内外公认的教学难关



CPU开发能力@计算机组成原理

CPU开发能力等级	指令集规模	CPU特点
1	55	较完整定点类指令；支持GCC；支持 中断/异常/系统调用
2	45~50	较完整定点类指令； 支持GCC
3	30~40+	常用的 运算/存储/分支/置位/函数调用指令；手工汇编；可运行小型程序
4	10~20+	基本的 运算/存储/分支/函数调用指令；手工汇编；可运行简单程序
5	0~10	简单的 运算/存储/分支指令；手工汇编；示意型设计

十年持续改进

2014：国家级教学成果二等奖

必修课融合
(国内首例)

传统实验转
向在线实验

2006 2007 2008 2009 2010 2011 2012 2013 2014 2015 2016 2017

提出 “系统能力” 课程群教学改革立项	组建课程群教学团队 组建3个学生小组攻关	调整	新方案(3轮次)		加大优化比例与难度(5轮次)				编译技术
			移植运行环境	新方案(4轮次)		第2版体系	第3版 (在线实验)		操作系统
			重构MIPS	新方案(2轮次)	工程化方法	流水线	流水线 (在线)	更新资源	计算机组成
		引入HDL	新方案(4轮次)						数字逻辑
			开发集成环境	第1代设备	第2代设备	第3代设备 (在线硬件实验系统)			实验环境

启动

方案研制

持续改进



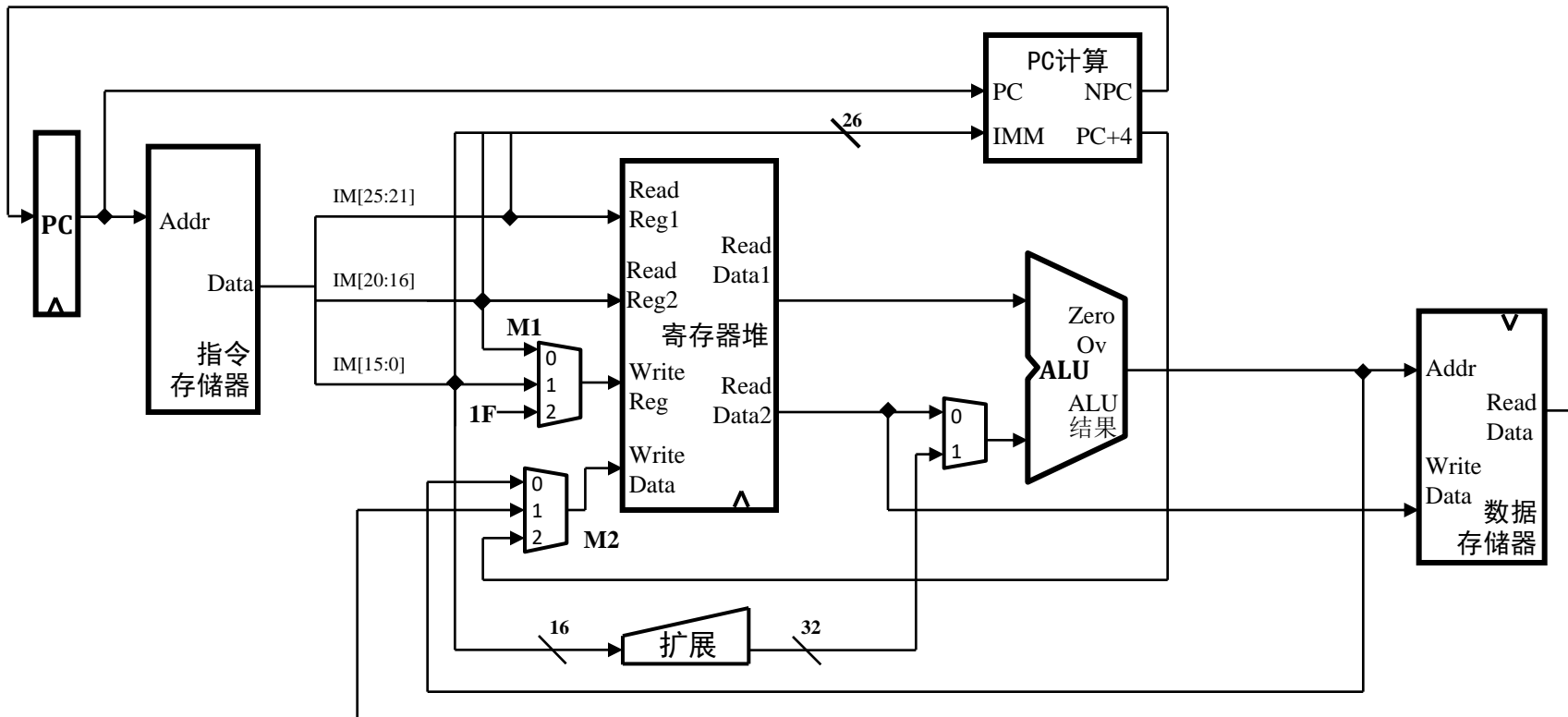
工程方法：CPU形式建模综合方法

- ❑ 目的：让多数普通学生达成目标！
- ❑ 规模达到一定程度(如30+), 须强调方法, 否则:
 - ◆ 少数优秀学生：靠天份能悟出来
 - ◆ 多数普通学生：盲动→失败→挫折感
- ❑ 工程方法：按照方法可以一步步的开发出复杂系统
 - ◆ 要让学生拥有巅峰体验：原来我也能达到这个目标！



过去的教学方法：图解式案例教学

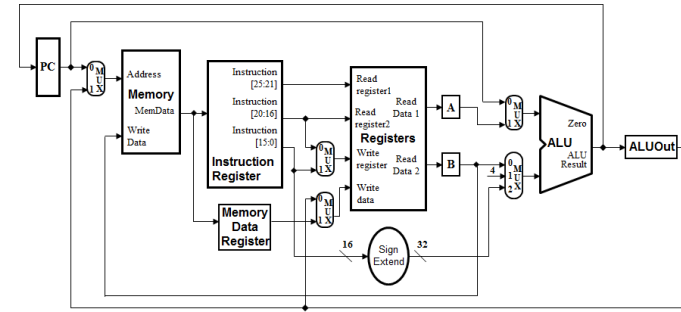
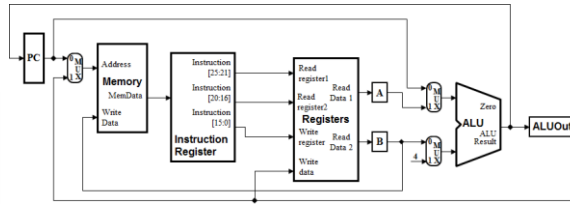
ADDU
SUBU
ORI
LW
SW
BEQ
J



- 讲解典型指令的数据通路的构造过程
- 建立对指令在数据通路中流动的直观认识
- 建立对数据通路基本组成的基本认识

CPU形式建模综合方法

图解案例分析式



形式建模综合式

Cycle	Stage	Operation	Component	Signal
Cycle1	Fetch (fetch instruction)	$IR \leftarrow IM[PC]$ $PC \leftarrow PC + 4$	IR	IRWr: 1
Cycle2	RF (Read operation)		ALU	ALUOp: ADD
Cycle3	MA (calculate)		PC	PCWr: 1
Cycle4	MR (read DM)	$DR \leftarrow DM[ALUOut]$		
Cycle5	MemWB (write DR to RF)	$RF[rt] \leftarrow DR$	RF	RFWr: 1

建模语言形式建模

数据通路独立设计/整体综合

	PC	MEM	IR	RF				EXT	A	B	ALU	ALUOut	DR
		A	WD	A1	A2	A3	WD						
lw	ALUOut	PC		MEM	IR25:21	IR20:16	DR	IR15:00	RF RD1		PC	+4	MEM
sw	ALUOut	PC	B	MEM	IR25:21	IR20:16		IR15:00	RF RD1	RF RD2	PC	+4	ALU
addu	ALUOut	PC		MEM	IR25:21	IR20:16	IR15:11	ALUOut	RF RD1	RF RD2	PC	+4	ALU
subu	ALUOut	PC		MEM	IR25:21	IR20:16	IR15:11	ALUOut	RF RD1	RF RD2	PC	+4	ALU
lui	ALUOut												
beq	ALUOut												
jal	ALU	PC		MEM			0x1F	PC			PC	+4	
jr	ALUOut	PC		MEM	IR25:21						PC	+4	
ALL	ALU	PC	B	MEM	IR25:21	IR20:16	IR15:11	DR	IR15:00	RF RD1	RF RD2	PC	DM

current statement	next statement	transmission condition
S1		S2
S2	lw/sw	S3_MA
	addu/ori/subu	S3_EXE
S3_MA	lw	S4_MR
	sw	S4_MW
S3		
S4		
S4		
S4_ALUWB		S1
S5_MWB		S1

状态机独立设计/整体综合

	PCWr	IRWr	RFWr	DMWr	EXTOp	ALUOp
lw	S1_FETCH:1	S1_FETCH:1	S5_MWB:1		'SE	'ADD
sw	S1_FETCH:1	S1_FETCH:1		S4_MW:1	'SE	'ADD
addu	S1_FETCH:1	S1_FETCH:1	S4_ALUWB:1			'ADD
subu	S1_FETCH:1	S1_FETCH:1	S4_ALUWB:1			'SUB
ori	S1_FETCH:1	S1_FETCH:1	S4_ALUWB:1		'UE	'OR
lui	S1_FETCH:1					
beq	S1_FETCH:1					
jal	S1_FETCH:1					
jr	S1_FETCH:1	S1_FETCH:1				

控制信号独立设计/整体综合

教学方法

- 课堂课下：讲为辅，练为主
- 老师学生：答为辅，学为主
- 教案组织：
 - ◆ 以Berkeley的CS61C和CS150为基础
 - 裁剪、组合
 - ◆ 部分大班计组教案
 - ◆ 部分补充内容



你需要学习的内容：基本原理

□ 计算机的各组成要素

- ◆ 入门：一台计算机都有哪些基本部件
- ◆ 进阶：理解计算机各组成要素间的关联关系
- ◆ 高级：理解程序执行、硬件运行间的作用关系

□ 突破点：CPU

- ◆ CPU的指令集为什么要这样设计？
- ◆ 如何从1条指令推导出数据通路（数据结构）？
- ◆ 如何把多个数据通路组合成完整数据通路？
- ◆ 如何设计控制指令执行的控制系统（算法）？



你需要学习的内容：硬件描述语言

- 现代芯片设计的基本方法：硬件描述语言
 - ◆ HDL (Hardware Description Language)
 - ◆ 这是用于专门描述硬件工作原理的语言
- 与程序设计语言 (C、JAVA) 的主要区别
 - ◆ 语言内置的并行性/并发性
 - ◆ 不仅描述逻辑，而且描述时序
 - 软件： $1 + 1$ 的计算结果等于2
 - 硬件： $1 + 1$ 的计算结果等于2 & 什么时候完成这个计算
 - ◆ 以1挡10、以1挡100
- 本课程：Verilog HDL
 - ◆ VHDL^x



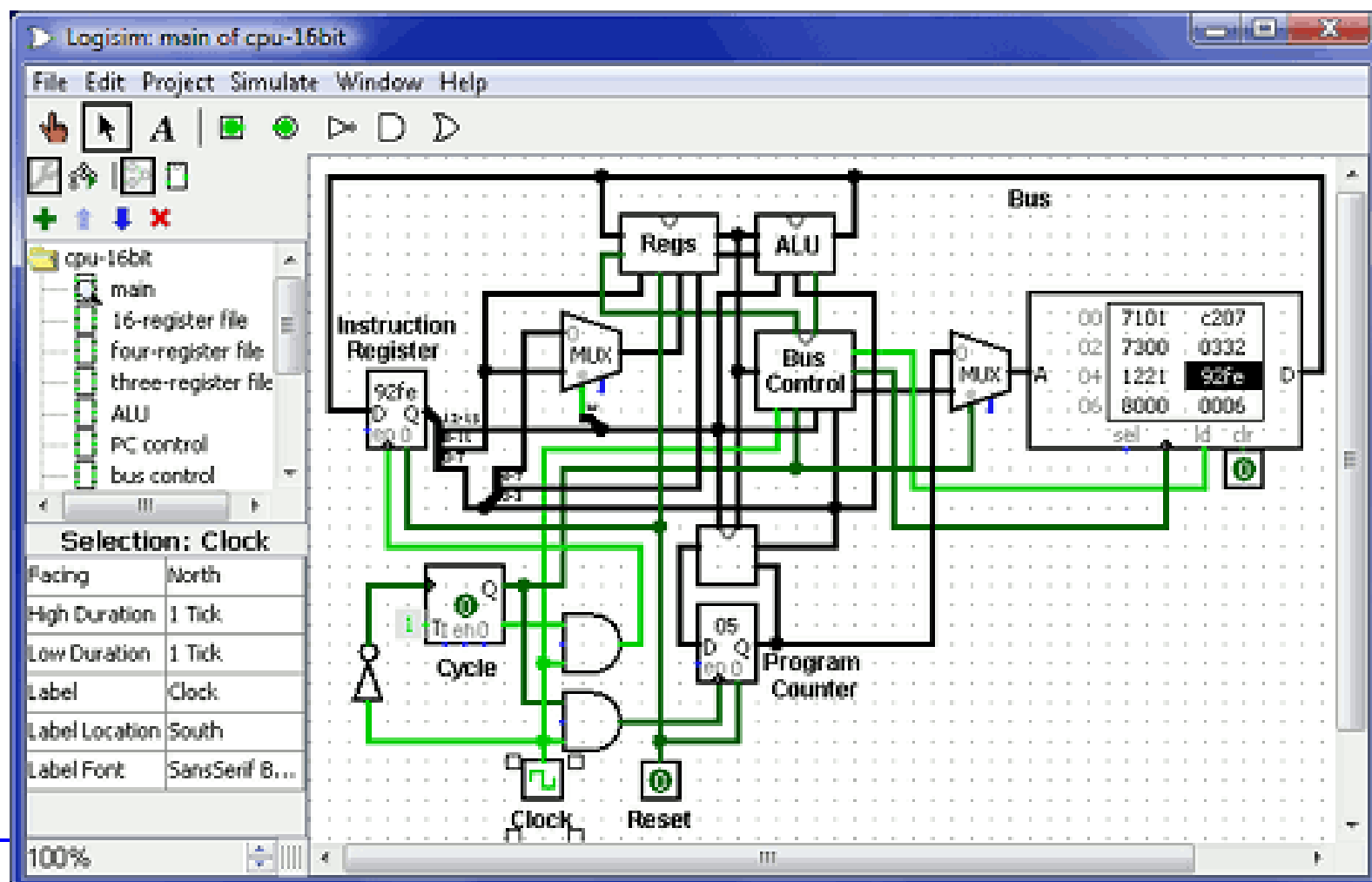
你需要学习的内容：硬件描述语言

- 用Verilog开发大量的基础硬件
 - ◆ 基本的数字电路：与非门、组合逻辑、时序逻辑
 - ◆ 基本的数字部件：译码器、运算器、寄存器文件、多路选择器、状态机
 - ◆ 完整的CPU：数据通路、控制器
 - ◆ 完整的Computer：CPU、存储器接口、输入输出接口、桥接器



你需要学习的内容：各种软件工具

- 电路模拟器：Logicsim
 - 学习如何设计和模拟数字电路



你需要学习的内容：各种软件工具

□ MARS：MIPS模拟器

- ◆ MARS (MIPS Assembler and Runtime Simulator)
- ◆ 功能：模拟了一台MIPS计算机
- ◆ 本课程用途1：开发MIPS汇编程序
- ◆ 本课程用途2：黄金参考模型

□ ISE：硬件集成开发环境

- ◆ 功能：用VerilogHDL开发、仿真、调试CPU；把CPU设计代码下载到实验设备
- ◆ 本课程用途：开发MIPS CPU



你需要学习的内容：软硬件协同调试技术

- ❑ 程序运行出错了！！！！
- ❑ 错误定位：CPU有bug？MIPS汇编程序有bug？
- ❑ 怎么办？



参考书

- Computer Organization and Design
 - The Hardware/Software Interface
 - ◆ David A. Patterson & John L. Hennessy
- Digital Design and Computer Architecture
 - ◆ David Money Harris Sarah L. Harris
- 计算机组成~工程化方法（还未定稿☹）
 - ◆ 高小鹏



教学资源

□ 学校课程中心

- ◆ <http://course.buaa.edu.cn/>
- ◆ 关键字：计算机组成（2017秋）、高小鹏
- ◆ 用途：交作业、下载PPT

□ MOOC平台

- ◆ 主力资源平台
- ◆ 有专门介绍



课程要求（理论课）

- 成绩：笔试85%；作业15%
 - ◆ 2016秋季通过率：80%
- 循环开课：暑期，6周
 - ◆ 主要面向：重修学生
 - ◆ 重修通过率：4%



课程要求

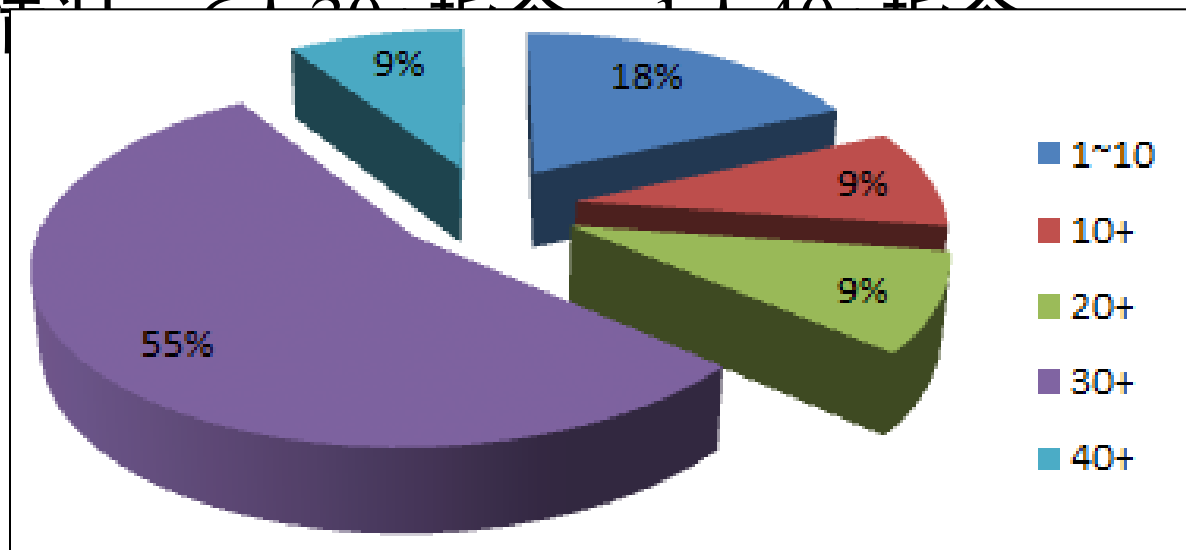
- 第1条：作业/project必须截止时间前提交
 - ◆ 否则0分
- 第2条：可以彼此交流，但不能copy！
 - ◆ 抄袭/被抄袭者均为0分
- 第3条：上课纪律
 - ◆ 宗旨：不要干扰我及其他同学
 - ◆ 否则：老师很生气，后果很严重
 - ◆ 务必做到以下几点
 - 1、关闭手机或静音
 - 2、严禁开小会，欢迎随时可以举手提问
 - 3、迟到就不要进来
 - 4、可以睡觉但禁止打鼾
 - 5、可以不来上课，但请祈祷能考试pass



真的那么难吗？
看看其他学校吧！

南京航空航天大学^{1/3}

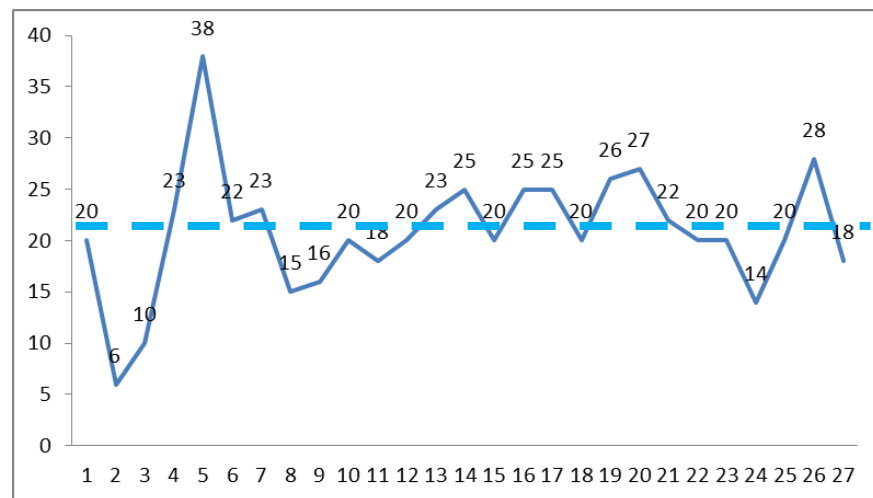
- 2013春季学期：4人小分队
 - 完成了MIPS系统开发：增强了信心
- 2013暑期4天短训班：11名志愿者
 - 上午授课3小时，下午/晚上实验
 - CPU开发完成情况：6个100%，5个100%，1个40%，1个0%



南京航空航天大学^{2/3}

- 2014春季学期：27人
 - 3个Project
- Project1：无VerilogHDL及EDA工具经验
- 达成：26人成功，1人失败
- 用时：平均21；最快6
 - 74%学生：16小时~21小时

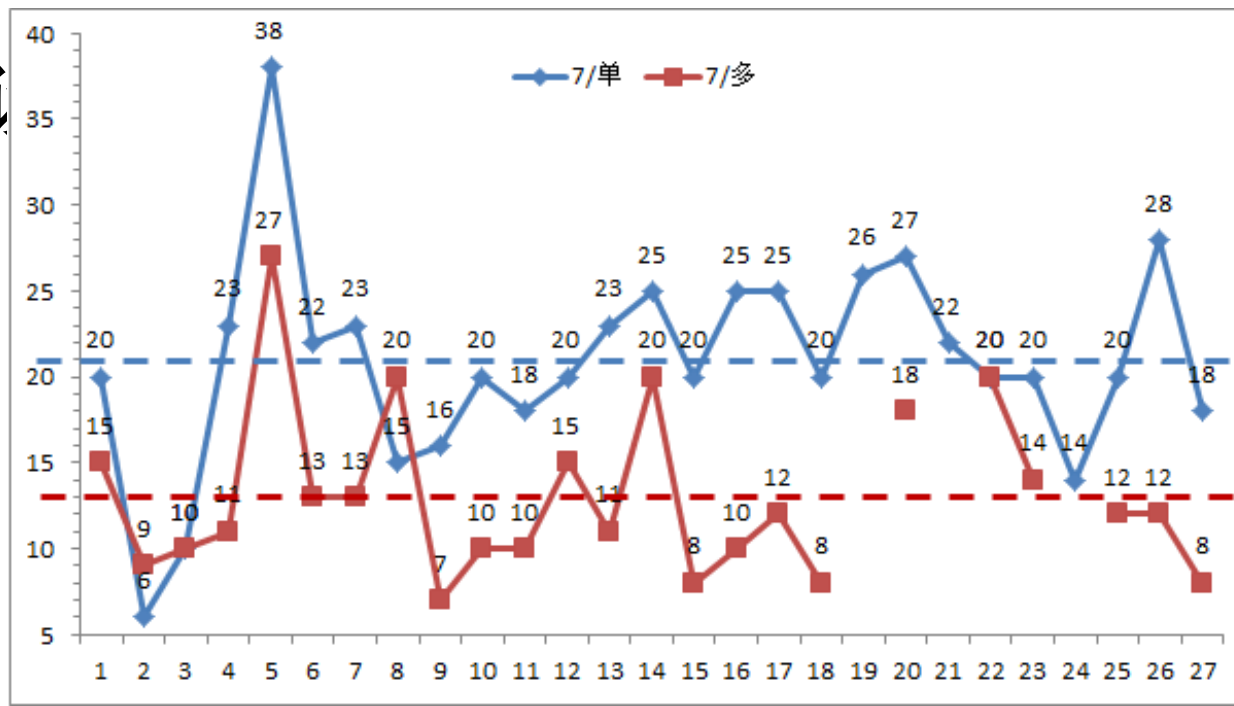
实验	时间
7指令，单周期	2周
7指令，多周期	2周
40指令，多周期	3周



南京航空航天大学^{3/3}

- 达成度：89%
 - 2人请假延期一周
 - 平均13小时，最快7小时
- 3位同学提前完成了40指令多周期CPU设计

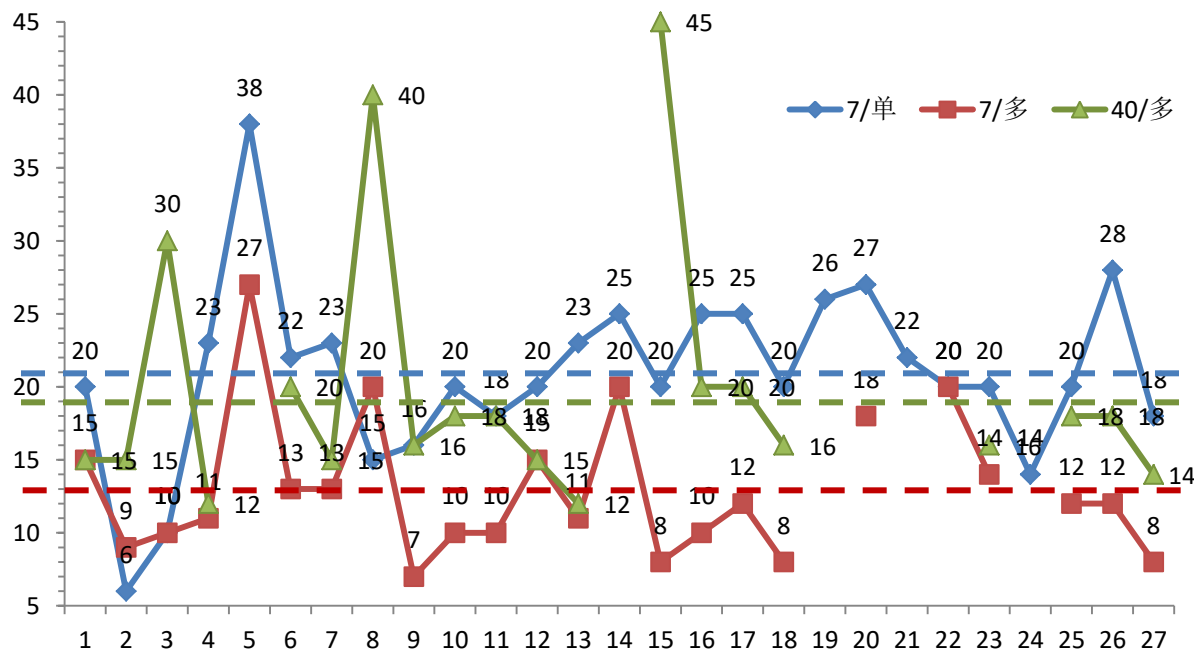
实验	时间
7指令，单周期	2周
7指令，多周期	2周
40指令，多周期	3周



南京航空航天大学^{3/3}

- 达成度：74%
 - 平均19小时
 - 最快12小时

实验	时间
7指令，单周期	2周
7指令，多周期	2周
40指令，多周期	3周



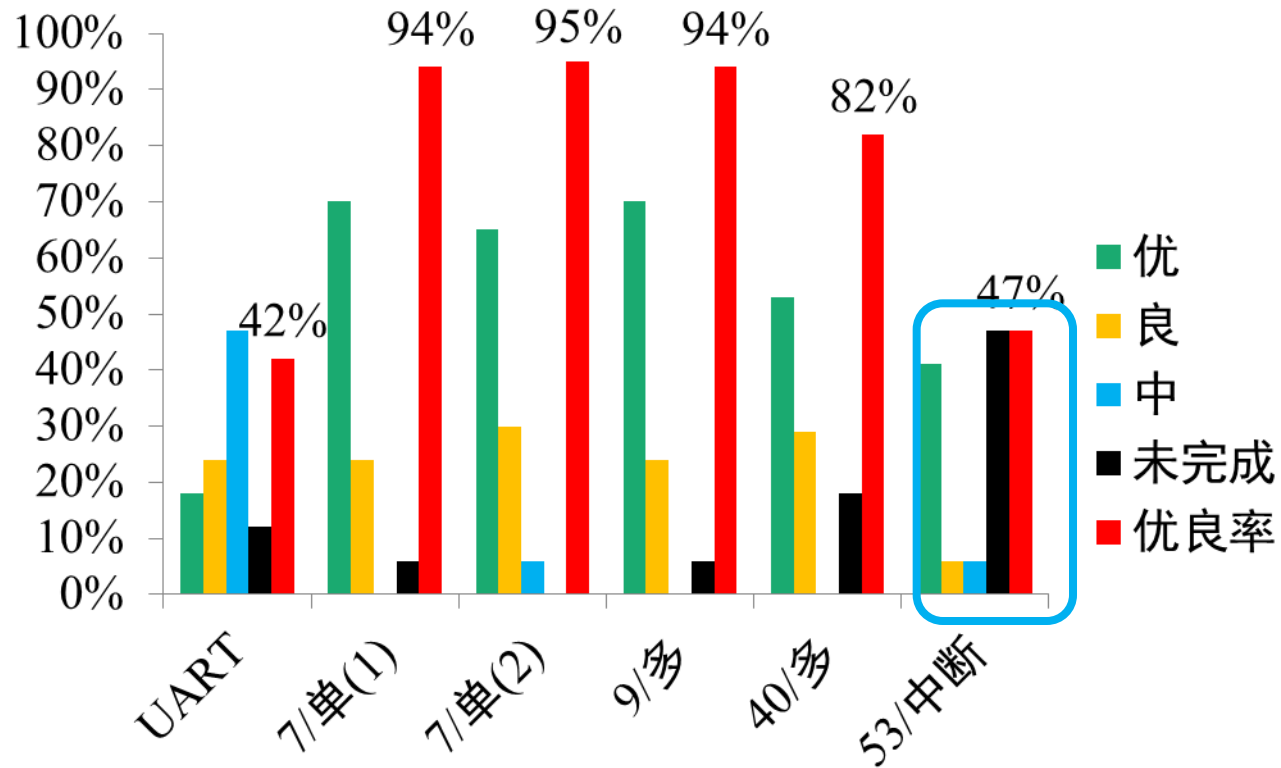
北京工业大学

- 2014春季学期：17名学生

	设计描述	运行平台	周数
1	UART设计，阅读设计要求，补全代码	ModelSim	2
2	7指令，单周期，门级建模	Logisim	1
3	7指令，单周期，行为级建模	ModelSim	1
4	9指令，多周期，行为级建模	ModelSim	2
5	40指令，多周期；工程化综合方法	ModelSim	1
6	53指令，多周期；定时中断	ModelSim	1
7	MIPS小系统：定时中断/开关/数码管	FPGA	2
8	流水线：定时中断/开关/数码管	FPGA	2

北京工业大学

- 优良率：总体非常令人满意
 - ◆ Project6(53指令/中断)：优良率达到47%
 - ◆ Project7(流水/FPGA)：成功率18%



几点忠告

- ❑ 不要逃课
 - ◆ 开始似乎很容易，但越来越难
- ❑ 不要拖延
 - ◆ 一个未能完成，后续项目就难以为继
- ❑ 力求甚解
 - ◆ 不独立完成的结果是最终无法完成
- ❑ 不要自以为是
 - ◆ 工程化方法貌似枯燥，但实则高效
 - ◆ 设计环节的所有付出，都会在总时间上得到回报
- ❑ 追求完美
 - ◆ 如果你打算面试时牛B，那么坚持必有回报！
 - 各种面试：保研/考研/外推/牛公司



谢谢！

希望部分同学重新选课

- 选课不均衡
 - ◆ 栾钟治：不到20人
 - ◆ 刘旭东：80+
 - ◆ 高小鹏：80+
- 人数太多，势必导致教学效果差
- 建议：20人左右，选栾钟治

