

计算机组成2017 课程介绍

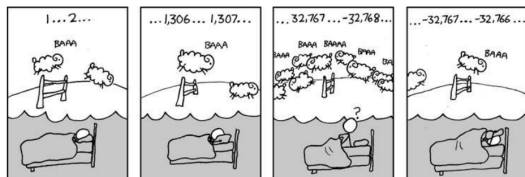


问题
算法
程序/语言
运行时系统 (VM, OS, MM)
ISA (体系结构)
微体系结构
逻辑
电路
电子

为什么要有系统的概念——例1

int ‘不是’ 整数, float ‘不是’ 实数

例子1: $X \geq 0$?
float, 是的!



为什么要有系统的概念——例2

```
typedef struct {  
    int a[2];  
    double d;  
} struct_t;  
  
double fun(int i) {  
    volatile struct_t s;  
    s.d = 3.14;  
    s.a[i] = 1073741824; /* Possibly out of bounds */  
    return s.d;  
}
```

```
fun(0) --> 3.14  
fun(1) --> 3.14  
fun(2) --> 3.1399998664856  
fun(3) --> 2.000000061035156  
fun(4) --> 3.14  
fun(6) --> Segmentation fault
```

为什么要有系统的概念——例3

```
void copyij(int src[2048][2048],
            int dst[2048][2048])
{
    int i,j;
    for (i = 0; i < 2048; i++)
        for (j = 0; j < 2048; j++)
            dst[i][j] = src[i][j];
}

void copyji(int src[2048][2048],
            int dst[2048][2048])
{
    int i,j;
    for (j = 0; j < 2048; j++)
        for (i = 0; i < 2048; i++)
            dst[i][j] = src[i][j];
}
```

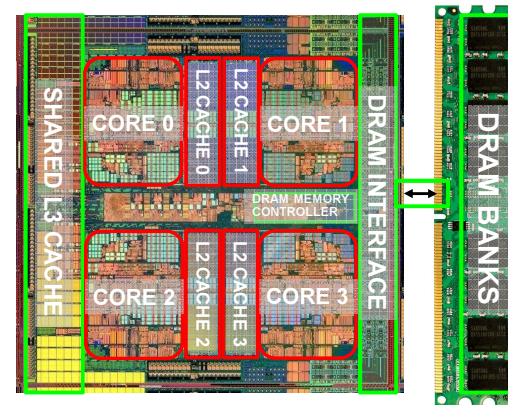
4.3ms

81.8ms

2.0 GHz Intel Core i7 Haswell

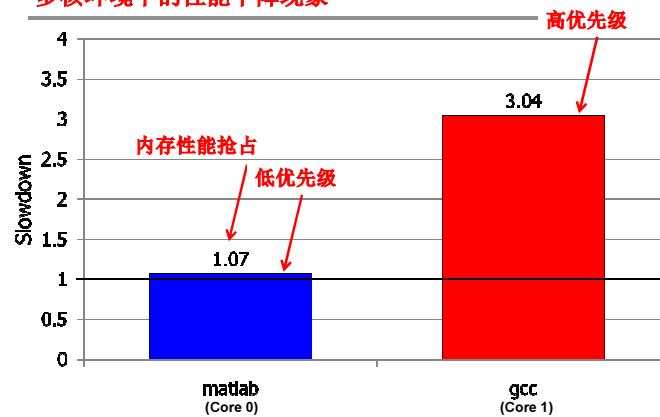
为什么要有系统的概念——例4

多核芯片



* AMD Barcelona

多核环境下的性能下降现象



课程介绍

❖ 课程名称

➢ 计算机组成 (Computer Organization)

❖ 学时学分

➢ 课堂教学: 64学时/4学分

❖ 课程目的

- 覆盖了传统的数字逻辑和计算机组成原理2门课程的知识。
- 从原理性的角度出发, 以MIPS系统为主要研究对象, 讲述计算机硬件系统的组成、各部件的结构及其底层硬件工作原理, 使学生理解计算机的组织与结构和工作过程, 掌握计算机硬件系统的基本设计方法, 培养学生分析、设计和开发计算机硬件系统的基本能力, 为后续课程打下坚实基础。

❖ 配套实验 (单独开设)

- 配套实验课程要求学生自主开发一台以MIPS处理器为核心的功能型计算机。
- 有关设计软件、仿真工具的学习 (自学)

课程介绍

❖ 主要目标：理解并掌握计算机的运行原理

- 学习计算机硬件的组成
- 掌握计算机硬件的设计
- 理解计算机硬件/软件的协同机制

❖ 核心任务：实现基于MIPS的功能型计算机

- 以数字电路为基础，设计MIPS的功能组件
- 以功能组件为基础，构造MIPS CPU
- 编写MIPS程序，验证系统功能

第一讲：计算机组成概述（3学时）

❖ 目 标

- 了解计算机系统的基本功能、组成框架、典型结构及层次关系，掌握计算机中数的表示方法及常用编码。

❖ 主要内容

- 计算机系统的基本组成
- 计算机系统的典型架构与层次关系
- 计算机中数的表示
 - 定点数的表示（原码、反码、补码）
 - 浮点数的表示
 - 其他编码（格雷码、循环码、ASCII码、汉字编码）
- 计算机的程序执行原理简介
 - 指令的含义简介
 - 程序的执行过程简介

第二讲：组合逻辑设计（5学时）

❖ 目 标

- 了解门电路的基本结构，掌握布尔代数的理论及其门电路实现方法，进而掌握布尔方程表示、转换及化简等方法，以及运算单元、译码器等基本组合逻辑部件设计方法，学习并掌握Verilog HDL。

❖ 主要内容

- 逻辑门电路（1学时）
 - 非门、与门、或门、复合逻辑门电路及其性能指标
 - TTL、MOS集成门电路
- 布尔代数原理及其门电路实现（1学时）
 - 布尔代数基本原理
 - 布尔代数的门电路实现
- 基本组合逻辑部件设计（3学时）
 - 运算单元电路（加法器、比较器、函数发生器）
 - 多路选择器，译码器，编码器
- Verilog HDL介绍（自学）

第三讲：时序逻辑设计（6学时）

❖ 目 标

- 掌握触发器、寄存器的结构和工作原理，掌握有限状态机、同步时序逻辑电路的设计方法和分析方法，具备使用仿真工具开发时序逻辑电路的能力。

❖ 主要内容

- 锁存器和触发器（2学时）
 - SR锁存器、D锁存器
 - D触发器，JK触发器
 - 基于D触发器的寄存器构造
- 有限状态机（FSM）（1学时）
 - Moore型FSM
 - Mealy型FSM
- 时序逻辑电路设计分析（3学时）
 - 数据寄存器
 - 移位寄存器
 - 计数器

第四讲：主存储器（5学时）

❖ 目 标

- 了解存储单元电路的工作原理，掌握主存储器的结构特点、工作原理和构造方法。

❖ 主要内容

- 存储单元电路（1学时）
 - SRAM存储单元电路
 - DRAM存储单元电路
 - ROM存储单元电路
- 主存储器的结构（1学时）
 - SRAM芯片的内部结构
 - DRAM芯片的内部结构
- 存储器的扩展（2学时）
- DRAM的刷新（1学时）

第五讲：指令系统与MIPS汇编语言（4学时）

❖ 目 标

- 以X86和MIPS两种指令系统为研究对象，学习并掌握计算机指令系统的格式、寻址方式和设计方法，理解CISC和RISC两种指令系统的特点；学习并掌握MIPS汇编语言编程。

❖ 主要内容

- 指令系统概述（1学时）
 - 指令系统的基本要素
 - 指令格式、寻址方式
- 典型指令系统简介（1学时）
 - MIPS指令系统介绍
 - X86指令系统介绍
 - CISC与RISC的特点
- MIPS汇编语言编程（2学时+自学）

第六讲：MIPS处理器设计（14学时）

❖ 目 标

- 以小型MIPS处理器为研究对象，学习并掌握基于指令执行分析的数据通路构造方法、基于与或逻辑阵列为基础的MIPS控制器设计方法，进而掌握MIPS处理器设计方法。

❖ 主要内容

- 处理器的功能、组成、一般设计方法等（1学时）
- MIPS处理器设计概述（1学时）
 - 结构、指令集、数据通路的基本组件
- 单周期处理器设计（4学时）
 - 单周期数据通路设计（工程方法），
 - 单周期控制器设计、性能分析
- 多周期处理器设计（2学时）
 - 多周期数据通路设计（工程方法）
 - 多周期控制器设计、性能分析
- 流水线处理器设计（6学时）
 - 流水线数据通路设计（工程方法）
 - 流水线控制器设计、性能分析

第七讲：高速缓存存储器（CACHE）（6学时）

❖ 目 标

- 掌握高速缓存存储器（Cache）的结构特点和工作原理，以及多级Cache层次关系，掌握Cache的映射机制、Cache的命中与缺失分析及其性能计算方法。

❖ 主要内容

- 程序执行局部性原理（1学时）
- Cache的结构与工作原理（1学时）
- Cache的映射机制（2学时）
 - 直接映射
 - 全相联映射
 - 组相联映射
- Cache的替换策略（1学时）
- Cache性能分析与其他（1学时）
 - Cache数据一致性问题
 - 命中率与缺失分析
 - 性能计算

第八讲：虚拟存储系统（3学时）

❖ 目 标

- 掌握虚拟存储器工作原理、虚实地址转换与页表工作原理、TLB工作原理，具备进行虚拟存储器性能分析的能力。

❖ 主要内容

- 虚拟存储器工作原理
- 虚实地址转换
- 页表工作原理
- TLB工作原理
- 虚拟存储器性能分析

第九讲：外部存储与输入输出方式（4学时）

❖ 目 标

- 掌握程序查询I/O、中断I/O和DMA I/O等输入输出方式的工作原理。

❖ 主要内容

- 外部存储器（1学时）
- I/O方式（2学时）
 - 程序查询I/O方式
 - 中断与中断I/O方式
 - DMA I/O方式
 - I/O通道
- MIPS的I/O抽象

你需要学习的内容：基本原理

❖ 计算机的各组成要素

- 入门：一台计算机都有哪些基本部件
- 进阶：理解计算机各组成要素间的关联关系
- 高级：理解程序执行、硬件运行间的作用关系

❖ 突破点：CPU

- CPU的指令集为什么要这样设计？
- 如何从1条指令推导出数据通路（数据结构）？
- 如何把多个数据通路组合成完整数据通路？
- 如何设计控制指令执行的控制系统（算法）？

你需要学习的内容：硬件描述语言

❖ 硬件描述语言HDL（Hardware Description Language）

- 用于专门描述硬件工作原理的语言
- 与程序设计语言（C、JAVA）的主要区别
 - 语言内置的并行性/并发性
 - 不仅描述逻辑，而且描述时序
 - 软件：1 + 1的计算结果等于2
 - 硬件：1 + 1的计算结果等于2 & 什么时候完成这个计算

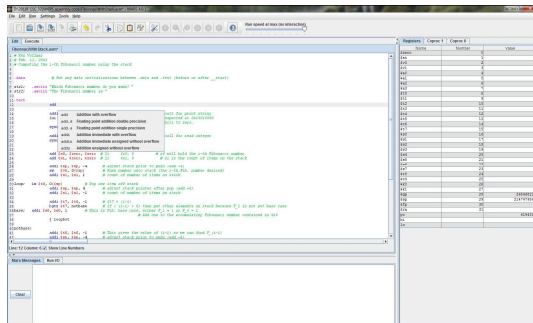
❖ 本课程：Verilog HDL，并实现

- 基本的数字电路：与非门、组合逻辑、时序逻辑
- 基本的数字部件：译码器、运算器、寄存器堆、多路选择器、状态机
- 完整的CPU：数据通路、控制器
- 完整的Computer：CPU、存储器接口、输入输出接口、桥接器

你需要学习的内容：各种软件工具

❖ MIPS模拟器：MARS

- MARS (MIPS Assembler and Runtime Simulator)
- 模拟一台MIPS计算机，可以编写、执行、调试MIPS汇编程序



你需要学习的内容：各种软件工具

❖ EDA (Electronic Design Automation) 工具链

❖ 现代芯片设计都采用不同的工具组合

- 极少在单一的IDE中完成全部设计开发

logicSim	数字电路模拟	数字电路设计与模拟
ModelSim	HDL功能仿真	对HDL设计进行测试和验证
Synplify	设计综合	把HDL设计映射为硬件微功能集合，并描述拓扑关系
Quartus II	布局布线	把上述逻辑描述映射到物理组件

参考书及参考资料

- ❖ Computer Organization & Design—The Hardware / Software Interface，计算机组成与设计—硬件/软件接口（第3版/第4版），机械工业出版社，David A. Patterson & John L. Hennessy著
- ❖ Digital Design and Computer Architecture，数字设计和计算机体系结构，机械工业出版社，David Money Harris & Sarah L. Harris著
- ❖ Verilog数字系统设计教程，北航出版社，夏宇闻著



其他

❖ 最终成绩评定

- 期末考试占85%
- 平时作业占15%

❖ 课程网站

- 地址：<http://course.buaa.edu.cn>
 - 计算机组成(2017-2018-1)
 - 资源
 - ✓ 课件、相关资料等
 - 作业
 - ✓ 上传文件名为学生的学号+作业的序号：例如，第一次作业的文件名：16061xxx_01.doc(或.zip, .pdf等)
 -

主讲教师

❖ 刘旭东、高小鹏、肖利民、牛建伟、栾钟治

❖ 栾钟治

➢ 计算机学院中德联合软件研究所

➢ 办公地点: 学院路校区新主楼G413

➢ 联系方式:

▪ email: luan.zhongzhi@buaa.edu.cn , rick710055@263.net

▪ tel: 82315908

▪ qq: 9281971

▪ 微信: rickluan

实验教学目标

❖ 以MIPS体系结构指令集为例, 理解计算机软硬件接口

➢ 能够编写一定规模的汇编语言程序

➢ 从指令的操作语义入手, 推导出CPU设计结构

▪ 能够根据每条指令的操作语义总结出处理需求, 对应至功能部件

▪ 根据处理需求的逻辑关系建立功能部件的连接关系

❖ 自主开发MIPS流水线CPU

➢ 掌握流水线CPU的工作原理及其构造方法

➢ 用工程方法开发符合工业标准且具有一定工程规模的流水线CPU

▪ 有助于理解计算机硬件工作原理及核心机制

▪ 通过工程能力训练过程建立系统观点

实验教学内容 (week 1 - week 6)

❖ 预备阶段, 学习课设相关基础知识、编程语言及设计工具

➢ 数制

➢ 数字电路基础知识

▪ 门电路、组合电路、时序电路

➢ 语言

▪ Verilog-HDL - 语法、数字系统硬件设计与验证

▪ 汇编语言 - MIPS指令集、汇编程序解析及设计

➢ 工具的使用

▪ Logisim - 数字电路模拟器, 具有直观友善的电路建模和仿真功能

▪ ISE - 硬件描述语言模拟器, 搭建功能型计算机, 并仿真验证

▪ MARS - MIPS模拟器, 辅助MIPS汇编程序编写、调试, 设计验证的黄金模型

❖ 学习方式

➢ 在SPOC(Small Private Online Course)平台完成相关教学内容自学、评测

实验教学内容 (week 6 - week 17)

序号	项目名称	课下测试 (PW)	课上测试 (PT)	启动周	工作周数	检查周
预备	基础知识, Logisim, 汇编, SPOC平台完成自学、测验、Verilog-HDL	校历第一周(启动周)周五18时课程内容发布, 第六周周五10时截止教程部分评测提交		1	5	6
P0	部件及状态机设计 (Logisim)	搭建CRC校验码计算电路, ALU, 正则表达式匹配	Logisim完成部件及FSM设计	6	1	7
P1	部件及状态机设计 (Verilog-HDL)	实现splitter, ALU, 格雷码计数器, 合法表达式识别	Verilog-HDL完成部件及FSM设计	7	1	8
P2	汇编语言	矩阵乘法、排序、回文串判断	选择题+编程题	8	1	9
P3	Logisim开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	9	1	10
P4	Verilog开发单周期CPU	完成支持7条指令的单周期CPU设计	新增指令	10	1	11
P5	Verilog开发流水线CPU(1)	完成支持10指令流水线CPU设计	流水线工程化方法	11	2	12 13
P6	Verilog开发流水线CPU(2)	完成支持50指令流水线CPU设计	流水线工程化方法	13	1	14
P7	Verilog开发MIPS微系统(1)	完成微型MIPS系统设计 开发简单I/O, 验证中断	现场测试	14	1	15
P8	Verilog开发MIPS微系统(2)	完成微型MIPS系统设计 集成串口控制器, 板级运行	现场测试	15	2	17

实验过程

❖ 课下需完成工作

- 每周通过SPOC发放Project任务
 - 基于SPOC平台提供的素材完成相关知识学习
 - 完成SPOC平台要求的测评内容，如知识点评测选择题、填空、判断题等
 - 提交Project任务相关设计至SPOC平台
 - 自动评测平台返回评测结果
 - 平台进行(本届+跨界)查重

❖ 课上测试需完成工作

- 基于SPOC平台完成知识点测评
 - 完成选择题、填空、判断题等
- 完成课上要求的设计内容
 - 从SPOC平台下载个人课下提交的设计终版
 - 限定时间内，完善个人课下提交的设计以符合课上设计要求
 - 提交SPOC平台进行自动评测

SPOC平台使用

❖ SPOC平台注册

- <http://co.cscore.net.cn/register>
- 务必使用学号作为用户名

❖ 计组课设访问

- 请先在教务系统完成课设选课
- 完成SPOC平台计算机组成课设选课
 - 选课链接: http://co.cscore.net.cn/courses/course-v1:BUAA+B31062410+2017_T1/about
 - 选课截止时间: 9月22日12:00

❖ 推荐浏览器

- Google Chrome / Mozilla Firefox / Microsoft IE / Apple Safari
- Latest version

❖ 出现问题请在论坛提问

- http://co.cscore.net.cn/courses/course-v1:BUAA+B31062410+2017_T1/discussion/forum/

与课程内容进行交互

来自课程团队的课程动态及通知

课程团队 课程信息 论坛 进度 导航

查询学习进度及效果

与同学、课程团队讨论交流

数字电路与 Logisim

欢迎来到Logisim的世界！

Logisim 门电路

Logisim 组合电路

Logisim 时序电路

走向应用与进阶

Verilog-HDL与ISE

汇编语言与MARS

P0-Logisim和Verilog简单部件

P1-Logisim和Verilog状态机

P2-汇编语言

P3-Logisim 前期

多路选择器

在组合电路中，多路选择器（Multiplexer，简称MUX）是非常重要的角色。下图是一个典型的Logisim中的多路选择器。左侧是多个（黑色）的选通信号，对输入的符号进行选择输出。另外一个端口是使能信号，当使能信号为高电平时，整个部件正常工作。

MUX更为重要的功能就是多个信号中选择一个，在Logisim中的多路选择器能够处理复杂的信号选择。

Worked Example, 示例题解, 复现工作并提交;

Project Work, 提交课下作业;

Project Test, 提交课上测试;

Lecture Text, 知识点讲解

Quiz, 知识点测试 (选择/填空/判断等)

Lecture Video, 知识点视频讲解

对应一组学习序列, 建议按照从左至右的顺序进行学习

课程各个单元, 按照课程进度发布

右例是多个输出: 底部是黑色的选通信号 (one-hot), 如101的三位二进制

SPOC平台追踪学习全过程

❖ 教学素材 (Lecture Video, Lecture Text) 学习情况

❖ Progress 栏目将记录知识点评测情况(Quiz, Worked Example)

❖ 论坛活跃情况

- 近年来教学经验表明，如果在参加课程过程中，更多参与讨论，将更能成功
- 我们希望大家在遇到问题时，能够努力利用网络资源搜索或以讨论的方式解决问题
 - 欢迎大家将未能解决的问题在论坛发布，寻求帮助
 - 希望大家将个人问题的解决方案在论坛分享，并积极帮助他人解决问题

❖ 自动评测及查重情况

- 将记录在SPOC平台的历次提交版本及评测结果，用于查重溯源
- 查重范围涵盖 本届及往届
- !!! 抄袭零容忍
 - 我们鼓励大家交流、讨论，但请一定做到“学术诚实”！
 - 若发现重复率高，将人工复查，并进行答辩
 - 抄袭行为确认后，该生最终成绩为“零”（2016Fall, 15人）

评分机制

❖ 单次Project得分构成

- SPOC学习情况
- 课下Project Work完成情况
- 课上Project Test完成及问答情况

❖ 实验最终成绩

- 及格线：至少完成P5
- 最终成绩由**教程及历次Project成绩**及**SPOC论坛活跃度**综合评定
 - 依据SPOC论坛活跃度（有效提问 / 回复）适度加分

计组课设教学团队

❖ 教师团队



❖ 教辅团队——Student Teaching Assistant advisor



S. T. A. R教辅团队

❖ Student Teaching Assistant advisor

❖ 2016计组课设首次尝试将本科生教辅全方位纳入教学体系

- 参与实验体系、实验环境建设
 - 亲历整个实验过程，产生的改进想法非常宝贵且更具建设性
- 线上线下答疑、分享学习经验
 - 知识要用来分享，才能承先启后
 - 成功不止付出与拥有，有承担才是最高的成就！
- 检查实验进度、完善评价体系
 - 希望每一位同学都能凭借自己的努力，获得一份公正的评判

2018计组课设S. T. A. R教辅团队招募

- ❖ 如果你优秀且具有强烈的责任感与使命感，请加入我们！
- ❖ 我们期待你们新鲜的思路与想法，为课程添加新的活力！
- ❖ 年度元旦表彰会上，学院将向S.T.A.R团队成员颁发荣誉证书、突出贡献证书、杰出贡献证书
- ❖ 祝S.T.A.R.每位成员因有能力帮助他人，始终快乐！

2016教程部分学生自评反馈

教程难度	非常容易	容易	一般	难	非常难
您如何评价Logisim教程难度?	3%	11%	42%	37%	7%
您如何评价Verilog/ISE教程难度?	4%	16%	45%	25%	11%
您如何评价MIPS/MARS教程难度?	2%	11%	42%	31%	14%
Results gathered from 216 respondents.					
教程学习时间	0~4	4~10	10~16	16~∞	
您在Logisim教程上花费的小时数是?	8%	30%	33%	28%	
您在Verilog/ISE教程上花费的小时数是?	7%	32%	32%	30%	
您在MIPS/MARS教程上花费的小时数是?	11%	26%	32%	31%	
Results gathered from 215 respondents.					

教程部分建议学习顺序

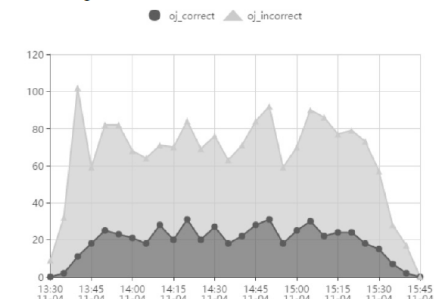
- ❖ 基础知识（数制等）
- ❖ Logisim
- ❖ Verilog-HDL与ISE
- ❖ MIPS指令集及汇编语言

2016实验教学反馈

- ❖ 提取2016学生在线学习行为
 - 在线视频播放，在线教学资料查看
 - 客观题尝试频度&准确度、在线Project提交评测频度&准确度
- ❖ 论坛热点+课上检查+采样反馈
- ❖ 欠缺→改进方向
 - P2 (MIPS Assembly Language Programming)
 - 指令集的理解
 - 读 / 写 / 调试汇编程序
 - P4 (Verilog-HDL)
 - 语法 → 模块
 - 波形观测，系统任务 → 验证
 - P5 (Hazard Unit)
 - 工程化方法的理解
 - P8 (Positive Asynchronous Forum)

2017实验教学环境改进 (1/2)

- ❖ 实验教学服务平台(OpenEdX) 迁移至公有云
- ❖ 提升自动评测平台性能
 - 以11月4日课上测试为例，计1807次提交
 - 评测平台接受的评测需求
 - P0: 15465次提交
 - P3: 12068次提交
 - P5: 11993次提交



2017实验教学环境改进 (2/2)

❖ 查重

- Moss系统Verilog-HDL的查重能力

❖ 基于OpenEdX平台形成教/学闭环

- 基于在线学习行为的预警推送
 - 提取SPOC课程特征
 - 预测学生课上测试成绩
- 论坛引导及资源推荐
 - 论坛相似贴推荐
 - 复习资源推荐