

计算机组成原理

计算机组成原理课程组

(刘旭东、肖利民、牛建伟、栾钟治)

Tel : 82316285

Mail: liuxd@buaa.edu.cn

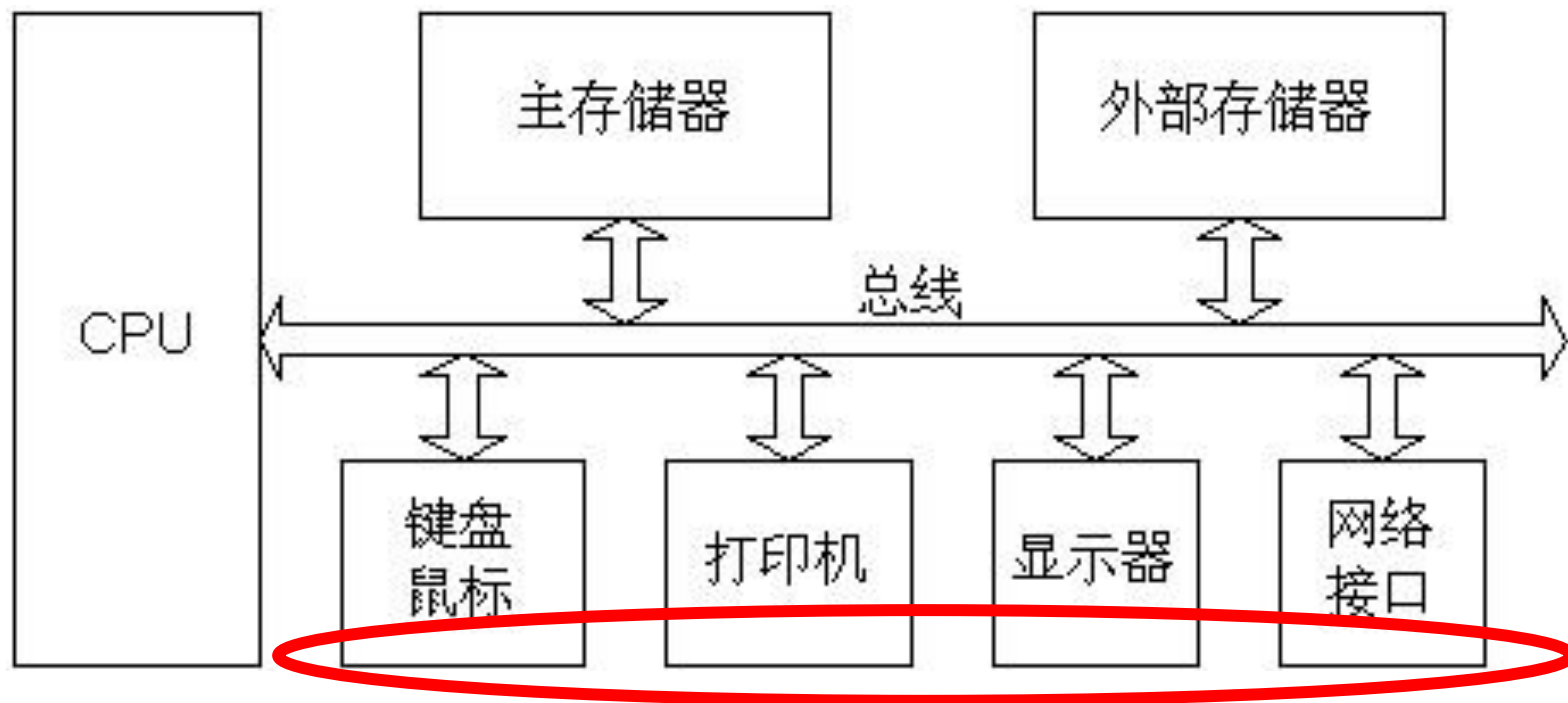
liuxd@act.buaa.edu.cn

第九讲：总线与I/O系统

- 一. 总线
- 二. 外部存储设备
 - 1. 磁表面存储器
 - 2. 光盘存储器
- 三. I/O接口
- 四. I/O数据传送方式
 - 1. 程序查询I/O方式
 - 2. 中断I/O方式
 - 3. DMA I/O方式
 - 4. 通道I/O方式

1.1 总线的一般概念

❖ 总线：连接两个或多个功能部件的一组公共的信号传输线。



设备（device）；I/O设备；输入输出设备

1.1 总线的一般概念

❖ 总线特性

- 机械特性：机械连接方式。如几何尺寸、引脚数量、插头标准。
 - 连接方式：电缆式、主板式、底板式
- 电气特性：信号传输方向、有效电平、电平逻辑等。
 - 电平方式：单端方式（一组信号线、一个公共接地信号）、差分方式
 - 电平逻辑：正逻辑、负逻辑
- 功能特性：信号功能定义。
- 时间特性：信号之间的时序关系。

1.1 总线的一般概念

❖ 总线的设计要素

➤ 类型：专用或复用

- 总线复用：地址总线与数据总线是否复用（时分多路复用）

➤ 仲裁方式：集中式或分布式

- 总线上各部件使用总线的仲裁方式。

➤ 时序：同步/异步方式

- 总线上的数据与时钟同步工作的总线为同步总线，与时钟异步的总线为异步总线。

➤ 总线宽度：数据总线位数（根数），如**32位**，**64位**。

➤ 标准传输率：每秒传输的最大字节量。

➤ 信号线数：所有信号线的总数。

1.1 总线的一般概念

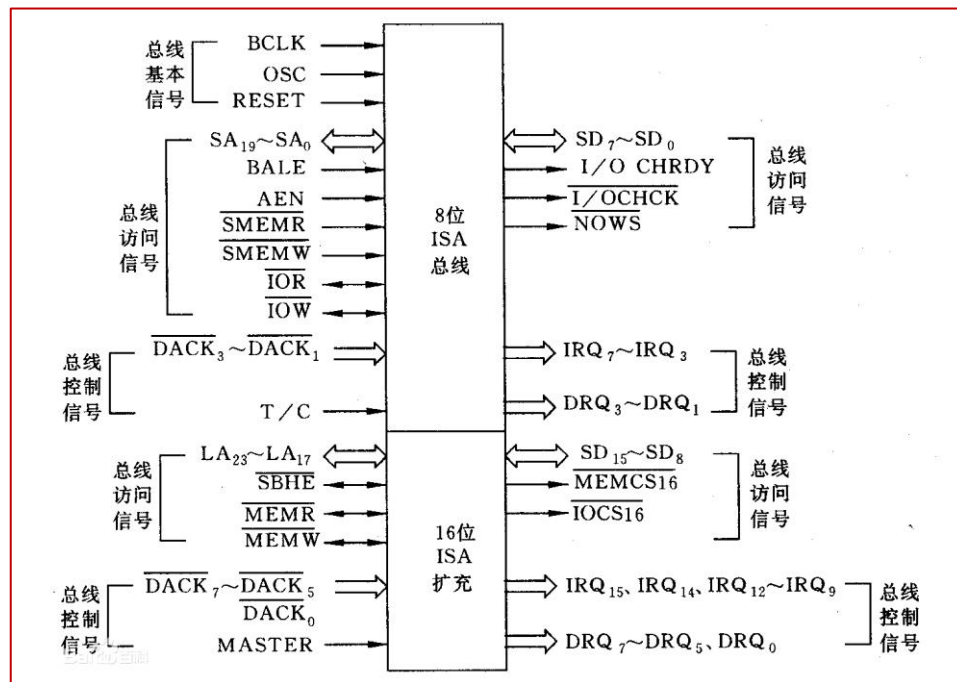
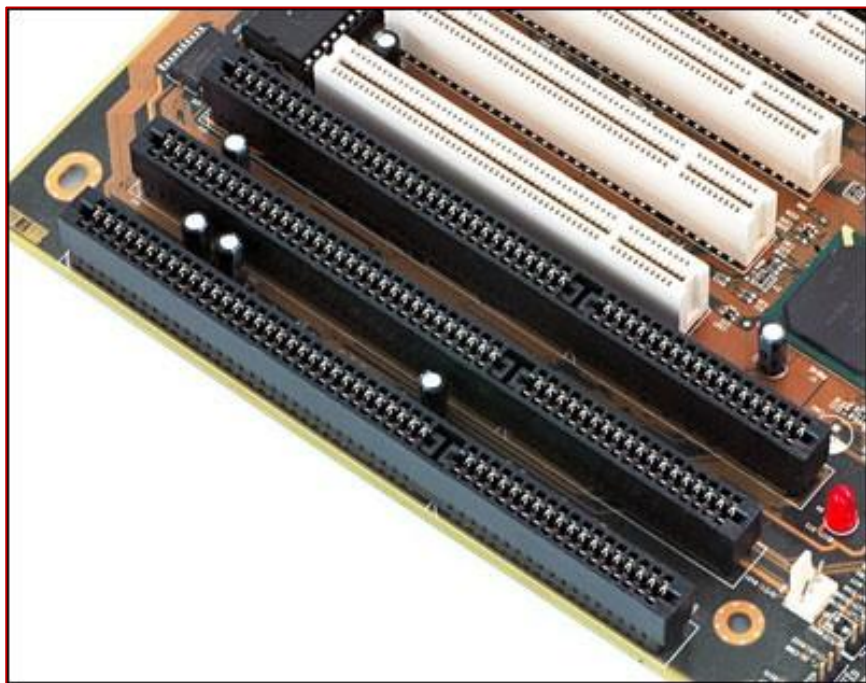
❖ 总线的分类

- **片内总线**：芯片内部连接各元件的总线，如**CPU**内部的总线，是**CPU**内各寄存器、寄存器与**ALU**之间传递信息的公共通道。
- **系统总线**：**CPU**、主存、**I/O**部件（**I/O**接口）之间传递信息的公共通道。一般分为数据总线、地址总线和控制总线三部分
 - ◆ 数据线：传输数据；
 - ◆ 地址线：传输存储器地址和**I/O**地址；
 - ◆ 控制线：
 - 数据传输控制信号：存储器读写控制信号、**I/O**读写控制信号，应答信号等。
 - 总线请求和交换信号：总线请求、总线允许，中断请求与响应信号等。
 - 其他控制信号：时钟、复位、电源线等
- **通信总线**：用于计算机系统之间或计算机系统与其他系统之间的通信。

1.1 总线的一般概念

❖ ISA (Industrial Standard Architecture, 工业标准体系结构)

- IBM公司为PC/AT电脑而制定的总线标准，最开始是8位总线；
- 1984年推出IBM-PC/AT系统，ISA从8位扩充到16位；
- 16位数据总线，24位地址总线；
- 总线时钟频率8MHz，最大数据传输率16MB/s。



1.1 总线的一般概念

❖ EISA(Extended Industrial Standard Architecture, 扩展的ISA)

- 1988年, 康柏、HP、NEC等9个厂商协同把ISA扩展到32位, 即EISA总线(Extended ISA)。
- 32位数据总线, 32位地址总线, 总线时钟频率8MHz, 最大数据传输率33MB/s。
- 与ISA兼容, 连接器是一个两层槽设计, 既能接受ISA卡, 又能接受EISA卡。顶层与ISA卡相连, 低层则与EISA卡相连。

下部信号	上部信号	引脚	引脚	上部信号	下部信号
Ground	Ground	B1	A1	-I/O CH CHK	-CMD
+5 Vdc	RESET DRV	B2	A2	Data Bit 7	-START
+5 Vdc	+5 Vdc	B3	A3	Data Bit 6	EXRDY
Reserved	IRQ 9	B4	A4	Data Bit 5	-EX32
Reserved	-5 Vdc	B5	A5	Data Bit 4	Ground
KEY	DRQ 2	B6	A6	Data Bit 3	KEY
Reserved	-12 Vdc	B7	A7	Data Bit 2	-EX16
Reserved	-0 WAIT	B8	A8	Data Bit 1	-SLBURST
+12 Vdc	+12 Vdc	B9	A9	Data Bit 0	-MSBURST
M-I/O	Ground	B10	A10	-I/O CH RDY	W-R
-LOCK	-SMEMW	B11	A11	AEN	Ground
Reserved	-SMEMR	B12	A12	Address 19	Reserved
Ground	-IOW	B13	A13	Address 18	Reserved
Reserved	-IOR	B14	A14	Address 17	Reserved
-BE 3	-DACK 3	B15	A15	Address 16	Ground
KEY	DRQ 3	B16	A16	Address 15	KEY
-BE 2	-DACK 1	B17	A17	Address 14	-BE 1
-BE 0	DRQ 1	B18	A18	Address 13	Latch Address 31
Ground	-Refresh	B19	A19	Address 12	Ground
+5 Vdc	CLK(8.33MHz)	B20	A20	Address 11	-Latch Address 30
Latch Address 29	IRQ 7	B21	A21	Address 10	-Latch Address 28
Ground	IRQ 6	B22	A22	Address 9	-Latch Address 27
Latch Address 26	IRQ 5	B23	A23	Address 8	-Latch Address 25
Latch Address 24	IRQ 4	B24	A24	Address 7	Ground
KEY	IRQ 3	B25	A25	Address 6	KEY
Latch Address 16	-DACK 2	B26	A26	Address 5	Latch Address 15
Latch Address 14	T/C	B27	A27	Address 4	Latch Address 13
+5 Vdc	BALE	B28	A28	Address 3	Latch Address 12
+5 Vdc	+5 Vdc	B29	A29	Address 2	Latch Address 11
Ground	OSC(14.3MHz)	B30	A30	Address 1	Ground
Latch Address 10	Ground	B31	A31	Address 0	Latch Address 9

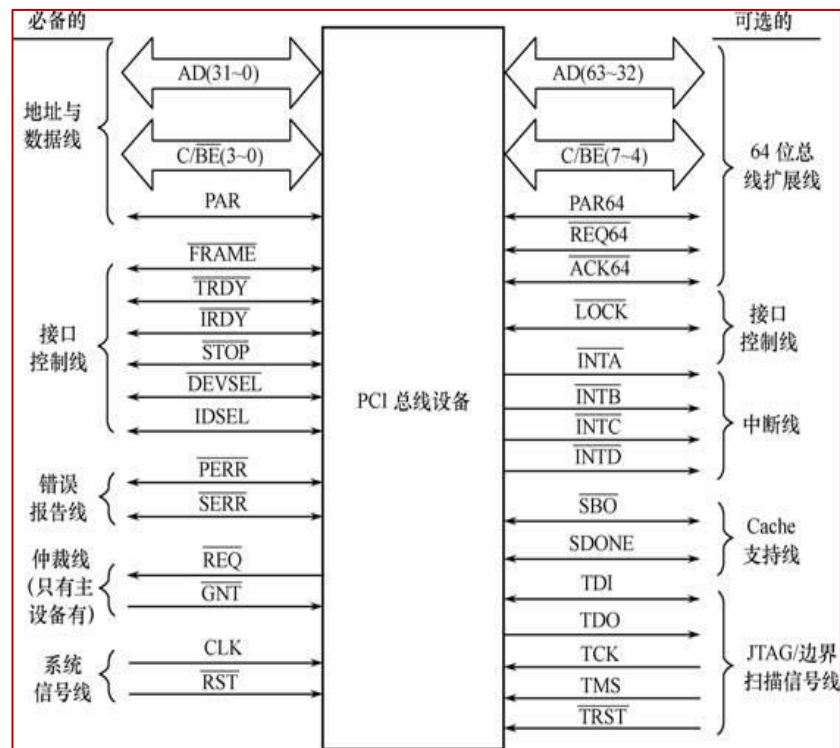
Latch Address 8	-MEM CS16	D1	C1	-SBHE	Latch Address 7
Latch Address 6	-I/O CS16	D2	C2	Latch Address 23	Ground
Latch Address 5	IRQ 10	D3	C3	Latch Address 22	Latch Address 4
+5 Vdc	IRQ 11	D4	C4	Latch Address 21	Latch Address 3
Latch Address 4	IRQ 12	D5	C5	Latch Address 20	Ground
KEY	IRQ 15	D6	C6	Latch Address 19	KEY
Data Bit 16	IRQ 14	D7	C7	Latch Address 18	Data Bit 17
Data Bit 18	-DACK 0	D8	C8	Latch Address 17	Data Bit 19
Ground	DRQ 0	D9	C9	-MEMR	Data Bit 20
Data Bit 21	-DACK 5	D10	C10	-MEMW	Data Bit 22
Data Bit 23	DRQ5	D11	C11	Data Bit 8	Ground
Data Bit 24	-DACK 6	D12	C12	Data Bit 9	Data Bit 25
Ground	DRQ 6	D13	C13	Data Bit 10	Data Bit 26
Data Bit 27	-DACK 7	D14	C14	Data Bit 11	Data Bit 28
KEY	DRQ 7	D15	C15	Data Bit 12	KEY
Data Bit 29	+5 Vdc	D16	C16	Data Bit 13	Ground
+5 Vdc	-Master	D17	C17	Data Bit 14	Data Bit 30
+5 Vdc	Ground	D18	C18	Data Bit 15	Data Bit 31
-MAKx		D19	C19		-MREQx

1.1 总线的一般概念

❖ PCI (Peripheral Component Interconnect, 外部设备互连)

- Intel 1991年, 局部总线
- 32位或64位的总线位宽
- 33MHz频率下, 133MB/s~266MB/s的最大数据传输率
- 66MHz频率下, 266MB/s~533MB/s的最大数据传输率
- 64位的存储器和I/O寻址能力
- 完全的多总线主控器
- 无限突发读/写方式
- CPU和存储器子系统或PCI设备并发工作
- 地址线和数据线多路复用
- 自动配置, 即插即用
- PCI信号线: 必备的和可选的。作为从设备为最少47条, 作为主设备为最少49条。

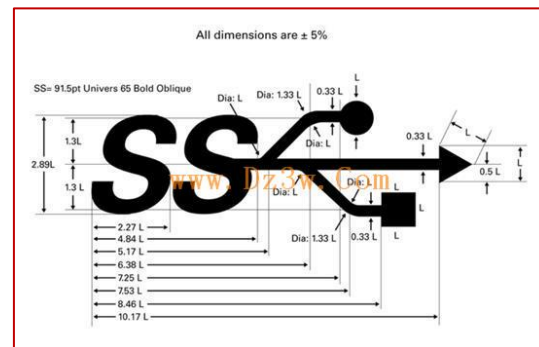
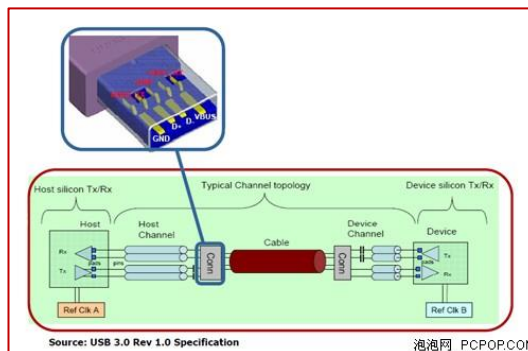
❖ 后续发展: PCI-X, PCI-E



1.1 总线的一般概念

❖ USB (Universal Serial Bus, 通用串行总线)

- 1995年, Intel、Compaq、Digital、IBM、Microsoft、NEC等7家世界著名的计算机和通信公司共同推出;
- USB采用主从结构, 主机叫**Host**, 从机叫**Device**。外观上Host一侧为 4 针公插, **Device**一侧为 4 针母插。可为外设提供电源;
- 允许外设在开机状态下热插拔, 最多可串接下来**127**个外设
- 管脚定义: **VCC (5V)**、**D-**、**D+**、**GND**
- **USB 1.0: 1.5Mbps ~ 12Mbps**
- **USB 2.0: 数据传输率最高可达480Mbps**
- **USB 3.0: SuperSpeed USB**, 最大传输带宽高达**5.0Gbps**, 也就是**625MB/s**



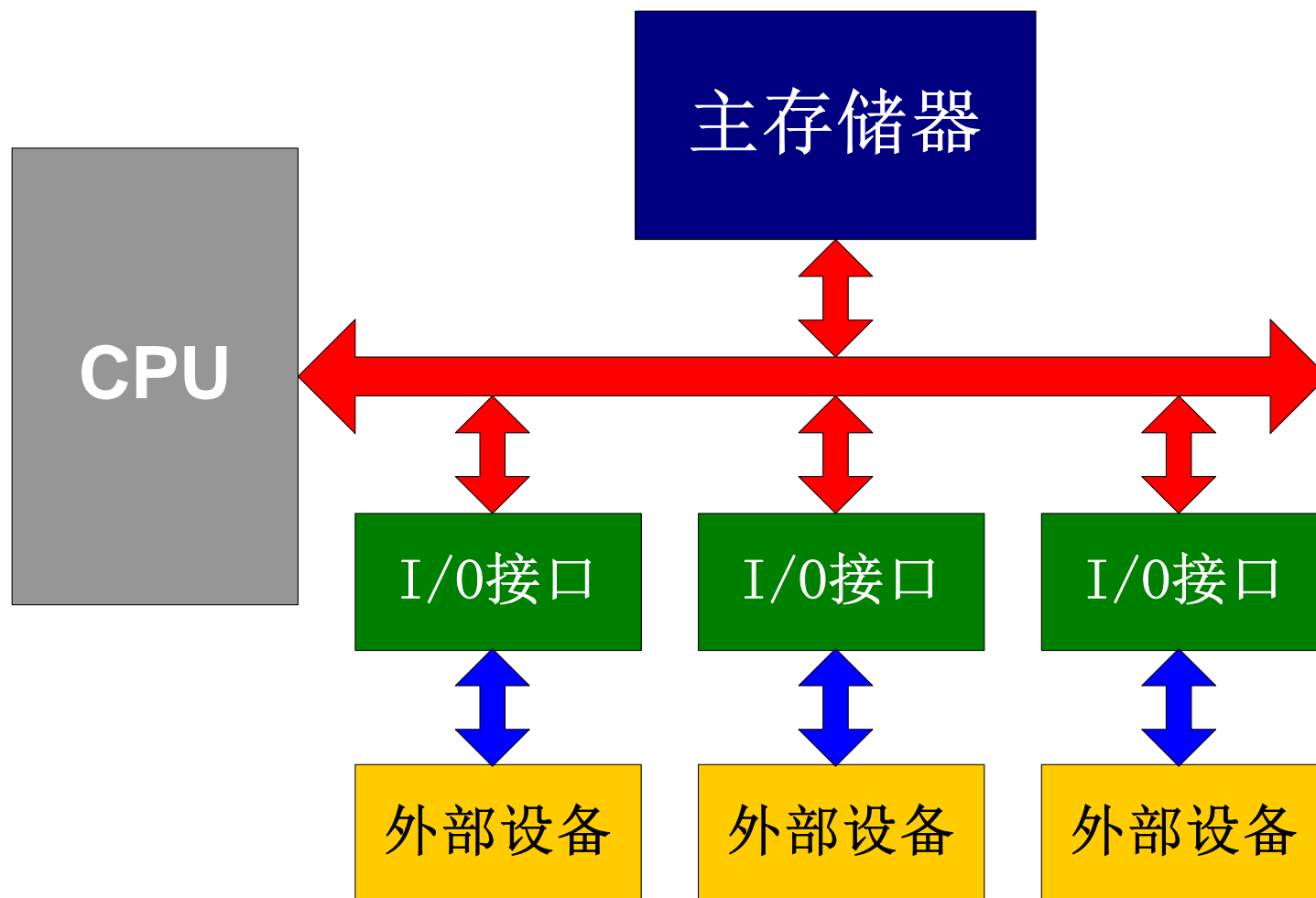
1.1 总线的一般概念

五种主要总线标准的关键特性

Characteristic	Firewire (1394)	USB 2.0	PCI Express	Serial ATA	Serial Attached SCSI
Intended use	External	External	Internal	Internal	External
Devices per channel	63	127	1	1	4
Basic data width (signals)	4	2	2 per lane	4	4
Theoretical peak bandwidth	50 MB/sec (Firewire 400) or 100 MB/sec (Firewire 800)	0.2 MB/sec (low speed), 1.5 MB/sec (full speed), or 60 MB/sec (high speed)	250 MB/sec per lane (1x); PCIe cards come as 1x, 2x, 4x, 8x, 16x, or 32x	300 MB/sec	300 MB/sec
Hot pluggable	Yes	Yes	Depends on form factor	Yes	Yes
Maximum bus length (copper wire)	4.5 meters	5 meters	0.5 meters	1 meter	8 meters
Standard name	IEEE 1394, 1394b	USB Implementors Forum	PCI-SIG	SATA-IO	T10 committee

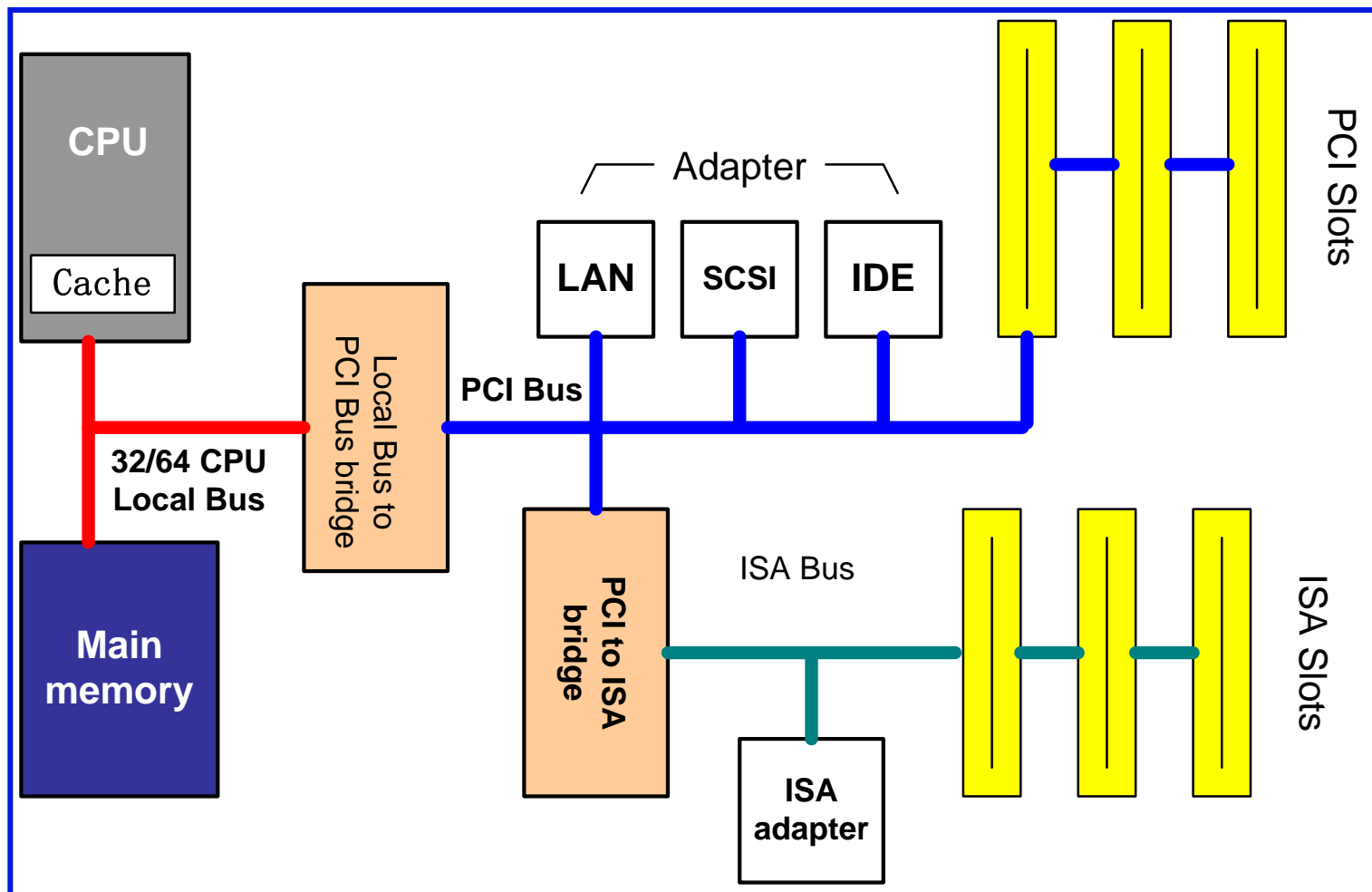
1.2 总线结构

❖ 单总线结构

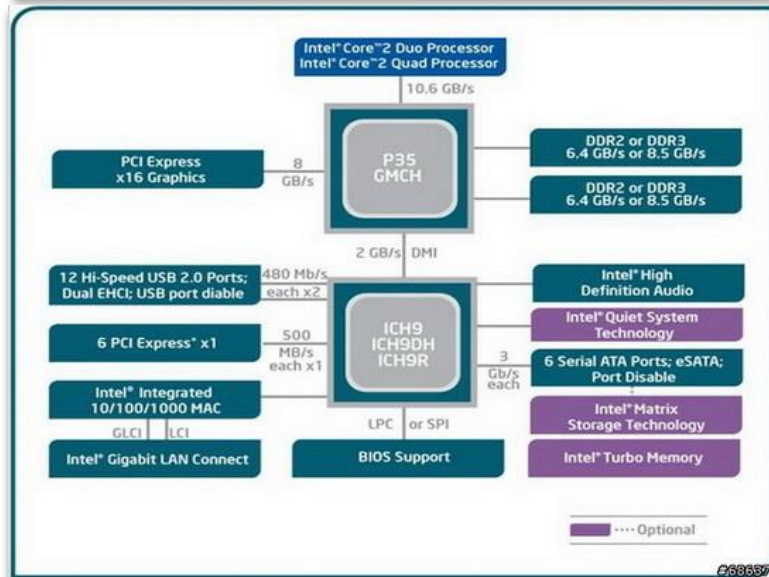
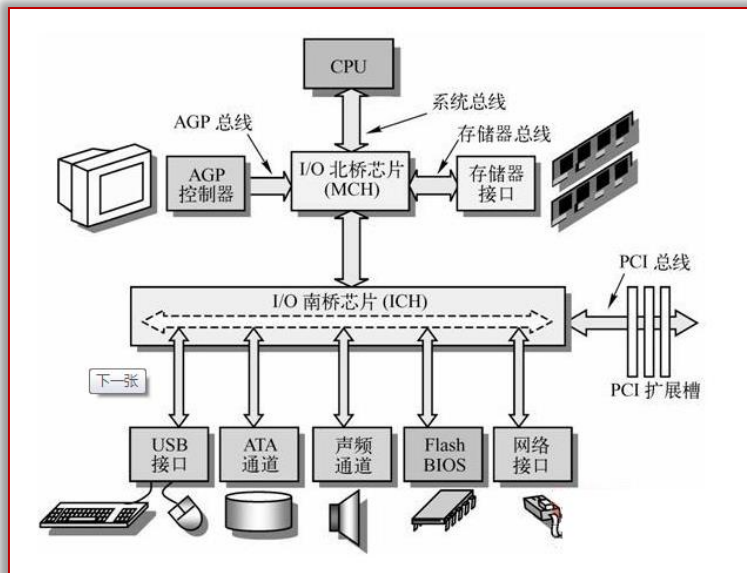
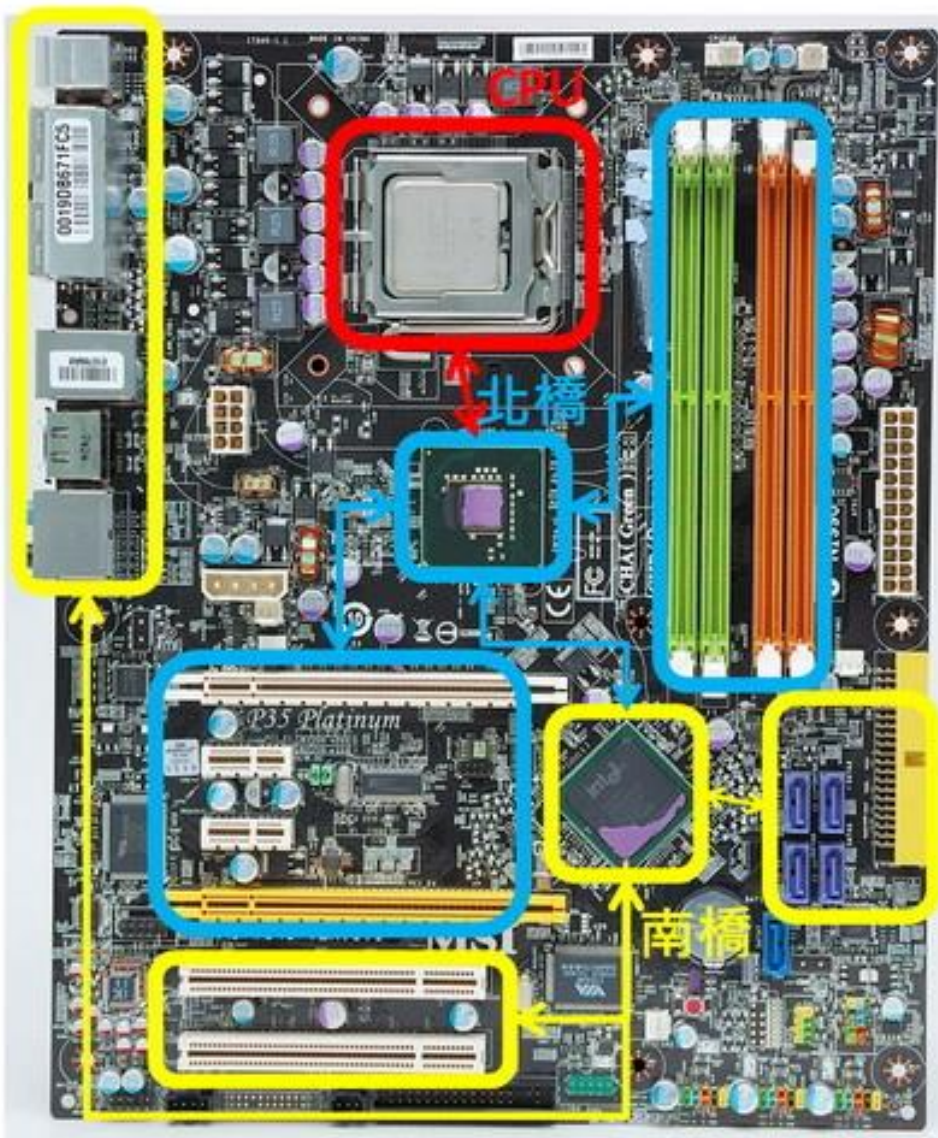


1.2 总线结构

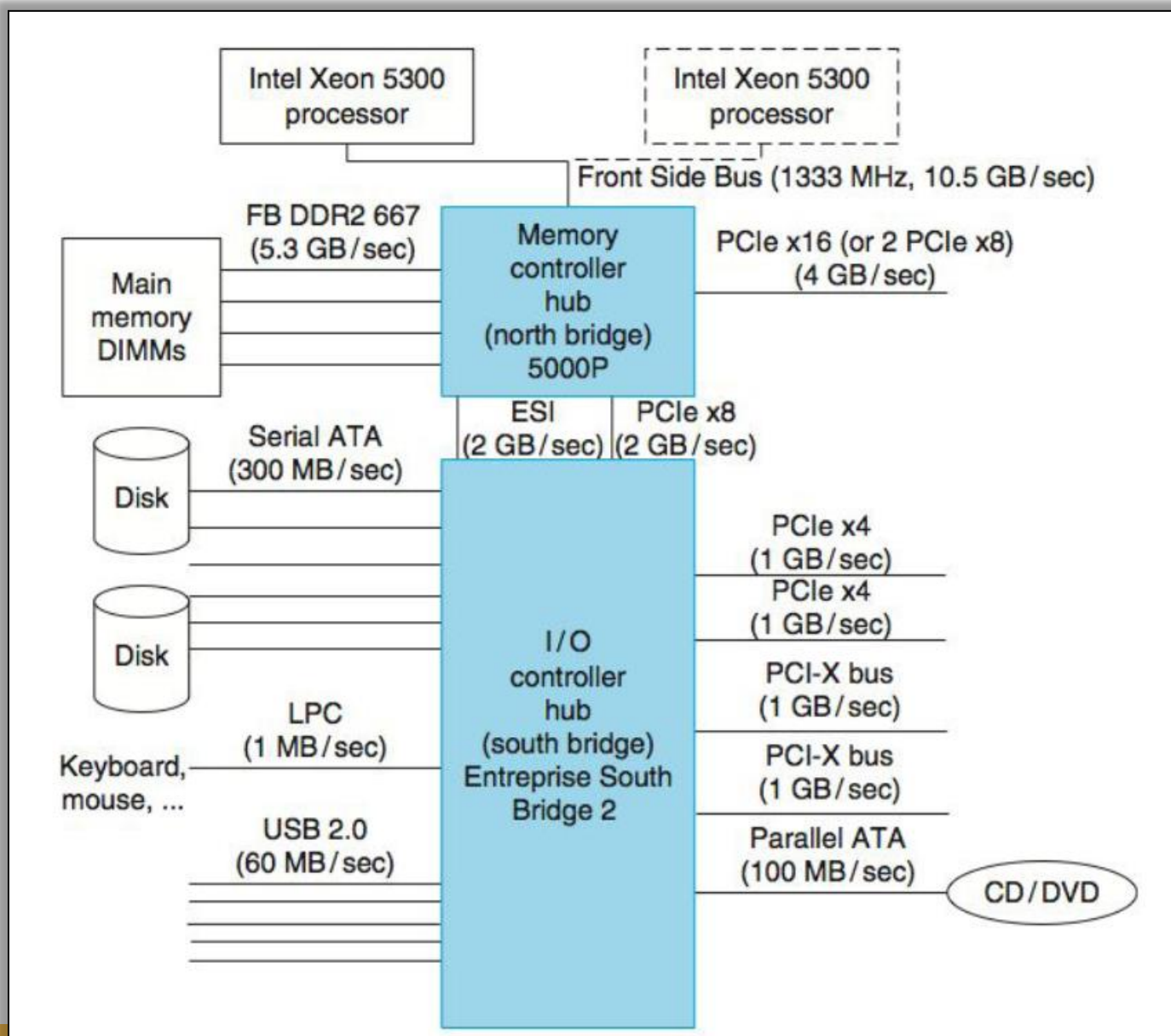
❖ 多总线结构



X86设备的I/O互联



X86设备的I/O互联



1.3 总线的仲裁方式

❖ 总线设计的要素

- 信号线类型：占用、复用（地址数据分时复用）
- 总线事务类型
 - 总线事务：总线上一对设备之间的一次信息交换
 - 主设备（请求代理）、从设备（响应代理）
 - 事务类型：存储器读（写）、I/O读（写）、中断响应等等
- 总线宽度
- 总线仲裁方式：多个设备同时申请总线时的问题

1.3 总线的仲裁方式

❖ 总线仲裁方式

➤ 集中式仲裁方式

- 链式查询方式
- 计数器定时查询方式
- 独立请求方式

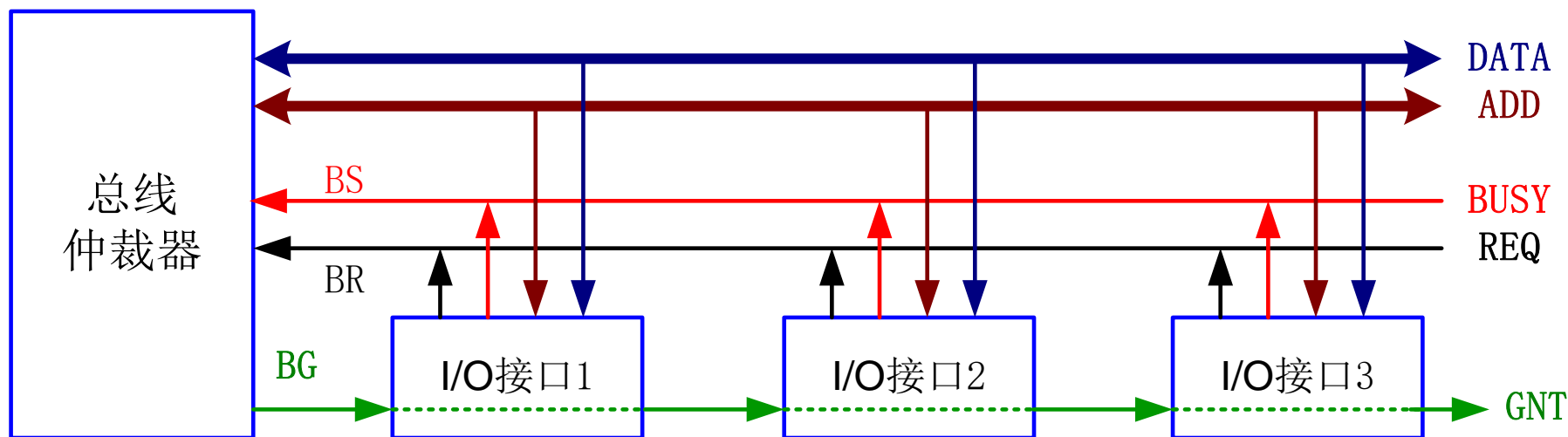
➤ 分布式仲裁方式

- 自举分布式仲裁
- 冲突检测分布式仲裁
- 并行竞争分布式仲裁

1.3 总线的仲裁方式

❖ 链式查询方式

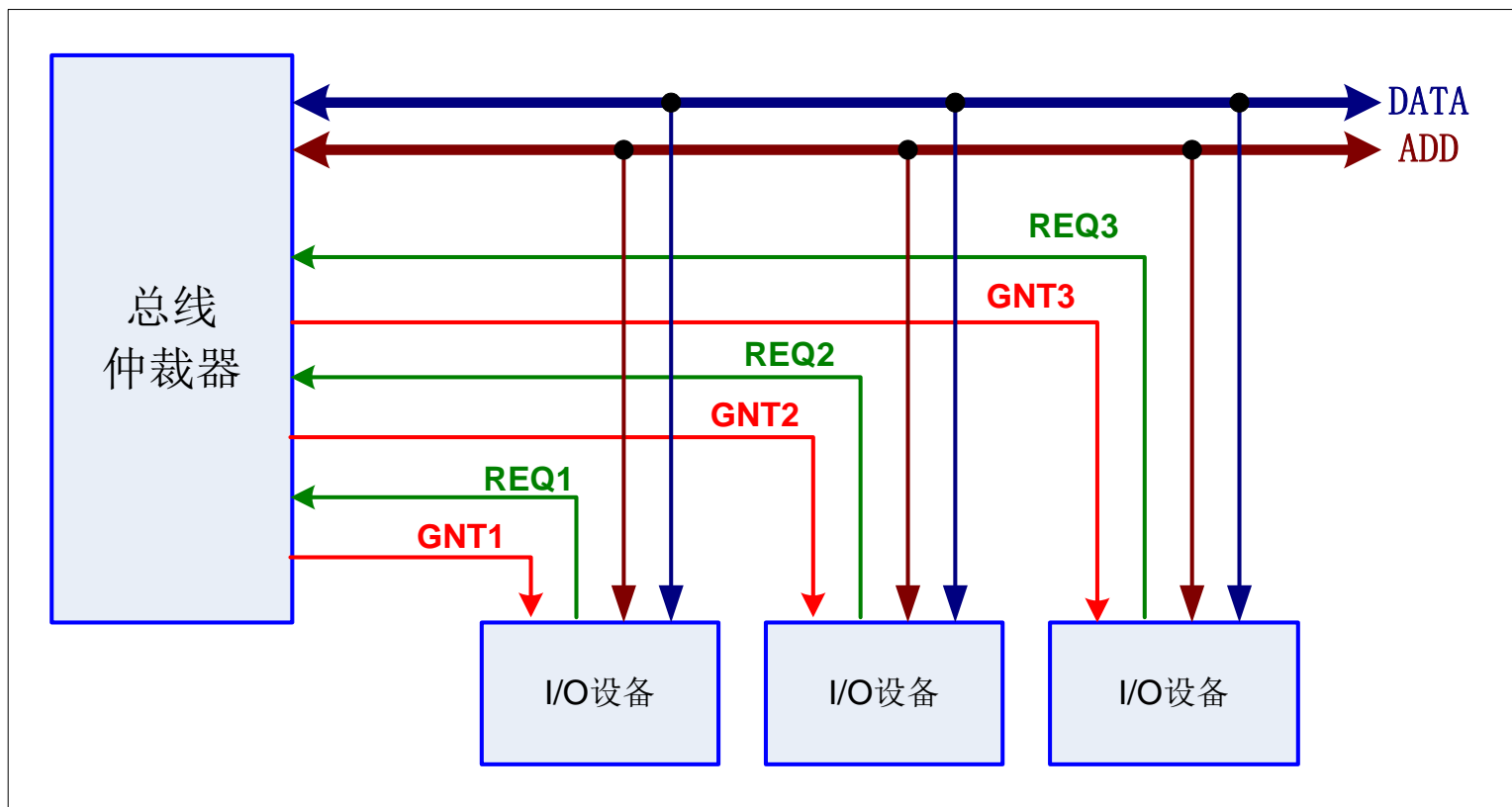
- 总线控制器（仲裁器）收到总线申请**BR**，**BG**（总线同意信号）逐个往下传；
- 遇到某接口有总线申请（**BR**：总线申请信号），**BG**停止往下传；
- 该接口获得总线使用权，并建立总线忙信号**BS**。



1.3 总线的仲裁方式

❖ 独立请求方式

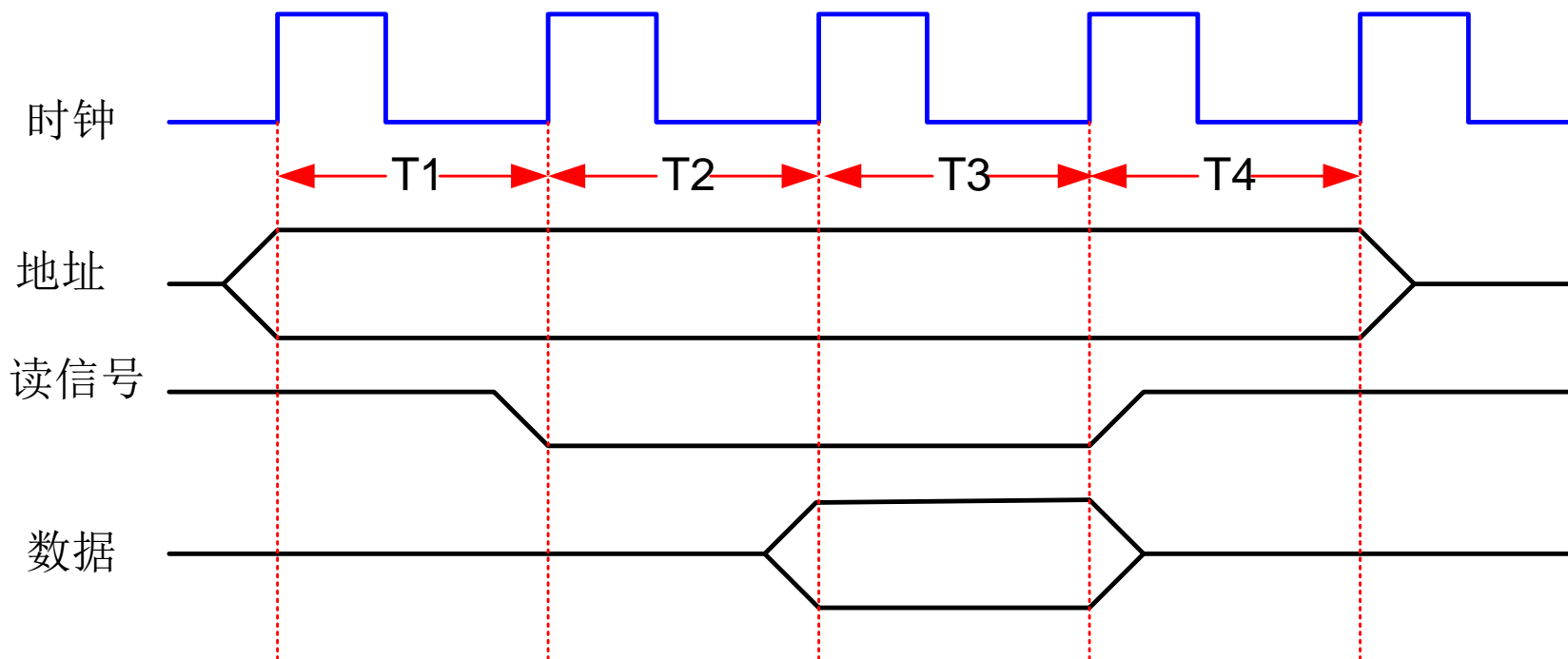
- 每个设备有独立的请求信号和总线同意信号；
- 总线控制器根据设备的优先级决定将总线的使用权交给哪个设备。



1.4 总线的通信控制方式

❖ 同步通信控制方式

➤ 数据传输在一个统一的时钟同步信号的控制下进行；

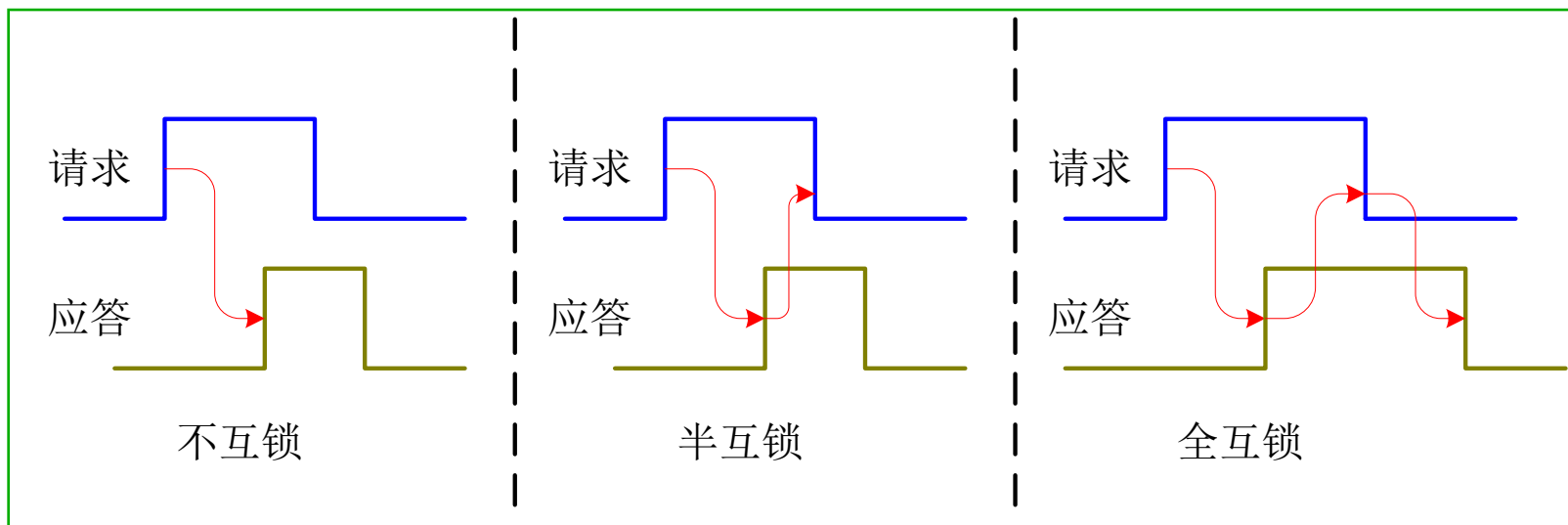


同步通信控制时序

1.4 总线通信的控制方式

❖ 异步通信控制方式

- 没有固定的时钟周期;
- 采用应答方式完成数据传输（握手协议）
- 有全互锁（三次握手）、半互锁（两次握手）和不互锁（一次握手）三种时序。



第九讲：总线与I/O系统

- 一. 总线
- 二. 外部存储设备
 - 1. 磁表面存储器
 - 2. 光盘存储器
- 三. I/O接口
- 四. I/O数据传送方式
 - 1. 程序查询I/O方式
 - 2. 中断I/O方式
 - 3. DMA I/O方式
 - 4. 通道I/O方式

百度百科

磁表面存储原理

❖ 磁表面存储器

- 磁头：体积小，重量轻；
- 软盘采用接触方式，硬盘采用浮动方式（浮动磁头，薄膜磁头）
- 磁记录材料：极细的 $\gamma\text{-Fe}_2\text{O}_3$ 颗粒，涂在（或喷射）在盘面上，形成细密、均匀、光滑的磁膜。
- 片基（载体）：塑料（软盘），金属（硬盘）



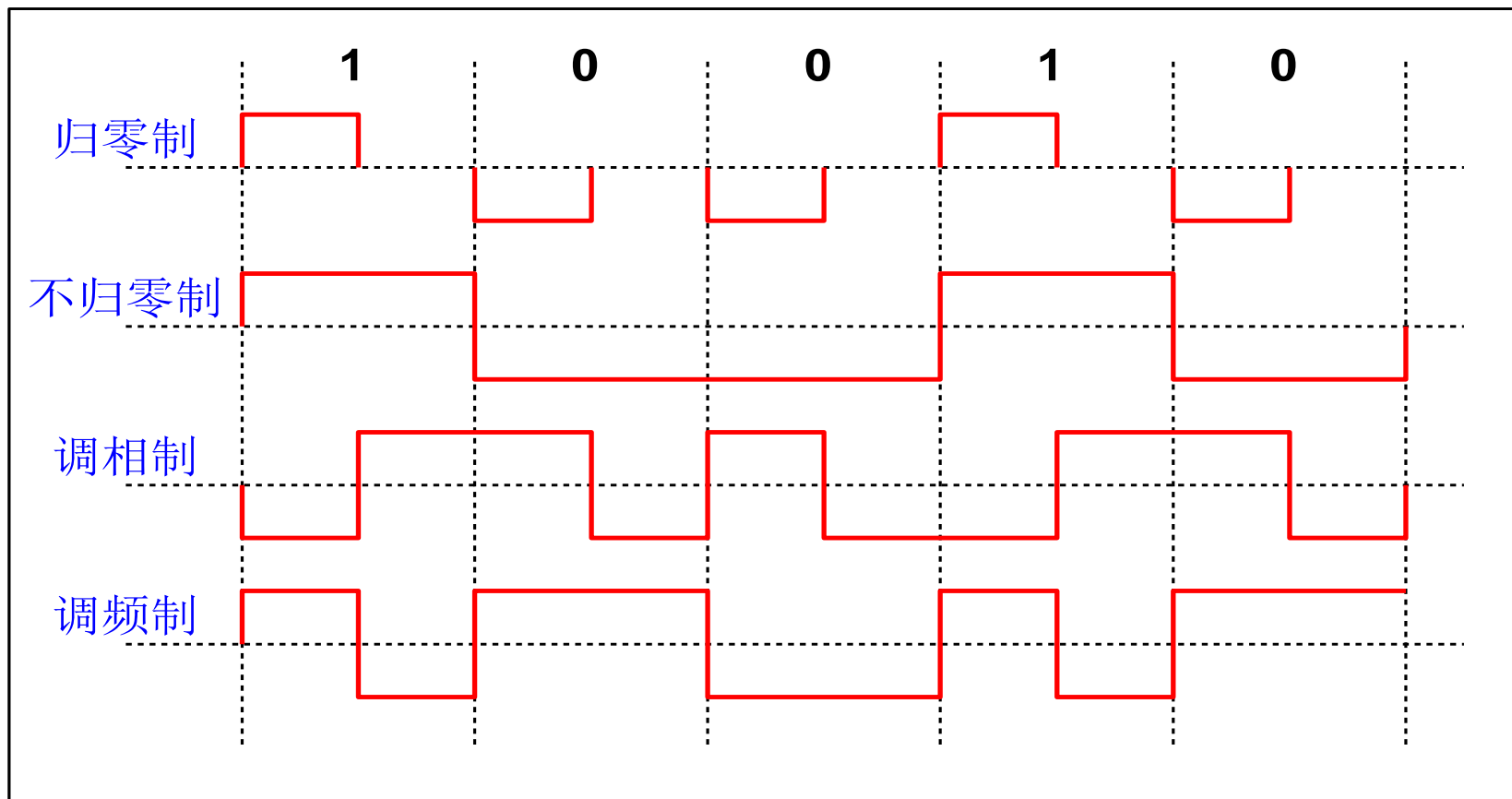
❖ 记录原理

- 通过磁头与介质的相对运动完成读写操作。
- 写入：根据写入代码确定写入驱动电流的方向，使磁表面被磁化的极性方向不同，以区别“0”和“1”；
- 读出：磁头相对磁化单元做切割磁力线运动，磁化单元的极性决定了感应电势的方向，以此区别“0”和“1”。



磁记录编码方式

❖ 磁记录编码方式实际上是写入电流的变化方式



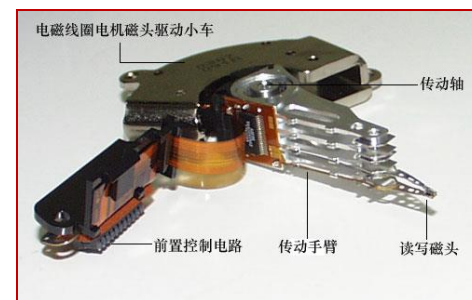
❖ 评价记录方式的主要指标

- 可靠性：归零制低，调相制高；
- 编码效率：用记录一位信息的最大磁化翻转次数表示；FM与PM为2，NRZ为1；
- 自同步能力：能否直接从读出的信号中提取同步信号；NRZ没有自同步能力，PM，FM等都具备自同步能力；

硬盘基本结构

❖ 结构

- 全密封：浮动磁头组件、磁头驱动机构、盘片和主轴组件和前置控制电路等密封在一起。
- 磁头：非接触式浮动磁头，盘面分启停区和数据区。不工作时，磁头停留在启停区；工作时，磁盘高速旋转带动气流使磁头漂浮在磁表面上方，头盘间隙仅有0.1微米~0.3微米；
- 读写电路：安装在磁头臂接近磁头的地方，以减少干扰；
- 旋转速度：3600RPM，7200RPM，10000RPM，15KPRM；一般等角速度旋转。



硬盘基本结构

❖ 数据结构与格式

➤ 数据结构:

- 磁道（柱面：**Cylinder**）
- 盘面（磁头：**Head**）
- 扇区（**Sector**）

➤ 扇区容量：**512 Bytes**

➤ 每个磁道包含的扇区数相同

➤ 最小访问单位：扇区

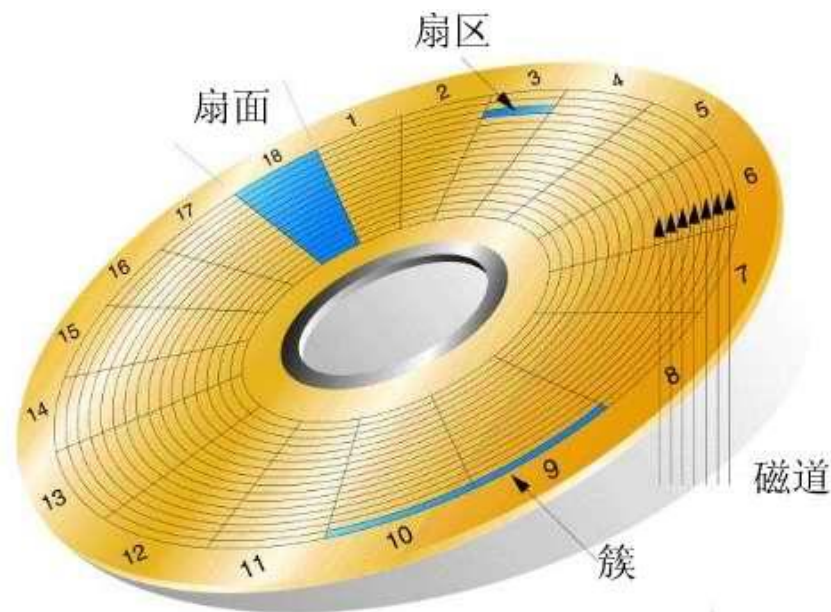
➤ 扇区的地址表示:

扇区地址:

Cylinder #

Head #

Sector #

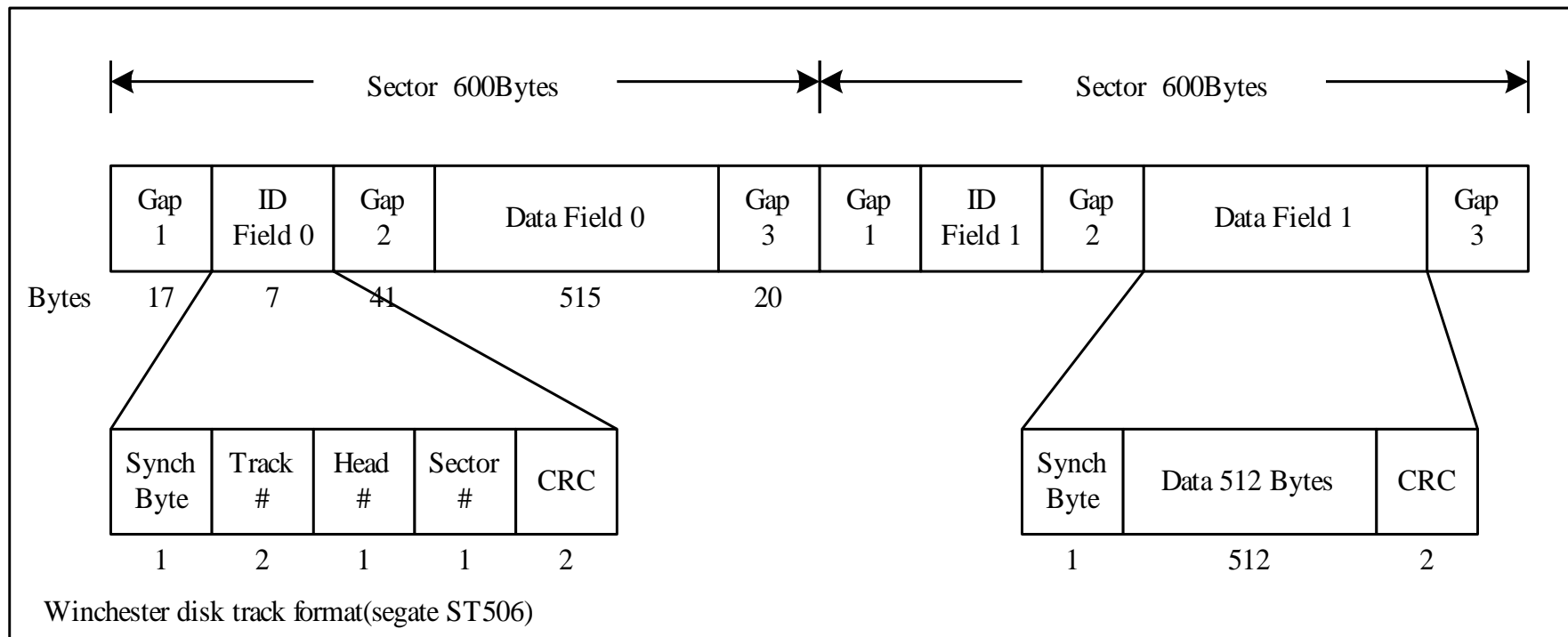


磁盘上的磁道、扇区和簇

硬盘容量=柱面数*磁头数*扇区数*512B

硬盘基本结构

❖ 扇区数据格式示例（Segate ST506 磁盘扇区格式）



❖ 性能指标

- 记录密度
 - 道密度：磁盘沿半径方向单位长度的磁道数；
 - 位密度：单位长度磁道记录二进制的位数。
- 存储容量
- 寻道时间 T_s ：磁头从当前位置定位到目标磁道所需时间（用平均值表示）；
- 寻区时间 T_w ：磁头定位到目标磁道后，等待目标扇区旋转到磁头下所需的时间（用平均值表示）；
- 访问时间（也称寻址时间） T_A ： $T_A = T_s + T_w$
- 数据传输率 D_r ：单位时间内传输的数据位数（b/s）

软磁盘

❖ 软盘（Floppy Disk）

- 尺寸：5.25 inch, 3.5 inch
- 容量：360KB, 1.2MB, 720KB, 1.44MB



小丸子 2003  Redeem V3

硬盘的接口

- IDE：早期PC的主力硬盘
 - ◆ 80年代出现，主要为 IBM PC 兼容机所用的低价磁盘
- SCSI：主要用于服务器、工作站
 - ◆ 具有更高的数据传输率
- SATA：当前主流硬盘
 - ◆ 2001年，Intel、APT、Dell、IBM、希捷等定义
 - ◆ 串行总线，具备了更强的纠错能力
 - ◆ 接口传输速率高：SATA I~150MB/s，SATA II~300MB/s



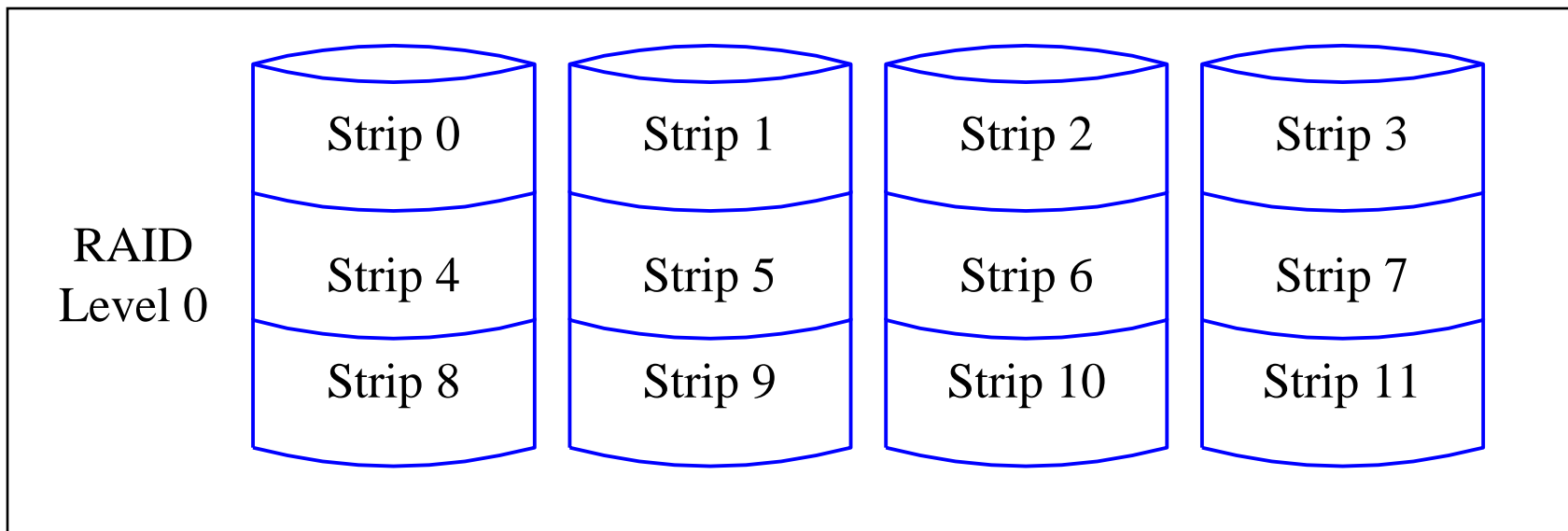
RAID

- ❑ RAID：独立冗余磁盘阵列（Redundant Array of Independent Disks）
 - ◆ 多个物理硬盘构成，但被操作系统当成一个逻辑硬盘
 - ◆ 数据及校验信息以冗余方式分布在不同的物理磁盘上
 - ◆ 校验信息用于磁盘损坏时恢复数据
- ❑ RAID特点
 - ◆ 并行读写分布在多个硬盘的数据块以提高硬盘性能
 - ◆ 通过镜像或校验操作提供容错能力
- ❑ RAID模式：RAID0，RAID1，RAID2，RAID3，RAID4和RAID5。

硬盘的类型

❖ RAID 0: 无差错控制的带区组

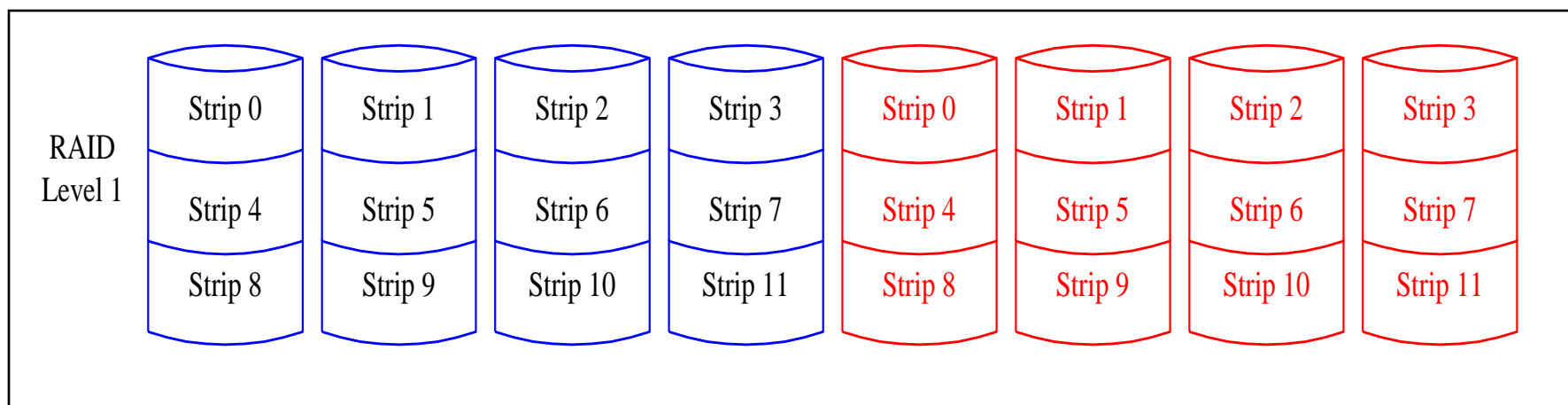
- 实际上不应属于RAID家族成员，完全没有冗余；
- 数据条带（Strip）化分布在不同的物理磁盘上。Strip可以是物理磁盘上的一块存储区（扇区或其他单位）。
- 磁盘组中每一个磁盘同一位置的磁盘区构成一个逻辑上的带区，所以一个带区分布在多个磁盘上。
- 单个I/O 操作访问的数据分布在一个带区上时，可实现I/O操作的并行处理，改善数据传输性能。



硬盘的类型

❖ RAID 1: 镜像结构

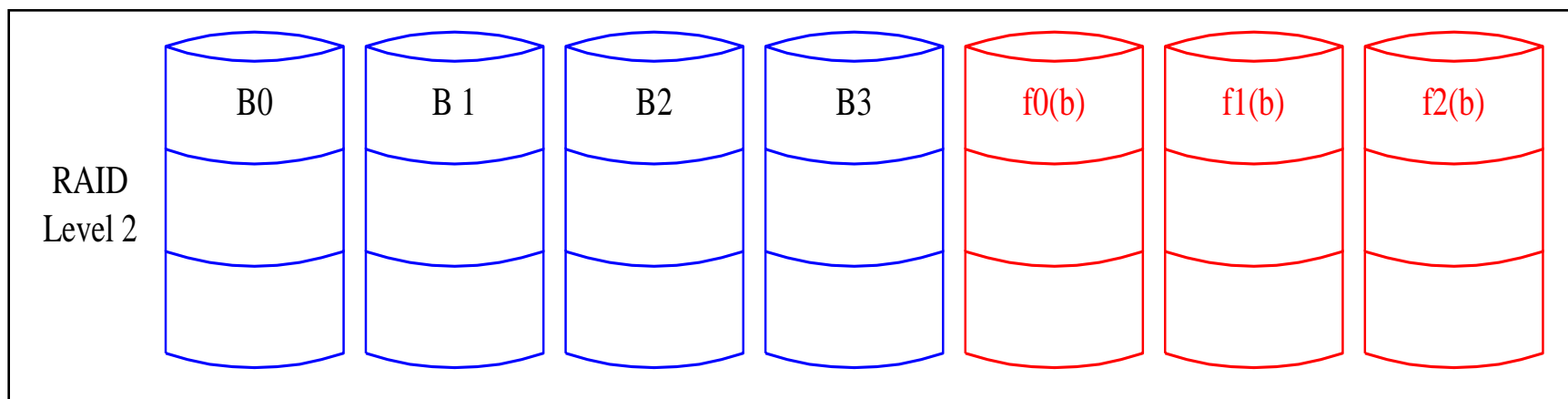
- 简单镜像磁盘冗余方案，成本太高；
- 与RAID 0类似，用户数据和系统数据条带（Strip）化分布在不同的物理磁盘上（包括镜像磁盘）。
- 读操作同时在两组磁盘中进行，数据从访问时间小的磁盘组中获得，所以，读操作性能得到改善。
- 写操作同时在两组磁盘中进行，写操作的访问时间以速度慢的为准，所以，写操作性能指标不高。
- 出现磁盘损坏时，数据恢复简单。



硬盘的类型

❖ RAID 2: 带海明校验

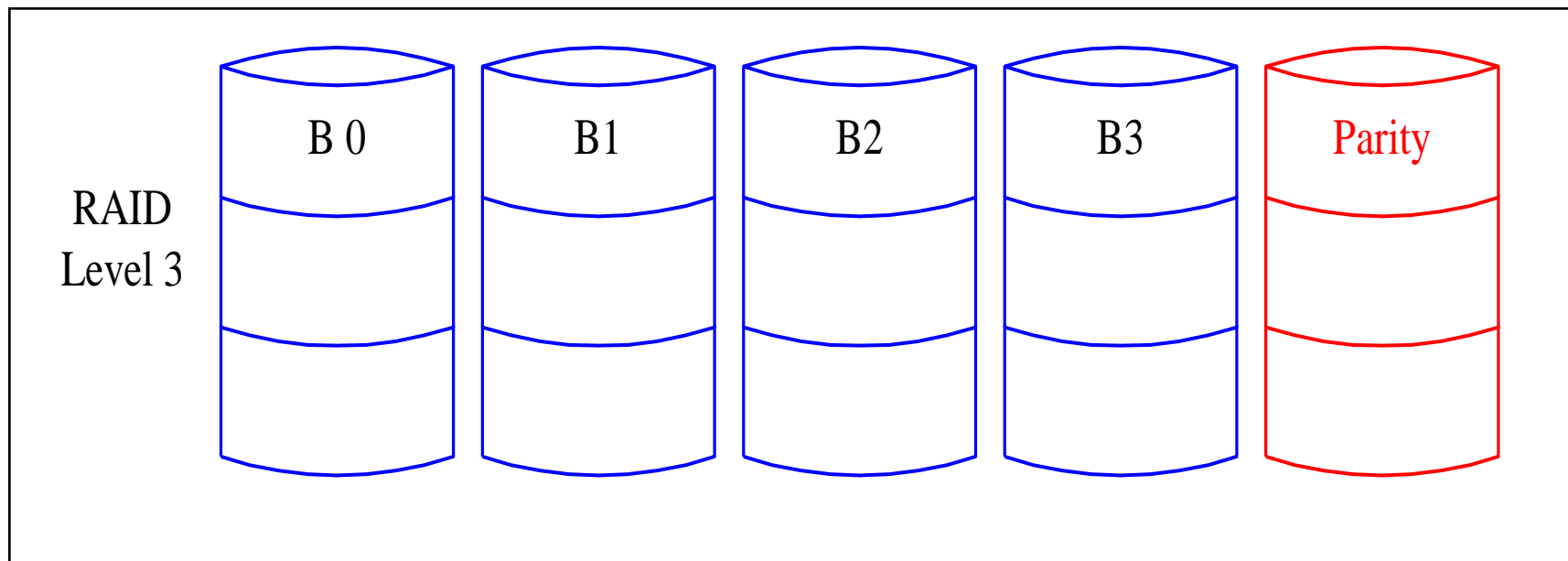
- 采用完整的并行访问技术，所有磁盘在任何时刻都并行地响应I/O 请求；磁盘组中物理磁盘处于完全同步状态，以保证任何时刻，所有磁盘的磁头都处于相同位置。
- 数据按较小的条带（一个字或一个字节）分布在不同的磁盘上。
- 根据磁盘数据计算错误校验码（比如海明码），校验码按位分布在冗余磁盘对应位置上。
- 数据传输率高；访问效率高；
- 成本比较高（比RAID1稍低）



硬盘的类型

❖ RAID 3: 带奇偶校验码的并行传送

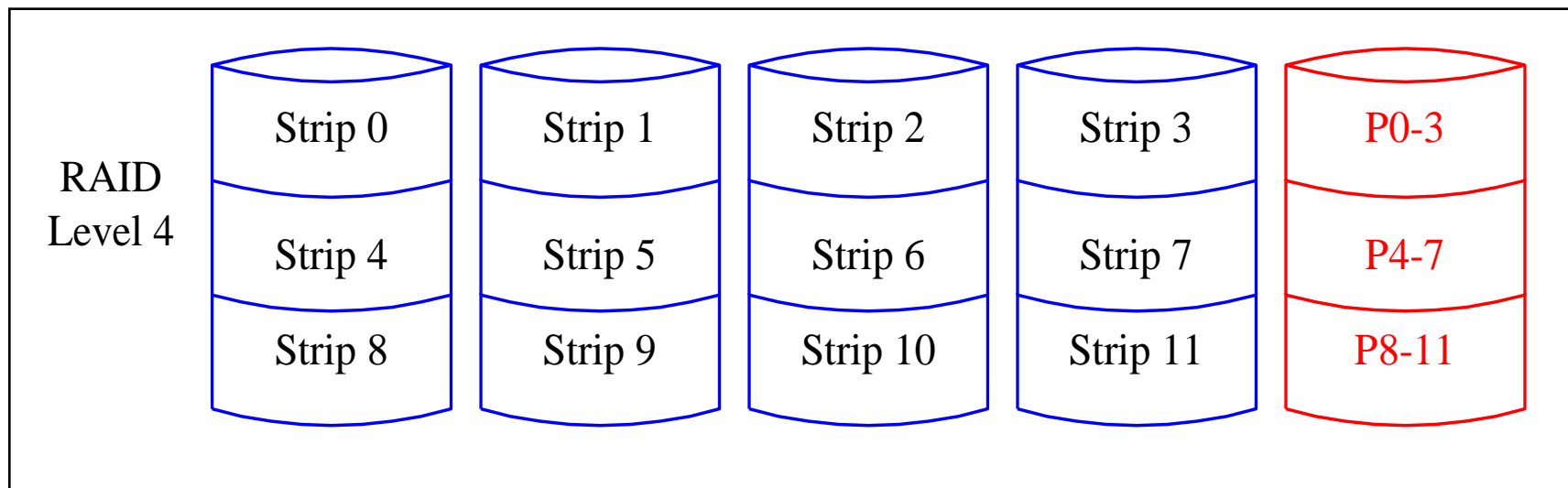
- 与RAID2一样，采用并行访问技术；
- 数据按较小的条带（一个字或一个字节）分布在不同的磁盘上。
- 校验码是简单的奇偶校验码（1位），保存在独立的冗余磁盘对应位置上。
- 一个磁盘损坏，可以方便地实现数据恢复；
- 数据传输率高；访问效率高；



硬盘的类型

❖ RAID 4: 带奇偶校验码的独立磁盘结构

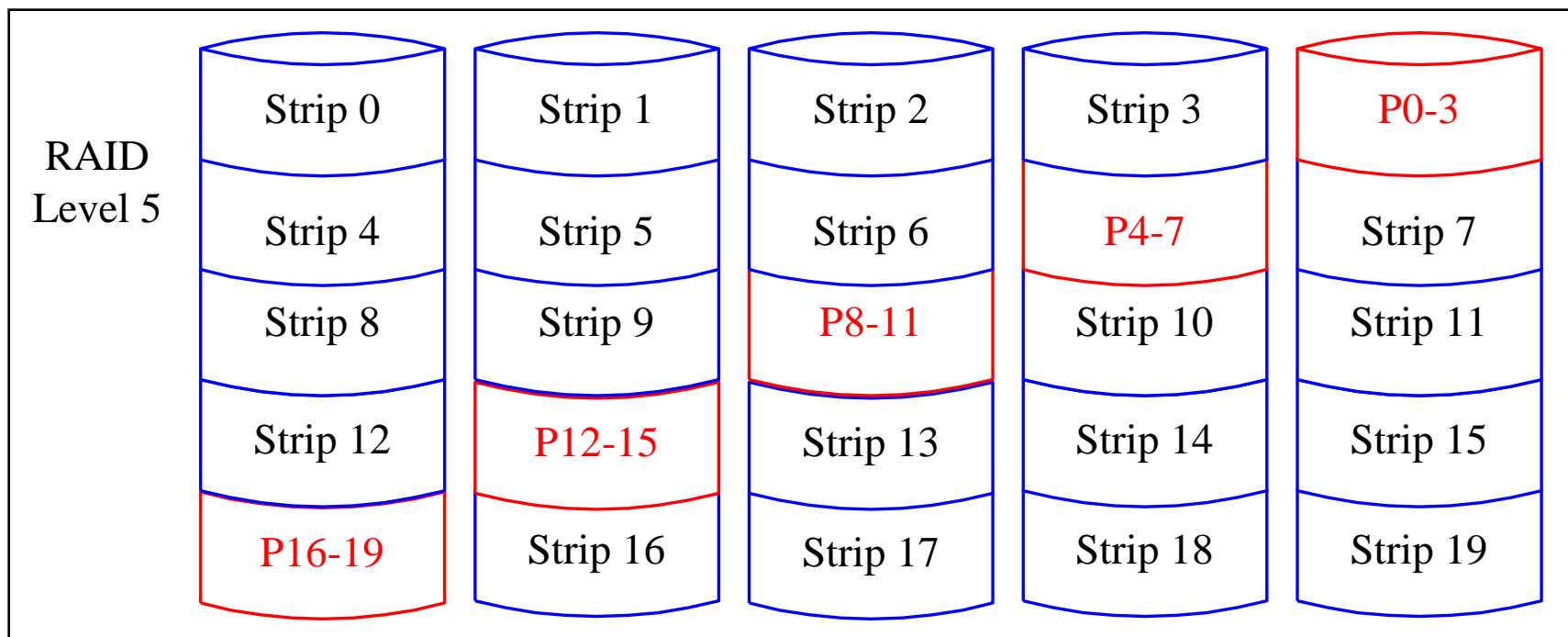
- 采用独立访问技术，每个磁盘独立工作，分散的I/O请求将得到很好的并行处理
- 数据按较大的条带分布在不同的磁盘上。
- 校验码是奇偶校验码，保存在独立的冗余磁盘对应位置上。
- 一个磁盘损坏，可以方便地实现数据恢复；
- 写操作效率较低，需要计算奇偶校验位，磁盘组中一个磁盘写操作，均需要读取原检验信息，重新计算校验信息，再写校验信息。



硬盘的类型

❖ RAID 5: 分布式奇偶校验的独立磁盘结构

- 与RAID 4的差别仅在于校验信息的保存位置；数据校验码作为条带的一部分保存在磁盘组不同的磁盘中



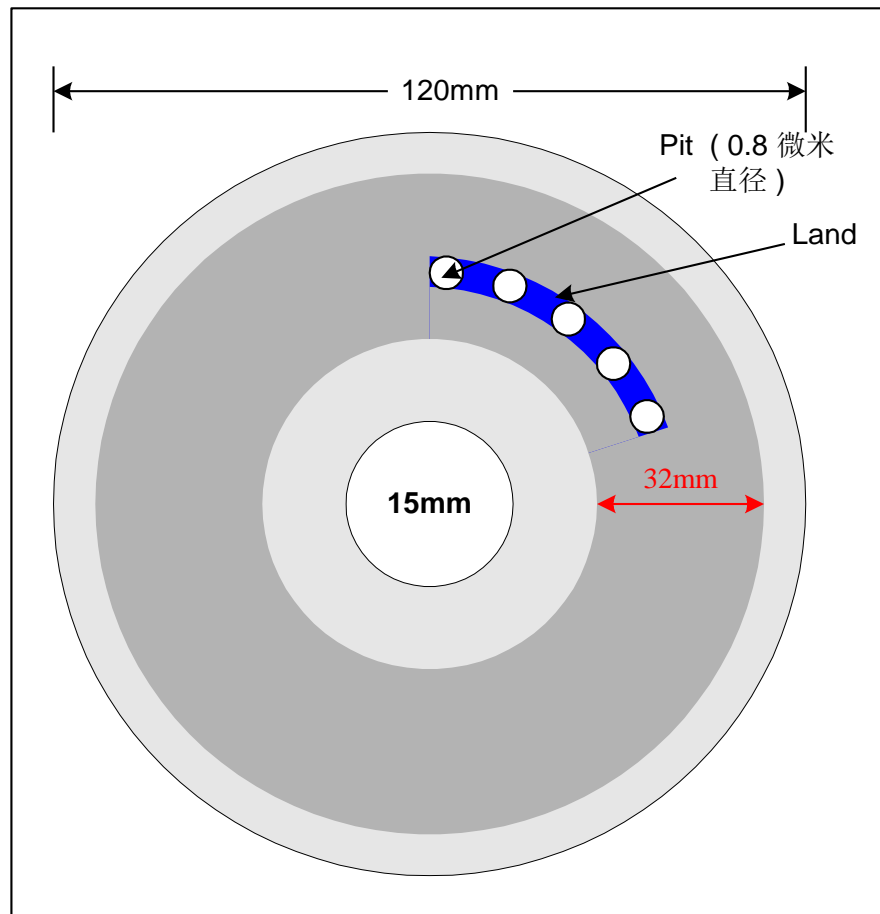
光盘存储器

■ CD-ROM

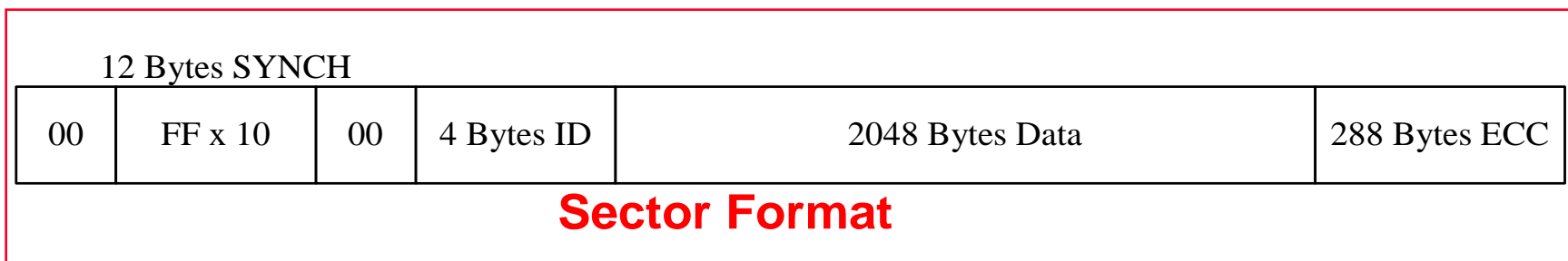
- 规格：直径**120mm**，厚度**1.2mm**，中心孔径**15mm**
- 结构：树脂片基，铝反射层，保护膜，印刷层
- 数据记录区：**32mm**宽的环形记录带。
 - ❑ 等线速度方式：一个螺旋环绕**22188**次（**600环/mm**，总长度约**5.6km**长）
 - ❑ 等角速度方式

■ 数据记录

- 凹点（Pit）表示**0**
- Land 表示**1**



❖ CD-ROM的数据格式

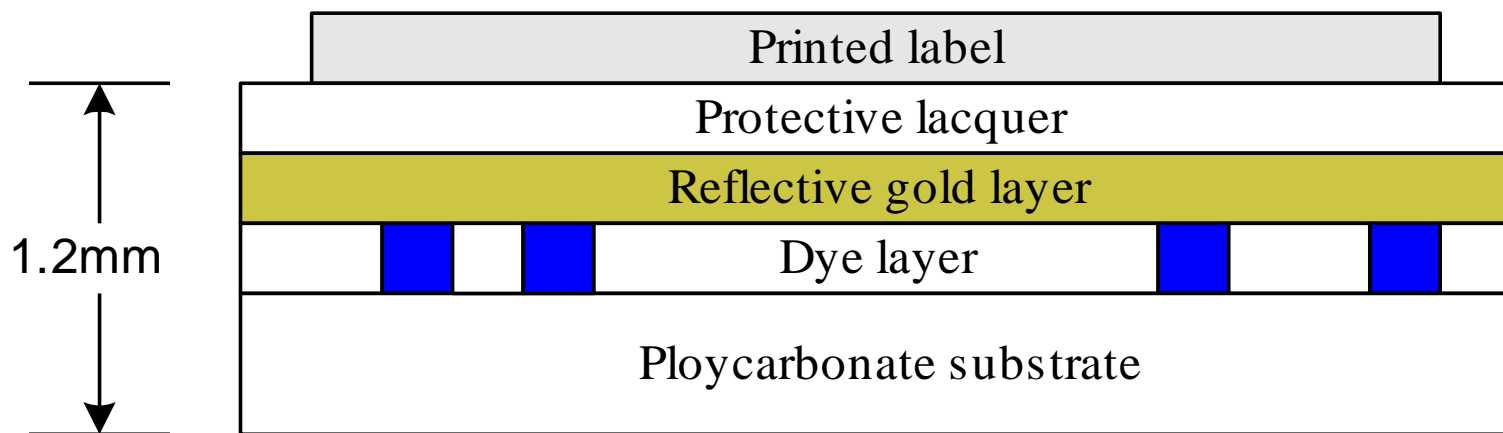


- **Symbol:** 14位，8位数据，6位海明校验位(看成一个Bytes);
- **Frame:** 42个连续Symbol (588bits)，其中192位 (24字节) 存储数据，其余396位用于错误纠正与控制;
- **Sector:** 98个frame构成一个Sector (总计2352Bytes)。
- **总容量:** 650MB
- **等线速度旋转时:** 单速: 120cm/s (最内圈530RPM, (最外圈200RPM)，75 Sectors/Sec (150KB/S)。
- **制作过程:** 母板压模
- **读机制:** 0.78微米波长红外激光，根据反射光的强度判断是0还是1;

光盘存储器

❖ CD-R (Recordables)

- 在片基（树脂）与反射层（金）中增加了一层染料层作为数据记录层，初始状态下，染料层透明，在写入状态时，高能量（8-16mw）使照射处的染料变色，变成不透明点，不可再恢复成透明状态。读出状态下(0.5mw)，根据透明不透明判断是0还是1。



❖ CD-RW (Rewritables)

- 与CD-R的差别是采用合金层代替染料层。一般采用银、铟、锡、碲合金。该合金具有两种稳定状态：透明状态（晶体结构）和不透明状态（无序结构），初始时为晶体结构。
- CD-RW工作时采用三种不同功率的激光：
 - ❑ 大功率（写）：合金熔化，由晶体结构变为无序结构；
 - ❑ 中等功率（擦除）：合金熔化，由无序结构变为晶体结构；
 - ❑ 小功率（读）

❖ DVD (Digital Video Disk)

与CD-ROM的差别:

- Pit直径更小 (0.4微米) ;
- 环绕密度更高 (0.74微米, CDROM是1.6微米) ;
- 0.65微米波长红色激光 (CDROM是0.78微米的红外激光) ;
- 容量: 单面单层4.7GB, 单面双层8.5GB, 双面单层9.4GB, 双面双层17GB。
- 数据传输率: 单速DVD 1.4M Bytes/Sec。

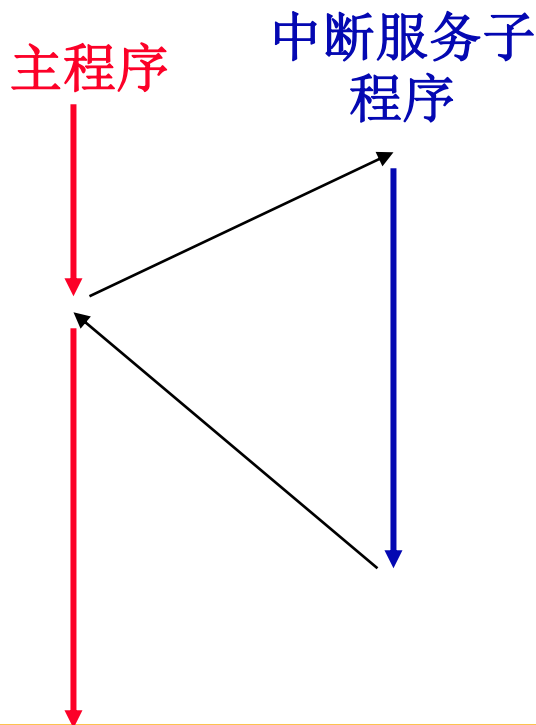
第九讲：输入输出系统

- 一. 总线
- 二. 外部存储设备
 - 1. 磁表面存储器
 - 2. 光盘存储器
- 三. I/O接口
- 四. I/O数据传送方式
 - 1. 程序查询I/O方式
 - 2. 中断I/O方式
 - 3. DMA I/O方式
 - 4. 通道I/O方式

4.2 中断与中断I/O

❖ 中断的概念

- 机器出现了一些紧急事务，**CPU**不得不停下当前正在执行的程序，转去处理紧急事务，当紧急事务处理完后，继续执行被中断的程序。
- 一般情况下，中断是随机的；
- 主程序：被中断的程序；
- 中断服务子程序：处理中断事务的程序。



4.2 中断与中断I/O

❖ 引起中断的因素（中断源）

- 人为设置的中断：自愿中断，可重复
- 程序性事故：如溢出、除“零”等
- 硬件故障：如电源掉电、磁盘损坏
- I/O操作：I/O设备准备就绪，请求操作
- 外部事件：如键盘操作

❖ 中断源分类

- 不可屏蔽中断：**CPU**不能不响应；
- 可屏蔽中断：若中断源被屏蔽，**CPU**不响应

❖ 中断的分类

- 非屏蔽中断与可屏蔽中断
- 程序中断与简单中断
- 硬中断与软中断（软中断不是真正的中断）

第九讲：输入输出系统

- 一. 总线
- 二. 外部存储设备
 - 1. 磁表面存储器
 - 2. 光盘存储器
- 三. I/O接口
- 四. I/O数据传送方式
 - 1. 程序查询I/O方式
 - 2. 中断I/O方式
 - 3. DMA I/O方式
 - 4. 通道I/O方式

4.3 DMA的一般概念

❖ 程序I/O与中断I/O的不足

- I/O传送速度受处理器测试和服务设备速度的限制
- 处理器直接负责管理I/O，对于每一次I/O传送，处理器必须执行一些指令。
- 考虑批量（数据块）传送：
 - 程序I/O方式：处理器做不了其他工作；
 - 中断I/O方式：I/O传输效率较低。

❖ DMA（Direct Memory Access）

- CPU对总线的控制被临时禁止。
- DMA控制器接管总线控制权，控制数据直接在存储器与外设之间高速交换，CPU不再介入具体的I/O操作，由DMA控制器来负责提供存储器地址信号、读写控制信号等。
- CPU与I/O设备在更大的程度上并行工作，效率更高。
- DMA方式适合高速批量的数据传输，如视频显示刷新、磁盘存储系统的读写，存储器到存储器的传输等。

4.3 DMA过程

❖ CPU的工作：初始化DMA控制器

- 设置数据传送方向：是请求读还是请求写（对存储器而言）
- 设置I/O接口地址：DMA操作所涉及的I/O接口的地址
- 设置存储器起始地址：读或写存储器的起始单元地址
- 设置传送的数据数量：传送数据的字数
- 有关中断方式的设置：DMA结束后通过中断方式请求CPU处理

❖ DMA请求

- 当接口做好数据传输的准备，通过有关逻辑向CPU发出DMA请求信号。

❖ DMA响应

- CPU接到DMA请求，在当前总线周期操作结束后，暂停CPU对系统总线的控制和使用，发出DMA响应信号，并交出系统总线的控制权。

4.3 DMA过程

❖ DMA操作

- **DMA**控制器接到**DMA**应答信号后，通过控制逻辑向系统总线发送存储器地址信号、存储器读写控制信号、**I/O**接口读写控制信号等，完成一次数据传送。这些操作完全由硬件控制，一般仅需要一个总线周期，所以这种方式称为**周期窃用 (cycle-stealing)方式**。
- 所有数据传送结束后，通过中断方式告知**CPU**进行善后处理。
- **CPU**仅在开始**DMA**操作之前和完成**DMA**操作之后参与**I/O**处理，在**DMA**过程中，**CPU**可以运行原来的程序

4.3 DMA过程

❖ DMA方式

➤ 周期窃取方式（单字传送方式）

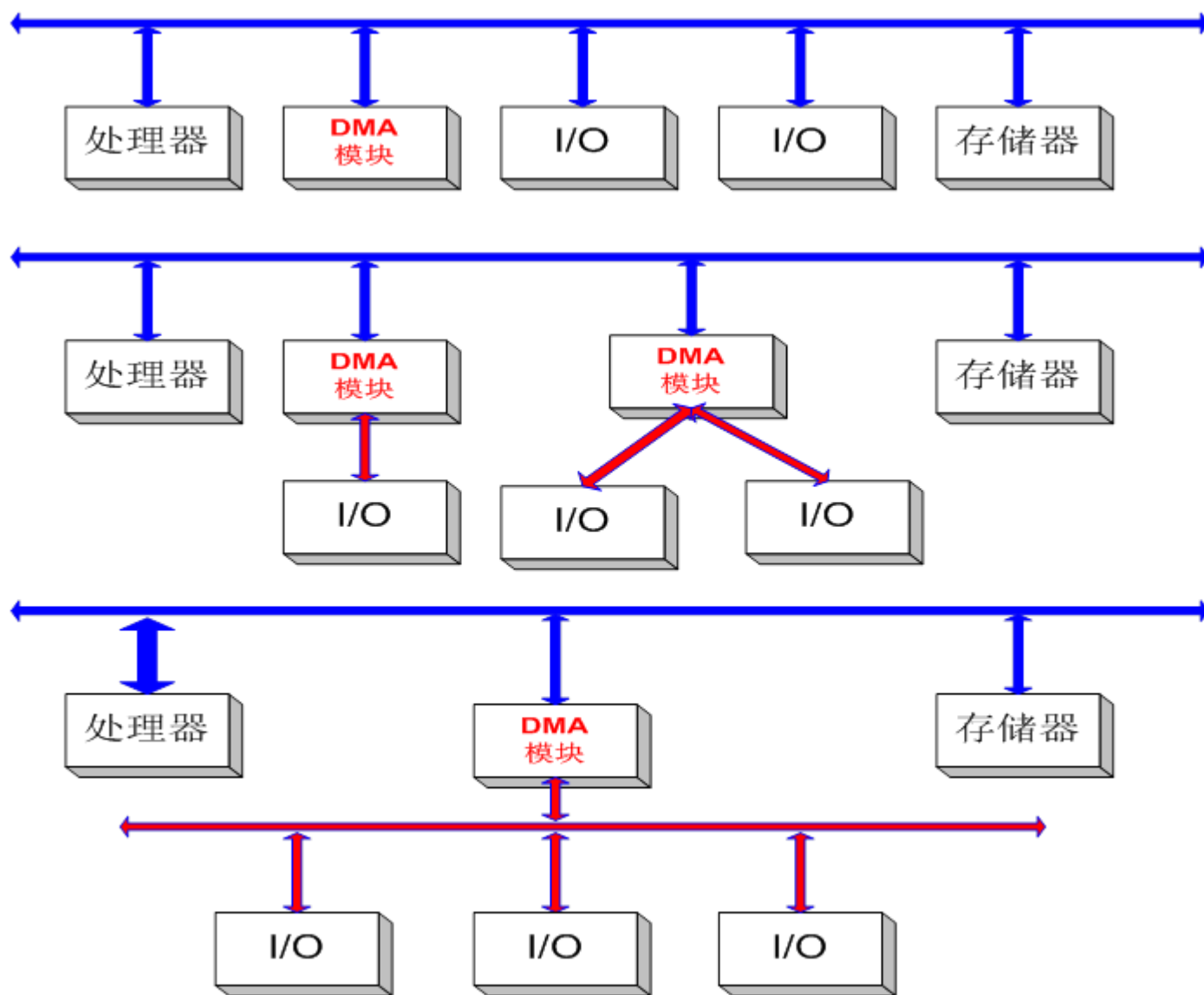
- 每次**DMA**请求得到响应后，**DMA**控制器窃取一个总线周期完成一次数据传送，然后释放总线。
- 一般适应存储器速度远高于I/O设备速度的情况。

➤ 停止CPU访问内存（成组传送方式）

- 一次**DMA**请求得到响应后，**DMA**控制器完全占用总线，进行多次**DMA**传送，直到所有数据传送完毕才释放总线，这段时间完全停止**CPU**访问内存。
- 适应高速外设与存储器交换数据的情况。

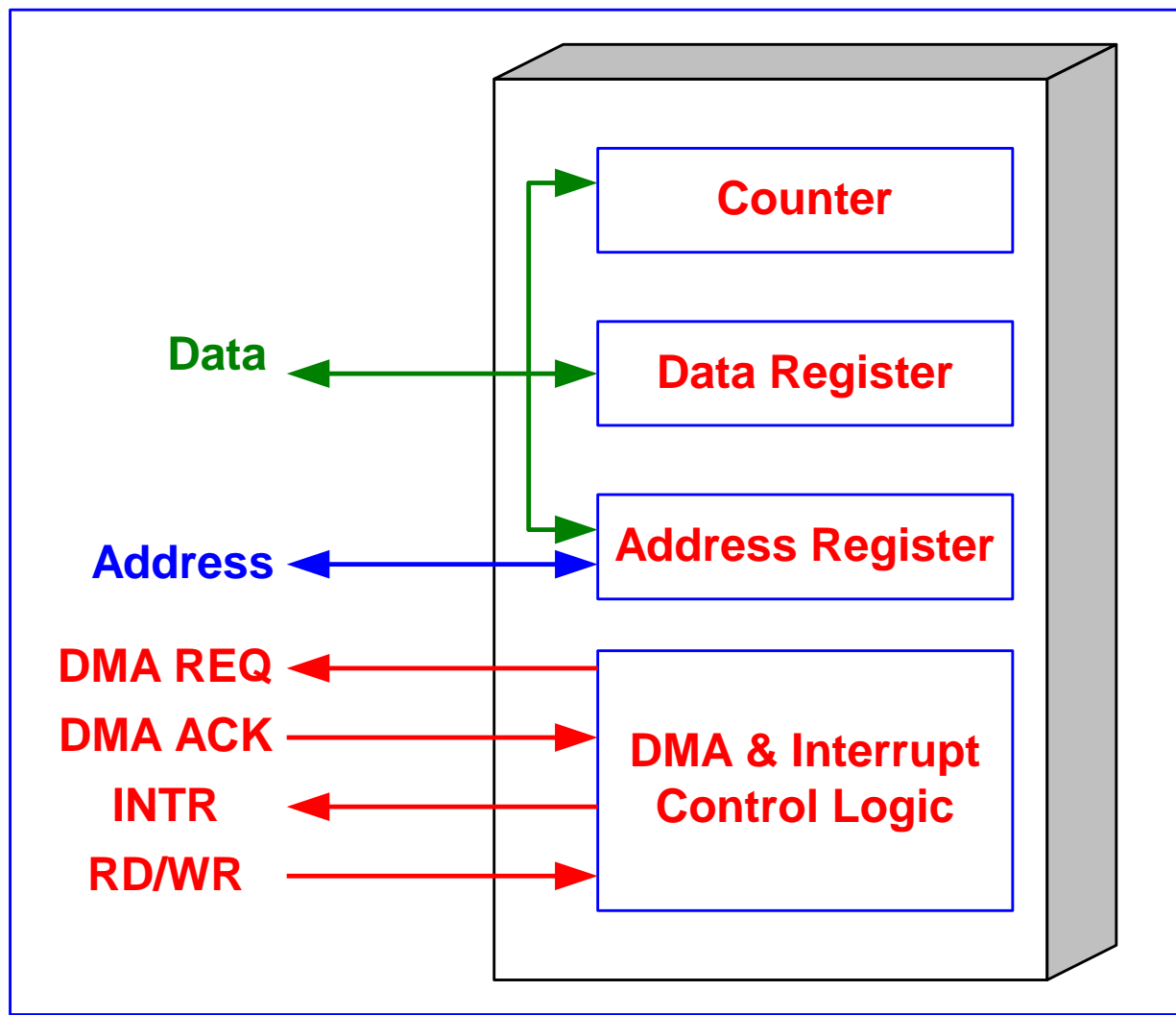
4.3 DMA控制器的结构

可能的
DMA
结构



5.3 DMA控制器的结构

- **Counter:** 长度计数器，保存传送数据的字数。
- **Data Reg:** 数据寄存器。
- **Address Reg:** 地址寄存器，向地址总线提供存储器地址。
- **DMA控制逻辑**
- **DMA状态逻辑**
- **中断控制逻辑**



5.4 DMA控制器的类型

❖ 选择型DMA控制器

- 物理上可以连接多个I/O接口（外设）；
- 逻辑上只能连接一个设备，即在某一时间段只能为其中一台外设服务。
- 适应于数据传输率很高（接近于内存）的外设数据传输服务。

❖ 多路型DMA控制器

- 物理上可以连接多个I/O接口（外设）；
- 逻辑上也可连接多个设备，可通过交叉服务的方式为多台外设服务；
- 多路型DMA控制器内部应包括多个DMA通道；
- 适应于多个慢速（相对）外设的数据传输服务。

I/O方式小结

❖ I/O方式的演变（CPU从I/O事务中的解放）

- ① **直接控制方式**：CPU直接控制外设，主要用于简单的微处理器控制设备；
- ② **程序I/O方式**：增加控制器和I/O模块，处理器使用编程I/O，使处理器从外设的I/O细节中解脱出来；
- ③ **中断I/O方式**：增加控制器和I/O模块，采用中断I/O方式，处理器不需要浪费时间等待I/O操作完成，提高了处理器的效率；
- ④ **DMA方式**：I/O模块通过DMA直接存储存储器，除在传输开始和结束时，传输数据不需要处理器参与；
- ~~⑤ **I/O通道方式**：I/O模块成为有自主控制权的处理器，有处理I/O的专用指令集。CPU指示I/O处理器执行存储器中的I/O程序，I/O处理器不需要CPU干预就能获取并执行I/O指令。这允许CPU指派一系列的I/O活动，并只在整个活动执行完成后才中断CPU；~~
- ~~⑥ **I/O处理器方式**：I/O模块带局部存储器，成为自治的计算机。这种结构可以控制大量的I/O设备而最小化CPU的干预。~~

计算要求

❖ 书上的I/O性能计算例题

举例

❖ 例:

假设一**32**位处理器总线时钟频率为**400MHz**，支持多种总线事务。其中最
短的总线事务为存储器读事务，需要**4**个总线时钟周期，第**1**个时钟周期传
送地址和读命令，第**4**个时钟周期取数；最长的总线事务是突发传送**8**次数
据，需要**11**个总线时钟周期完成，第**1**个时钟周期传送地址和读命令，第**4**
个时钟周期开始连续传送**8**个数据，每个时钟周期传送一次数据。

- 1) 该总线是同步总线还是异步总线；
- 2) 总线的最大数据传输率为多少；
- 3) 若处理器一直持续发起最短总线事务，则此时总线数据传输率是多少？
- 4) 若处理器一直持续发起最长总线事务，则此时总线数据传输率是多少？

举例

❖ 例:

某计算机字长为**32位**，**CPU**主频为**500MHz**，**CPI**为**5**（即执行每条指令平均需**5**个时钟周期）。假定某外设的数据传输率为**0.5MB/S**，采用中断方式与主机进行数据传送，每次传送**32位**，对应的中断服务程序包含**18**条指令，中断服务的其他开销相当于**2**条指令的执行时间。请回答下列问题，要求给出计算过程。

1. 中断方式下**CPU**用于该外设**I/O**的时间占**CPU**时间的百分比是多少？
2. 若该外设的数据传输率为**5MB/S**，改用**DMA**方式传送数据，假定每次**DMA**传送块大小为**5000**字节，且**DMA**预处理和后处理的总开销为**500**个时钟周期，则**CPU**用于该外设**I/O**的时间占整个**CPU**时间的百分比是多少？（假设**DMA**与**CPU**之间没有访内冲突）。