

计算机组成原理

计算机组成原理课程组

(刘旭东、高小鹏、肖利民、牛建伟、栗钟治)

第二部分：组合逻辑

一、逻辑门电路

1. 晶体管和MOS管
2. 逻辑门电路实现

二、布尔代数及其门电路实现

1. 逻辑代数基本概念
2. 逻辑代数的运算法则
3. 逻辑函数的表达式
4. 逻辑函数的简化法

三、Verilog HDL介绍

四、基本组合逻辑部件设计

门电路概述

❖ “**门电路**”是能够实现某种逻辑关系的电路，它是数字电路的基本逻辑单元电路。基本的逻辑门有与门、或门、非门，复合逻辑门有与非门、或非门、与或非门、异或门等。

❖ 逻辑门电路主要分为两类

- **分立元件门**：由电阻、二极管、三极管等分立元件构成
- **集成门**：把构成门电路的基本元件制作在一小片半导体芯片上
 - 集成反相器、缓冲器，集成与门、与非门，集成或门、或非门，集成异或门，集成三态门

门电路概述

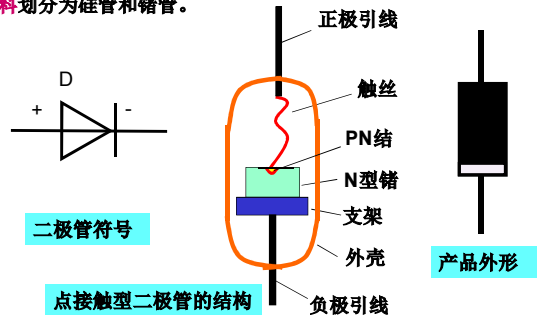
❖ 门电路是组合逻辑电路、触发器、时序逻辑电路、存储器的理论基础

❖ 要学好后面的电路，必须先了解门电路的电路结构、工作原理及逻辑功能

- **组合逻辑电路**是由各种逻辑门以一定的方式组合在一起构成的数字电路。
- **触发器**是由多个逻辑门（大多是与非门）交叉耦合构成的。
- **时序逻辑电路**是由组合逻辑电路和触发器构成的。
- **存储器**主要由地址译码器、存储矩阵和输出控制电路构成。

半导体二极管

- ❖ 一个PN结就是一只晶体二极管，记作D。
- ❖ 半导体二极管（晶体二极管）是在PN结两侧的中性区上各引出一个欧姆接触的的金属电极构成的。
- ❖ 二极管按结构分为点接触型和面接触型和平面型二极管。
- ❖ 按材料划分为硅管和锗管。



半导体二极管的开关特性

- ❖ 半导体器件的开关特性：有导通和截止两种状态，导通状态下允许电信号通过，截止状态下禁止电信号通过。
 - 静态特性（稳态开关特性）：器件稳定在导通和截止两种状态下的特性；

- 二极管单向导电性：外加正向开启电压导通，反向电压截止——受外加电压极性控制的开关
- 二极管的正向开启电压：锗管约为0.2~0.5V；硅管为0.5~0.7V。如无特殊说明，本章中默认为0.7V。
- 当加在二极管上的电压 $U_D < V_D$ (0.7V) 时，二极管截止，电流 $I_D = 0$ ；当 $U_D > V_D$ (0.7V) 时，二极管导通，而且一旦导通，则 $U_D = V_D$ (0.7V) 不变。因此， V_D 称为钳位电压。
- 当二极管的反向电压超过一个阈值(V_Z)时，二极管会被击穿，此时二极管上的压降是 V_Z 。

半导体三极管

- ❖ 半导体三极管又称晶体（三极）管。由两层N型半导体中间夹一层P型半导体（NPN型）或两层P型半导体中间夹一层N型半导体（PNP型）组成。

➢ 半导体三极管的分类

按结构划分 { NPN型
PNP型

按功率划分 { 大功率管
小功率管

按用途划分 { 放大管
开关管

按材料划分 { 硅管
锗管

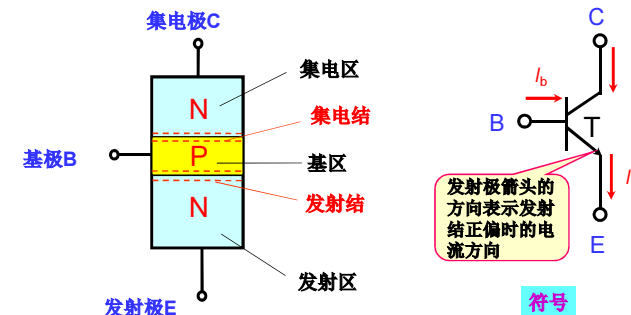
按频率划分 { 高频管
低频管



NPN型三极管

❖ 结构

- 有3个电极，3个区，两个背向的PN结



晶体三极管的开关特性

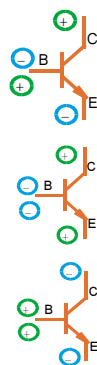
- ❖ 在模拟电路中，晶体三极管主要作为线性放大元件和非线性元件；在数字电路中，主要作为开关元件。
- ❖ 晶体管共发射极电路放大能力强，也即控制能力强，只要在输入端加上两种不同幅值的信号，就可以控制晶体管的导通或截止。
- ❖ 作为开关电路，晶体三极管主要工作在截止区和饱和区。
- ❖ 三极管的稳态开关特性是指三极管稳定在截止和饱和导通两种状态下的特性。

晶体三极管的稳态开关特性

工作区	可靠条件	工程近似	特点	等效电路
截止区 (发射结反偏、集电结反偏)	$V_{BE} \leq 0$ $V_{BC} < 0$	$V_{BE} < 0.7V$ $V_{BC} < 0$	$I_B = I_C = I_E \approx 0$ $V_O = V_{CC}$	
放大区 (发射结正偏、集电结反偏)	$V_{BE} > 0$ $V_{BC} < 0$	$V_{BE} \geq 0.7V$ $V_{BC} < 0$	$I_C = \beta \times I_B$ $V_O = V_{CC} - I_C \times R_C$	
饱和区 (发射结正偏、集电结正偏)	$V_{BE} \geq 0.7V$ $V_{BC} > 0$ $I_B \geq I_{BS} = (V_{CC} - V_{CES}) / \beta R_C$	$V_{BE} \geq 0.7V$ $V_{BC} > 0$	$I_C = I_{CS} = (V_{CC} - V_{CES}) / R_C$ $V_O = V_{CES} = 0.3V$	

晶体三极管三个工作区的特点总结

- 放大区：**
- 发射结正偏，集电结反偏
 - 有电流放大作用， $I_C = \beta I_B$
 - 输出曲线具有恒流特性
- 截止区：**
- 发射结、集电结处于反偏
 - 失去电流放大作用， $I_C \approx 0$
 - 晶体管C、E之间相当于开路
- 饱和区：**
- 发射结、集电结处于正偏
 - 失去电流放大作用， $I_C = I_{CS}$ ，不变
 - 晶体管C、E之间相当于短路



MOS管

- ❖ MOS集成电路由MOS管作为基本开关元件构成
- ❖ 属于单极型集成电路

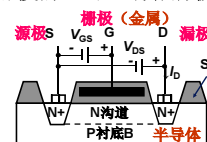
MOS (Metal Oxide Semiconductor Field Effect Transistor, 金属氧化物半导体场效应管) 管中只有一种载流子 (自由电子或空穴) 参与导电。

1. MOS管的结构与符号

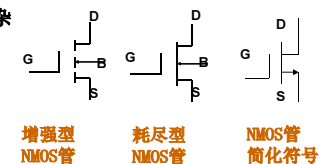
分为NMOS管和PMOS管两种类型

(1) NMOS管

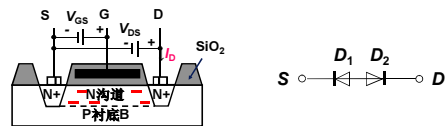
在P型半导体衬底上制作两个高掺杂浓度的N型区，形成源极和漏极。



➤ NMOS管有增强型和耗尽型两种类型。



NMOS管的工作原理

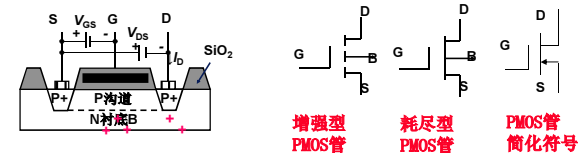


- 对于增强型NMOS管，如果 $V_{GS}=0$ ，则两个N区和P型底衬形成两个背向的PN结，无论 V_{DS} 为正或负，总有一只PN结反偏，NMOS管都不能导通， $I_D=0$ 。
- 当 $V_{GS}>V_{GS(TH)}$ （开启电压，1~3V），自由电子在正电场的吸引下，聚集在栅极下的衬底表面，形成N型沟道，把两个N区沟通，在 V_{DS} 作用下，NMOS管导通，形成漏极电流 I_D 。
- 随着 V_{GS} 升高，导电沟道的截面积将增大， I_D 增加——可以通过改变 V_{GS} 控制 I_D 的大小。

PMOS管

(2) PMOS管

- PMOS管是在N型半导体衬底上制作两个高掺杂浓度的P型区，形成源极和漏极。
- PMOS管也有增强型和耗尽型两种类型。



- 对于增强型PMOS管，当 $V_{GS}=0$ 时，则两个P区和N型衬底形成两个背向的PN结，无论 V_{DS} 为正或负，PMOS管都不能导通， $I_D=0$ 。
- 当 $V_{GS}<-V_{GS(TH)}$ ，自由电子在负电场的排斥下，栅极下的衬底表面的自由电子数量减少、空穴数量大大增加，形成P型沟道，把两个P区沟通，PN结消失，PMOS管导通，形成漏极电流 I_D 。

第二部分：组合逻辑

一. 逻辑门电路

- 晶体管和MOS管
- 逻辑门电路实现

一. 布尔代数及其门电路实现

- 逻辑代数基本概念
- 逻辑代数的运算法则
- 逻辑函数的表达式
- 逻辑函数的简化法

二. Verilog HDL介绍

三. 基本组合逻辑部件设计

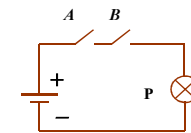
与逻辑

- 只有当开关A、B同时闭合时，指示灯P才会亮。

输入条件（开关A、B）：闭合——“1”

断开——“0”

输出结果（灯P）：亮——“1”，灭——“0”



指示灯控制电路

- 只有决定事件结果的全部条件（输入）同时具备时，结果（输出）才发生——这种因果关系叫做逻辑与（或逻辑乘）。
- 逻辑与又称为逻辑乘。运算规则：只要输入中有一个0，输出就为0；只有输入全为1时，输出才为1。

运算规则

$$0 \cdot 0 = 0$$

$$0 \cdot 1 = 0$$

$$1 \cdot 0 = 0$$

$$1 \cdot 1 = 1$$

与逻辑

逻辑关系的表示方法

- ① **真值表 (truth table)**：用“0”和“1”表示输入与输出之间全部关系的表格。
- ② **逻辑函数表达式**：用逻辑运算符把各种逻辑的输出与输入之间的关系连接起来，形成逻辑函数表达式。

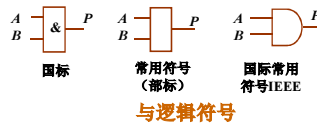
与逻辑真值表

A	B	P
0	0	0
0	1	0
1	0	0
1	1	1

$P = A \cdot B$
 $= AB$
 $= A \& B$

又称逻辑乘
逻辑乘运算符号也可以省略

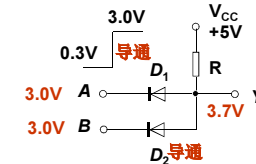
- ③ **逻辑符号**：将与、或、非等各种逻辑关系用特定的图形符号表示。



与逻辑的二极管实现

实现逻辑与运算的电路称为与门。

1. 电路结构



2. 工作原理

- 当A、B为高电平3.0V时，D1、D2均导通，则输出 $Y = 3 + 0.7 = 3.7V$ 。
- 当A、B为低电平0.3V（输入低电平额定值 V_{IL} ）时，D1、D2均导通，由于二极管导通后的钳位电压为0.7V，则输出 $Y = 0.3 + 0.7 = 1.0V$ ；
- 当A为0.3V、B为3.0V（输入高电平额定值 V_{IH} ）时，D1优先导通，输出 $Y = 0.3 + 0.7 = 1.0V$ ，D2被反偏截止；

与逻辑的二极管实现

3. 功能描述

(1) 功能表

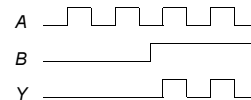
A(V)	B(V)	Y(V)
0.3	0.3	1.0
0.3	3.0	1.0
3.0	0.3	1.0
3.0	3.0	3.7

(2) 真值表

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

(3) 表达式 $Y = AB$

(4) 工作波形图 (时序图)



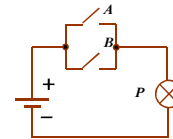
在功能表中，用0代表低电平（输入0.3V，输出1.0V），用1代表高电平（输入3.0V，输出3.7V），则可以得到真值表

与门的时序图还体现了“门”的概念！

- 若A为输入信号，B为控制信号，当B为低电平时，无输出信号，门是“关闭”的；
- 当B为高电平时，输出信号Y同输入信号，门是“打开”的。

或逻辑

在决定事件结果的诸多条件中只要有任何一个满足，结果就会发生——这种因果关系叫做**逻辑或**（或**逻辑加**）。



① 真值表

A	B	P
0	0	0
0	1	1
1	0	1
1	1	1

② 逻辑函数表达式

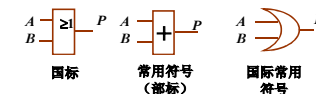
$$P = A + B$$

$$= A \vee B$$

③ 运算规则

$$\begin{aligned}
 0 + 0 &= 0, \\
 0 + 1 &= 1, \\
 1 + 0 &= 1, \\
 1 + 1 &= 1
 \end{aligned}$$

④ 逻辑符号



- 运算规则：只要输入中有一个1，输出就为1；只有输入全为0时，输出才为0。

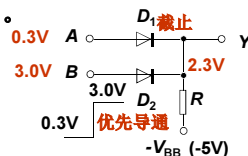
或逻辑的二极管实现

❖ 实现或逻辑运算的电路称为**或门**。

1. 电路结构和逻辑符号

2. 工作原理

- ❖ 当A、B为低电平0.3V时， D_1 、 D_2 均导通，由于二极管导通后的钳位电压为0.7V，则输出 $Y=0.3-0.7=-0.4V$ 。
- ❖ 当A为0.3V、B为3.0V时， D_2 优先导通，则输出 $Y=3.0-0.7=2.3V$ ；由于A只有0.3V，则 D_1 被反偏截止。
- ❖ 当A、B均为高电平3.0V时， D_1 、 D_2 均导通，则输出 $Y=3-0.7=2.3V$ 。



或门的二极管实现

3. 功能描述

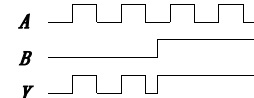
(1) 功能表

A(V)	B(V)	Y(V)
0.3	0.3	-0.4
0.3	3.0	2.3
3.0	0.3	2.3
3.0	3.0	2.3

(2) 真值表

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

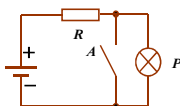
(4) 工作波形 (时序图)



(3) 表达式 $Y=A+B$

非逻辑

只要条件具备了，结果便不会发生；而条件不具备时，结果一定发生——这种因果关系叫做**逻辑非**（也称**逻辑反**）。



① 真值表

A	P
0	1
1	0

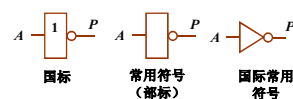
② 逻辑函数表达式

$$P = \bar{A} = \sim A$$

③ 运算规则

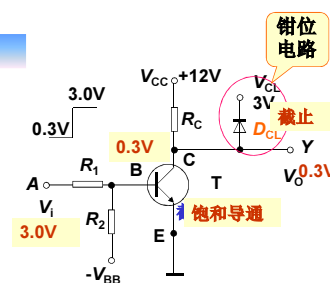
$$\bar{\bar{0}}=1, \\ \bar{\bar{1}}=0$$

④ 逻辑符号



非逻辑的三极管实现

1. 电路结构



2. 工作原理

- ❖ 当 $V_i=0.3V$ 时，T截止； D_{CL} 导通，输出 $V_o \approx V_{CL} = 3.0V$ （忽略 D_{CL} 上的电压降时）。
- ❖ 当 $V_i=3V$ 时，T饱和导通， $V_{CES} \approx 0.3V$ ； D_{CL} 截止，输出 $V_o=V_{CES}=0.3V$ 。

非逻辑的三极管实现

3. 功能描述

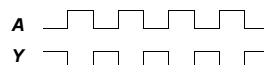
(1) 功能表

A(V)	Y(V)
0.3	3.0
3.0	0.3

(2) 真值表

A	Y
0	1
1	0

(4) 工作波形 (时序图)



(3) 表达式 $Y = \bar{A}$
输出与输入之间满足“非”逻辑关系, 所以此电路称为**非门**。

输出与输入波形有180°的相位差, 所以非门也称为**反相器**。

非逻辑的CMOS实现

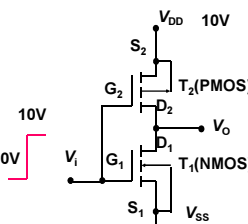
❖ CMOS是由NMOS和PMOS管形成的电路结构, 称为**互补MOS** (Complementary Symmetry MOS)

(1) 电路结构

驱动管 T_1 — NMOS
负载管 T_2 — PMOS } **互补MOS**

(2) 工作原理

- 当 $V_i = V_{il} = 0V$ 时, $V_{GS1} < V_{GS(TH)}$, T_1 **截止**, $V_{GS2} = -10V < -V_{GS(TH)}$, T_2 **导通**, 输出 $V_o = V_{oh} = 10V$ 。
- 当 $V_i = V_{ih} = 10V$ 时, $V_{GS1} > V_{GS(TH)}$, T_1 **导通**, $V_{GS2} = 0V$, T_2 **截止**, 输出 $V_o = V_{ol} = 0V$ 。

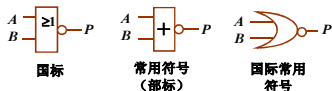


❖ CMOS反相器中, 两只晶体管总有一只处于截止状态, 使得驱动管和负载管的导通电阻都可以做得很小——使电路**驱动负载能力增强**, 同时也使**静态功耗极低**。

或非逻辑

❖ 表示方法

① 逻辑符号



② 真值表 (或非)

A	B	P
0	0	1
0	1	0
1	0	0
1	1	0

③ 逻辑函数表达式

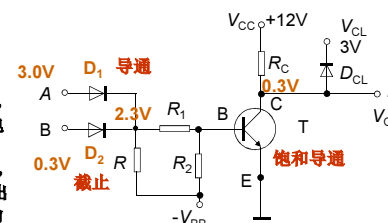
$$P = \overline{A + B} = \sim (A | B)$$

❖ 特点: (输入) **全低** (输) **出高**、(输入) **一高** (输) **出低**

或非门的分立元件实现

❖ 或非门由二极管或门和三极管非门复合而成。

- 只要A或B有一个**高电平** (3.0V), 二极管或门的输出就为高电平, 经三极管非门反相后, 输出为**低电平**;
- 只有全部输入为**低电平** (0.3V), D_1 、 D_2 均导通, 二极管或门的输出才为低电平 (-0.4V), T截止, 输出 V_o 为高电平 (3.7V)。

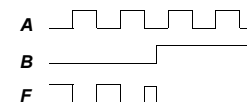


① 真值表

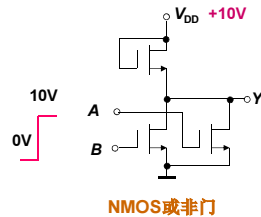
A	B	F
0	0	1
0	1	0
1	0	0
1	1	0

② 表达式 $F = \overline{A+B}$

③ 工作波形 (时序图)



或非门的NMOS实现



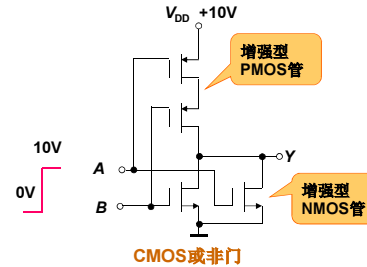
真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

$$Y = \overline{A+B} \quad \text{或非门}$$

- 当A、B中任一个（或两个）为高电平时，并联支路中至少有一只驱动管导通，输出 $Y \approx 0$ ，为低电平；
- 只有当A、B均为低电平时，两只驱动管均截止，输出 $Y \approx V_{DD}$ ，为高电平。

或非门的CMOS实现



真值表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

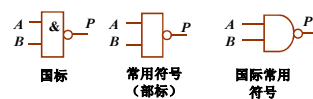
$$Y = \overline{A+B} \quad \text{或非门}$$

- CMOS或非门是把两个CMOS反相器的负载管串联、驱动管并联后得到。
- 当A、B中任一个（或两个）为高电平时，并联支路中至少一只驱动管导通，串联支路中至少一只负载管截止（则串联支路截止），输出 $Y \approx 0V$ ，为低电平；
- 只有A、B均为低电平时，并联支路中两只驱动管才全部截止，串联支路中两只负载管才全部导通，输出 $Y \approx V_{DD}$ ，为高电平。

与非逻辑

表示方法

① 逻辑符号



②真值表（与非）

A	B	P
0	0	1
0	1	1
1	0	1
1	1	0

③ 逻辑函数表达式

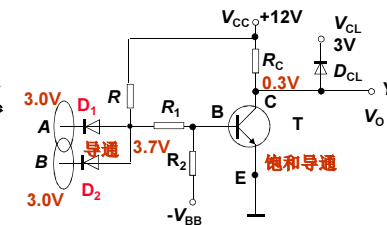
$$P = \overline{A \cdot B} = \overline{AB} = \sim(A \& B)$$

❖特点：（输入）全高（输）出低、（输入）一低（输）出高

与非门的分立元件实现

❖ 与非门由二极管与门和三极管非门复合而成。

- 当A、B均为高电平（3.0V）时， D_1 、 D_2 均导通，二极管与门的输出为高电平（3.7V），经三极管非门反相后，输出为低电平（0.3V）；
- 其他输入组合条件下，二极管与门的输出为低电平（1.0V），则输出 V_O 为高电平（3.7V）。

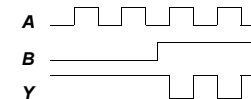


① 真值表

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

② 表达式 $Y = \overline{A \cdot B}$

③ 工作波形（时序图）



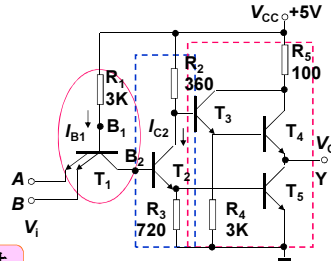
与非门的TTL集成电路实现

❖ TTL集成电路是双极型集成电路，其输入端和输出端都是由晶体管构成的电路，称为**晶体管-晶体管逻辑**，简称**TTL** (Transistor-Transistor Logic)。

1. 电路结构

- (1) 输入级——多发射极晶体管 T_1 和 R_1 ——完成“与”功能
- (2) 中间级—— T_2 、 R_2 和 R_3 ——完成“两相驱动”功能
- (3) 输出级—— T_3 、 T_4 、 T_5 、 R_4 和 R_5 ——完成“推拉输出”功能

T_4 和 T_5 总是处于一只截止、另一只导通的状态



TTL与非门电路

➤ 电路根据 T_5 的工作状态分为开态和关态： T_5 饱和时输出为 V_{OL} ——开态 (On)； T_5 截止时输出为 V_{OH} ——关态 (Off)。

TTL与非门的电气特性

❖ 集成电路的**外部特性**是指通过集成电路芯片引脚反映出来的特性，包括电路的逻辑功能和电气特性。

- 逻辑功能可以用逻辑符号、功能表、真值表、逻辑函数表达式和时序图来表示；
- 电气特性主要有电压传输特性、输入特性、输出特性、动态特性等。

❖ TTL与非门的电气特性主要有**电压传输特性**、**输入特性**、**输出特性**、**电源特性**和**传输延迟特性**。

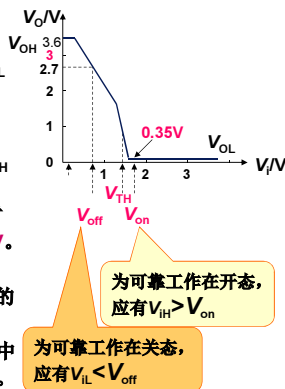
(2) 电压传输特性参数

电路工作在截止区的输出电压

电路工作在饱和区的输出电压

① 输出逻辑高电平 V_{OH} 和输出逻辑低电平 V_{OL}
典型值： $V_{OH} \approx 3.6V$ ， $V_{OL} \approx 0.3V$
额定值： $V_{OH} = 3.0V$ ， $V_{OL} = 0.35V$

- ② 关门电平 V_{off} 、开门电平 V_{on} 和阈值电压 V_{TH}
- 关门电平 V_{off} (输入低电平上限 V_{iLmax})：使输出高电平为额定值 (3.0V) 的90%时对应的输入低电平值，典型值： $V_{off} \approx 0.8V$ 。
 - 开门电平 V_{on} (输入高电平下限 V_{iHmin})：使输出低电平为额定值 (0.35V) 时对应的输入高电平值，典型值： $V_{on} \approx 1.8V$ 。
 - 阈值电压 V_{TH} ：电压传输特性曲线转折区中点对应的输入电压，典型值： $V_{TH} \approx 1.4V$ 。



为可靠工作在开态，应有 $V_{iH} > V_{on}$

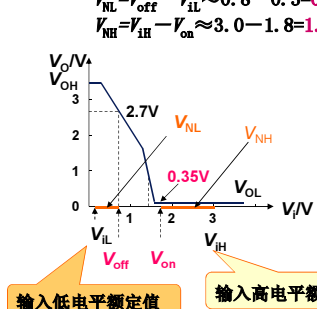
为可靠工作在关态，应有 $V_{iL} < V_{off}$

(2) 电压传输特性参数 (续)

③ 输入低电平噪声容限 V_{NL} 和输入高电平噪声容限 V_{NH}
输入噪声容限是定量说明集成电路抗干扰能力的重要参数，输入噪声容限越大，电路抗干扰能力越强。

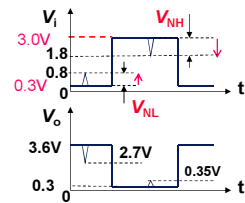
$$V_{NL} = V_{off} - V_{iL} \approx 0.8 - 0.3 = 0.5V$$

$$V_{NH} = V_{iH} - V_{on} \approx 3.0 - 1.8 = 1.2V$$



输入低电平额定值

输入高电平额定值



❖ 只要输入低电平在 V_{NL} 范围之内，电路可靠工作在关态；只要输入高电平在 V_{NH} 范围之内，电路可靠工作在开态。

电源特性

2、电源特性

- ❖ TTL集成电路的 $V_{CC}=+5V \pm 10\%$ (即 $V_{CC}=4.5V \sim 5.5V$)
- ❖ TTL与非门工作在**关态**和**开态**时的电源电流 I_{CC} 不同!
 - **功耗**: 门电路工作时所消耗的电功率, $P_D = V_{CC} \cdot I_{CC}$
 - **未带任何负载时的静态功耗称为空载功耗, 典型值为16mW。**
 - **空载截止功耗**——电路处于稳定关态时的空载功耗
 - **空载导通功耗**——电路处于稳定开态时的空载功耗
 - **平均功耗**——空载截止功耗与空载导通功耗之和的一半
- ❖ 当与非门从关态到开态、或从开态到关态转换过程中, T_4 、 T_5 会瞬间同时导通 → 电源出现瞬时最大电流——**动态尖峰电流**

❖ 在计算数字系统的电源容量(功率)时一定要考虑动态尖峰电流的影响, 留出一定的余量。

扇入系数与扇出系数

1、扇入系数 (n_i)

- TTL与非门输入端的头数, 一般 $n_i=2 \sim 8$

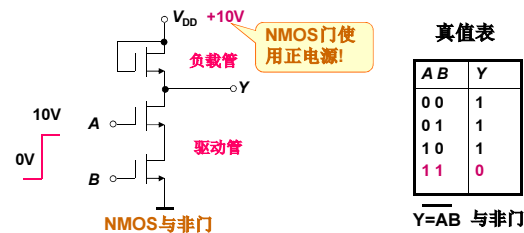
2、扇出系数 (n_o)

- TTL与非门输出带同类门的个数, 体现了带载能力, 一般 $n_o=2 \sim 8$

❖ 在过去传统的小规模数字电路设计中, 扇入扇出问题是一个必须注意的问题。但在现代的数字系统设计中已几乎不存在此类问题了。因为现在设计的逻辑电路规模很大, 且趋向于单片实现方式。可以很好地使用EDA技术, 使扇入扇出问题在EDA软件中被自动考虑进去, 不必人为介入。

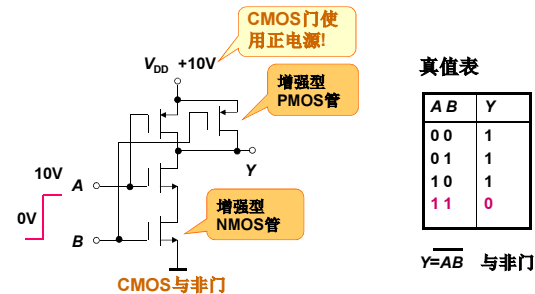
与非门的NMOS实现

1、NMOS门



- 当A、B中任一个(或两个)为**低**电平时, 至少一只驱动管**截止**, 串联支路不导通, 输出 $Y \approx V_{DD}$, 为**高**电平。
- 只有当A、B均为**高**电平时, 两只驱动管均**导通**, 串联支路才导通, 输出 $Y \approx 0$, 为**低**电平。

与非门的CMOS实现



- CMOS与非门是把两个CMOS反相器的负载管并联、驱动管串联后得到。
- 当A、B中任一个(或两个)为**低**电平时, 串联支路中至少一只驱动管**截止**, 并联支路中至少一只负载管**导通** ($V_{GS} = -10V$), 输出 $Y \approx V_{DD}$, 为**高**电平;
- 只有A、B均为**高**电平时, 串联支路中两只驱动管才全部**导通**, 并联支路中两只负载管才全部**截止** ($V_{GS} = -10V$), 输出 $Y \approx 0V$, 为**低**电平。

各种集成门电路性能比较

- ◆ ECL、CMOS和TTL是三种比较常用的集成电路，它们各有特色。ECL速度最快，**CMOS功耗最低、抗干扰能力最强、带载能力最强**；TTL居于二者之间，功耗较低，速度较快、抗干扰能力较强。
- ◆ 与TTL门电路相比，传统的CMOS门电路特点是集成度高、功耗低，但工作速度较慢、抗静电能力差。不过目前新型的CMOS门电路工作速度已经有了很大提高、抗静电能力也大为改善，基本能够与TTL门电路相媲美了。
- ◆ 因此CMOS门电路获得了更为广泛的应用，尤其在大规模集成电路和微处理器中已占据了重要地位。

第二部分：组合逻辑

一、逻辑门电路

1. 晶体管和MOS管
2. 逻辑门电路实现

二、布尔代数

1. 逻辑代数基本概念
2. 逻辑代数的运算法则
3. 逻辑函数的表达式
4. 逻辑函数的简化法

三、Verilog HDL介绍

四、基本组合逻辑部件设计

逻辑代数

- ❖ 所谓“**逻辑**”，指事物间的因果关系。当两个二进制数码表示不同的逻辑状态时，它们之间可以按照指定的某种因果关系进行推理运算，称为**逻辑运算**。
- ❖ 1849年英国数学家乔治·布尔（George Boole）提出了描述客观事物逻辑关系的数学方法——**布尔代数**（Boolean algebra），成功地将形式逻辑问题归结为一种代数运算。
- ❖ 布尔代数后来被广泛用于开关电路和数字逻辑电路的分析和设计，因此也叫做**开关代数**或**逻辑代数**。
- ❖ 布尔代数=逻辑代数，布尔变量=逻辑变量，布尔表达式=逻辑表达式，布尔函数=逻辑函数

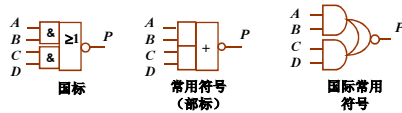
逻辑常量和逻辑变量

- ❖ 在逻辑运算中其值不会改变的量称为**逻辑常量**。
 - 最基本的逻辑常量是“0”和“1”（还有高阻“z”、未知“x”）
 - 用“0”和“1”表示一个事物的两种不同逻辑状态，如一件事情的是和非、真和假、有和无、好和坏，电平的高和低、电流的有和无、灯的亮和灭、开关的闭合和断开等。
 - 这种只有两种对立逻辑状态的逻辑关系称为**二值逻辑**。
- ❖ 在逻辑运算中其值会发生改变的量称为**逻辑变量**，由字母或字母加数字组成。
- ❖ 逻辑变量的两种表示形式
 - 原变量： A 、 B 、 C 、 A_1
 - 反变量： \overline{A} 、 \overline{B} 、 \overline{C} 、 $\overline{A_1}$
 - 原变量与反变量的关系：“互非”或“互补”

与或非逻辑

表示方法

① 逻辑符号



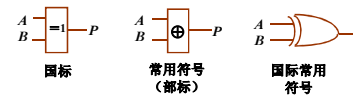
② 逻辑函数表达式

$$P = \overline{AB + CD} = \sim (A \& B \mid C \& D)$$

异或逻辑

表示方法

① 逻辑符号



② 真值表 (异或)

A	B	P
0	0	0
0	1	1
1	0	1
1	1	0

③ 逻辑函数表达式

$$P = A \oplus B \quad P = \overline{AB} + \overline{AB}$$

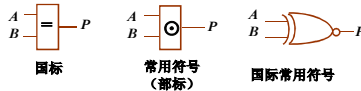
$$= A \& (\sim B) \mid (\sim A) \& B$$

❖ 特点：（输入）相同（输出）为0、（输入）相异（输出）为1

同或逻辑

表示方法

① 逻辑符号



② 真值表 (同或)

A	B	P
0	0	1
0	1	0
1	0	0
1	1	1

③ 逻辑函数表达式：P = A ⊙ B = $\overline{AB} + AB$

❖ 特点：（输入）相同（输出）为1、（输入）相异（输出）为0

- 异或、同或逻辑只有两个输入；与（与非）、或（或非）逻辑可以有两个以上的输入；非逻辑只有一个输入。
- 异或逻辑与同或逻辑是互非关系：

$$A \oplus B = A \odot B ; \quad \overline{A \odot B} = A \oplus B \quad \overline{AB + AB} = \overline{AB} + AB$$

第二部分：组合逻辑

一、逻辑门电路

1. 晶体管和MOS管
2. 逻辑门电路实现

二、布尔代数

1. 逻辑代数基本概念
2. 逻辑代数的运算法则
3. 逻辑函数的表达式
4. 逻辑函数的简化法

三、Verilog HDL介绍

四、基本组合逻辑部件设计

逻辑代数的基本公式

❖ 逻辑代数的基本公式包括5条基本公理和9条基本定律。

1、逻辑代数基本公理

❖ 公理1：设A为逻辑变量，若 $A \neq 0$ ，则 $A=1$ ；若 $A \neq 1$ ，则 $A=0$ 。

❖ 公理2： $0 \cdot 0=0$ ； $1+1=1$ 。

❖ 公理3： $1 \cdot 1=1$ ； $0+0=0$ 。

❖ 公理4： $0 \cdot 1=0$ ； $1+0=1$ ； $1 \cdot 0=0$ ； $0+1=1$ 。

❖ 公理5： $\overline{0}=1$ ； $\overline{1}=0$ 。

逻辑代数基本定律 (1/2)

2、逻辑代数基本定律

自等律： $A + 0 = A$ (1) $A \cdot 1 = A$ (1')

0-1律： $A + 1 = 1$ (2) $A \cdot 0 = 0$ (2')

交换律： $A + B = B + A$ (3) $A \cdot B = B \cdot A$ (3')

结合律： $(A + B) + C = A + (B + C)$ (4)

$(A \cdot B) \cdot C = A \cdot (B \cdot C)$ (4')

分配律： $A(B + C) = AB + AC$ (5)

$A + BC = (A + B)(A + C)$ (5')

逻辑代数基本定律 (2/2)

互补律： $A + \overline{A} = 1$ (6) $A \cdot \overline{A} = 0$ (6')

常用于化简时消去某个因子、配项；
或者将某个乘积项变为最小项

重叠律： $A + A = A$ (7) $A \cdot A = A$ (7')

常用于化简时添加某一项

反演律： $\overline{A \cdot B} = \overline{A} + \overline{B}$ (8) $\overline{A + B} = \overline{A} \cdot \overline{B}$ (8')

又称德·摩根定律：积之反等于反之和（逻辑变量与运算后取反等于各个逻辑变量分别取反的或运算）；和之反等于反之积（逻辑变量或运算后取反等于各个逻辑变量分别取反的与运算）

还原律（对合律）： $\overline{\overline{A}} = A$ (9)

记住！也适用于
多个变量

逻辑代数的基本定理

逻辑代数的基本定理包括代入定理、反演定理和对偶定理。

1、代入定理

❖ 代入定理：在任何一个包含某个相同变量的逻辑等式中，用另外一个函数式代入式中所有这个变量的位置，等式仍然成立。

❖ 用途：扩大基本公式和常用公式的使用范围

例如已知： $A + \overline{A} = 1$ 则： $ABC + \overline{ABC} = 1$

反演定理

2. 反演定理

❖ 定理规定：将原函数 F 中的全部“ \cdot ”换成“ $+$ ”，“ $+$ ”换成“ \cdot ”，“ 0 ”换成“ 1 ”，“ 1 ”换成“ 0 ”，原变量换成反变量，反变量换成原变量，所得到的新函数就是原函数的反演式，记作 \bar{F} 。

❖ 用途：直接求已知逻辑函数的反函数，可用于公式的化简

【例1】已知 $F = (A+B)(\bar{A}+C)(B+C+D)$ ，试化简 F 。

解： $\bar{F} = \overline{AB + AC + BCD} = \overline{AB} + \overline{AC} + \overline{BCD}$ 根据包含律

则 $F = \bar{\bar{F}} = (A+B)(\bar{A}+C)$

❖ 规则：① 遵循“ $()$ ”→“ \cdot ”→“ $+$ ”的运算优先顺序；
② 不属于单个变量上的“非号”在变换中不变。

不变 不变

已知 $F_1 = AB + (C+\bar{D})B + \bar{B}\bar{C} + 0$ 则反函数 $\bar{F}_1 = (\bar{A}+\bar{B}) \cdot \overline{CD+B} \cdot \bar{B} + \bar{C} \cdot 1$

对偶定理

3. 对偶定理

❖ 定理规定：将原函数 F 中的全部“ \cdot ”换成“ $+$ ”，“ $+$ ”换成“ \cdot ”，“ 0 ”换成“ 1 ”，“ 1 ”换成“ 0 ”，所得到的新函数就是原函数的对偶式，记作 F' 或 F^* 。

❖ 用途：已知某公式成立，则可以得到其对偶公式仍成立。
扩大了基本公式和常用公式的使用范围

例如函数 $F_1 = AB + (C+\bar{D})B + \bar{B}\bar{C} + 0$ 的对偶式是：

$$F_1' = (A+B) \cdot \overline{CD+B} \cdot \bar{B} + \bar{C} \cdot 1$$

又如 $F_2 = A+B+\bar{C} \cdot D+\bar{E}$ 的对偶式是： $F_2' = A \cdot B \cdot (\bar{C}+D \cdot \bar{E})$

分配律： $A(B+C) = AB + AC$ (5)

$$A+BC = (A+B)(A+C) \quad (5')$$

➤ 对偶定理与反演定理的不同：无须将原变量和反变量互换
➤ 对偶定理仍遵守反演定理的两条规则

逻辑代数的常用公式

❖ 常用公式1： $AB + A\bar{B} = A$ (10)

证： $AB + A\bar{B} = A(B+\bar{B}) = A \cdot 1 = A$

对偶式： $(A+B) \cdot (A+B) = A$ (10')

➤ 结论：若两个乘积项除了公有因子外，不同的因子恰好互补，则这两个乘积项可以合并为一个由公有因子组成的乘积项。

❖ 常用公式2： $A + A\bar{B} = A$ 吸收律1 (11)

证： $A + A\bar{B} = A(1+\bar{B}) = A \cdot 1 = A$

对偶式： $A(A+B) = A$ 吸收律2 (11')

➤ 结论：若两个乘积项中有一个乘积项的部分因子恰好是另一个乘积项的全部，则这个乘积项是多余的。

常用公式3

❖ 常用公式3： $A + A\bar{B} = A + B$ 吸收律3 (12)

证：根据分配律

$$A + A\bar{B} = (A + \bar{A})(A + B) = 1 \cdot (A + B) = A + B$$

对偶式： $A \cdot (\bar{A} + B) = A \cdot B$ (12')

➤ 结论：若两个乘积项中有一个乘积项的部分因子恰好是另一个乘积项的补，则该乘积项中的这部分因子是多余的。

常用公式4及推论

❖ 常用公式4: $AB + \bar{A}C + BC = AB + \bar{A}C$ (13)

包含律 证: $AB + \bar{A}C + BC = AB + \bar{A}C + (A + \bar{A})BC$
 $= AB + \bar{A}C + ABC + \bar{A}BC$ 由互补律配项
 $= AB(1 + C) + \bar{A}C(1 + B) = AB + \bar{A}C$

对偶式: $(A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C)$ (13')

❖ 公式4推论: $AB + \bar{A}C + \text{多余} BCDEF \dots = AB + \bar{A}C$

证: $AB + \bar{A}C + BCDEF \dots = AB + \bar{A}C + BC + BCDEF \dots$ 由包含律配项
 $= AB + \bar{A}C + BC(1 + DEF \dots) =$
 $AB + \bar{A}C + BC = AB + \bar{A}C$

➤ 结论: 若两个乘积项中的部分因子恰好互补, 而这两个乘积项中的其余因子都是第三乘积项的部分因子, 则这个第三乘积项是多余的。

第二部分: 组合逻辑

一. 逻辑门电路

1. 晶体管和MOS管
2. 逻辑门电路实现

二. 布尔代数

1. 逻辑代数基本概念
2. 逻辑代数的运算法则
3. 逻辑函数的表达式
4. 逻辑函数的简化法

三. Verilog HDL介绍

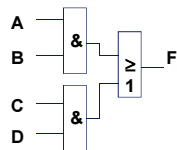
四. 基本组合逻辑部件设计

逻辑函数的常用表达式

❖ 常用表达式包括: 与或式、或与式、与或非式、与非或非式、或非或非式

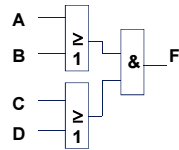
1. 与或式

$$F = AB + CD$$



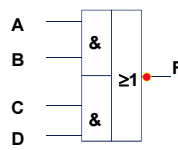
2. 或与式

$$F = (A + B)(C + D)$$



3. 与或非式

$$F = \overline{AB + CD}$$



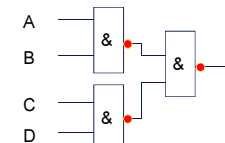
常用表达式

4. 与非与非式

$$F = AB + CD = \overline{\overline{AB + CD}}$$

$$= \overline{A \cdot B \cdot C \cdot D}$$

全部用与非门实现——减少了使用门的种类



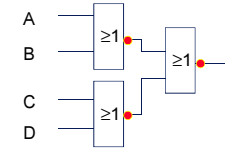
5. 或非或非式

$$F = (A + B)(C + D)$$

$$= \overline{\overline{(A + B)(C + D)}}$$

$$= \overline{A + B + C + D}$$

全部用或非门实现——减少了使用门的种类



逻辑函数的标准表达式

❖ 逻辑函数的表达形式是不唯一的，在数字电路手工设计技术中，为便于真值表表述、卡诺图表述和逻辑化简等，引入逻辑函数的标准表达式

❖ 逻辑函数的标准表达式建立在最小项和最大项概念基础上

❖ 标准表达式包括：最小项表达式和最大项表达式

➢ 最小项表达式是全部由最小项构成的与或式（积之和式）

➢ 最大项表达式是全部由最大项构成的或与式（和之积式）

❖ 最小项

➢ 设有n个变量，它们所组成的具有n个变量的“与”项（乘积项）中，每个变量以原变量或反变量的形式出现且仅出现一次，则这个乘积项称为最小项。

➢ n个变量有 2^n 个最小项

➢ 3变量(A,B,C)有8个最小项：

$\overline{A}\overline{B}\overline{C}, \overline{A}\overline{B}C, \overline{A}B\overline{C}, \overline{A}BC, A\overline{B}\overline{C}, A\overline{B}C, AB\overline{C}, ABC$

最小项的特点

① 对于任何一个最小项，只有对应的一组变量取值，使其值为1，其余情况下均为0；

② 全体最小项之和为1；

③ 任意两个最小项的乘积为0；为什么？

④ 具有相邻性的两个最小项之和可以合并为一个乘积项，消去一个以原变量和反变量形式出现的变量，保留由没有变化的变量构成的乘积项。例： $ABC + \overline{A}BC = AB$

相邻最小项：除一个变量互为相反外，其余变量分别相同的两个最小项。

➢ 为书写方便，把最小项记做 m_i 。

➢ 下标i的取值规则：按照变量顺序将最小项中的原变量用1表示、反变量用0表示，得到一个二进制数，与其对应的十进制数即该最小项的编号i。

最小项编号

最小项	ABC的取值	编号
$\overline{A}\overline{B}\overline{C}$	000	m_0
$\overline{A}\overline{B}C$	001	m_1
$\overline{A}B\overline{C}$	010	m_2
$\overline{A}BC$	011	m_3
$A\overline{B}\overline{C}$	100	m_4
$A\overline{B}C$	101	m_5
$AB\overline{C}$	110	m_6
ABC	111	m_7

➢ 根据最小项编号可以迅速推断它所代表的最小项。

最大项

❖ 最大项

➢ 设有n个变量，它们所组成的具有n个变量的“或”项（和项）中，每个变量以原变量或反变量的形式出现且仅出现一次，则这个和项称为最大项。

➢ n个变量有 2^n 个最大项

➢ 3变量(A,B,C)有8个最大项：

$\overline{A} + \overline{B} + \overline{C}, \overline{A} + \overline{B} + C, \overline{A} + B + \overline{C}, \overline{A} + B + C,$

$A + \overline{B} + \overline{C}, A + \overline{B} + C, A + B + \overline{C}, A + B + C$

➢ 若2个最大项中只有1个变量分别以原变量和反变量的形式出现，其余的变量分别相同，则称这2个变量具有相邻性。

最大项的特点

最大项的特点

- ① 对于任何一个最大项，只有对应的一组变量取值，使其值为0，其余情况下均为1；
- ② 全体最大项之积为0；
- ③ 任意两个最大项之和为1。 **为什么？**
- ④ 具有**相邻性**的两个最大项之**积**可以合并为一个和项，消去一个以原变量和反变量形式出现的变量，保留由没有变化的变量构成的和项。

$$\text{例: } (\bar{A} + B + \bar{C})(A + B + \bar{C}) = [(\bar{A} + (B + \bar{C}))][(A + (B + \bar{C}))] = B + \bar{C}$$

- 为书写方便，把最大项记做 M_i 。
- 下标 i 的取值规则：按照变量顺序将最大项中的原变量用0表示、反变量用1表示，得到一个二进制数，与其对应的十进制数即该最大项的编号 i 。

最大项编号

最大项	ABC的取值	编号
$A+B+C$	000	M_0
$A+B+\bar{C}$	001	M_1
$A+\bar{B}+C$	010	M_2
$A+\bar{B}+\bar{C}$	011	M_3
$\bar{A}+B+C$	100	M_4
$\bar{A}+B+\bar{C}$	101	M_5
$\bar{A}+\bar{B}+C$	110	M_6
$\bar{A}+\bar{B}+\bar{C}$	111	M_7

- 最小项与最大项的关系：下标 i 相同的最小项与最大项互补，即 $m_i = \bar{M}_i$ 。

最小项表达式

1. 最小项表达式

- 全部由最小项构成的与或式，也称**标准与或式**，可由**最小项推导法**直接从真值表中导出。

- 例如：三人表决器设计的输出表达式

$$\left. \begin{aligned} F &= \bar{A}BC + A\bar{B}C + AB\bar{C} + ABC \\ F(A, B, C) &= m_3 + m_5 + m_6 + m_7 \\ F(A, B, C) &= \sum m(3, 5, 6, 7) \end{aligned} \right\} \begin{array}{l} \text{最小项} \\ \text{表达式} \end{array}$$

最简略

真值表			
A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

- 最小项推导法--从真值表推出逻辑函数表达式的一种方法

- 使输出为1的输入组合写成乘积项的形式，其中取值为1的输入用原变量表示，取值为0的输入用反变量表示，然后把这些乘积项加起来。

最大项表达式

- 【例2】将 $F = AB + \bar{A}BC$ 写成标准与或表达式。

$$F = AB(C + \bar{C}) + \bar{A}BC = ABC + AB\bar{C} + \bar{A}BC = \sum m(3, 6, 7) \quad \text{真值表}$$

2. 最大项表达式

- 全部由最大项构成的或与式，也称**标准或与式**，可由**最大项推导法**直接从真值表中导出。

- 例如：三人表决器设计的输出表达式

$$\left. \begin{aligned} F &= (A+B+C)(A+B+\bar{C})(A+\bar{B}+C)(\bar{A}+B+C) \\ F(A, B, C) &= M_0 \cdot M_1 \cdot M_2 \cdot M_4 \\ F(A, B, C) &= \prod M(0, 1, 2, 4) \end{aligned} \right\} \begin{array}{l} \text{最大项} \\ \text{表达式} \end{array}$$

- 最大项推导法

- 把使输出为0的输入组合写成和项的形式，其中取值为0的输入用原变量表示，取值为1的输入用反变量表示，然后把这些和项乘起来。

A	B	C	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

第二部分：组合逻辑

一、逻辑门电路

1. 晶体管和MOS管
2. 逻辑门电路实现

二、布尔代数

1. 逻辑代数基本概念
2. 逻辑代数的运算法则
3. 逻辑函数的表达式
4. 逻辑函数的简化法

三、Verilog HDL介绍

四、基本组合逻辑部件设计

设计优化

❖ 设计优化

- **面积优化**——使设计的电路或系统占用的逻辑资源尽量少
- **时间优化**——使设计的电路或系统的输入信号到达输出的路程尽量短

❖ 逻辑函数的简化是实现**面积优化**的一种方式。

❖ 过去逻辑函数的简化是非常重要而又繁琐的工作；

❖ 在现代数字电路或系统的设计中，设计优化主要由EDA工具自动完成，一般无须设计者介入。

逻辑函数简化的意义

- ❖ 同一个逻辑函数可以写成不同的逻辑式；
- ❖ 逻辑表达式越简单，实现它的电路越简单，电路工作越稳定可靠；
- ❖ 因此需要通过化简找出最简逻辑式。

【例3】化简 $F = \overline{A}BC + A\overline{B}C + ABC\overline{C} + ABC$

➢ 若不化简，需要3个非门、4个3输入与门和1个4输入或门。

$$\text{解 } F = \overline{A}BC + A\overline{B}C + ABC\overline{C} + ABC$$

$$= AB(\overline{C} + C) + AC(\overline{B} + B) + BC(\overline{A} + A)$$

增加两项ABC

$$= AB + AC + BC$$

$$= \overline{AB + AC + BC}$$

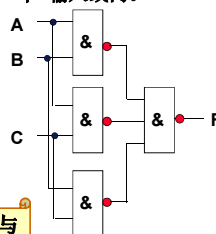
还原律

$$= \overline{AB} \cdot \overline{AC} \cdot \overline{BC}$$

反演律

由互补律
 $A + \overline{A} = 1$

➢ 化简后，只需要3个2输入与非门和1个3输入与非门。



逻辑函数的公式简化法

❖ 逻辑函数的公式简化法的**原理**是反复使用逻辑代数的基本公式、基本定理和常用公式，消去函数中多余的**乘积项**和**因子**，以求得最简形式。

一、“与或”表达式的化简

❖ 最简与或表达式

- 1、乘积项的个数最少（用门电路实现，用的与门数最少）；
- 2、在满足1的条件下，乘积项中的变量最少（与门的输入端最少）。
- 省器件：用最少的门，门的输入也最少。

❖ 常用的化简方法有：合并乘积项法、吸收项法和配项法

或与表达式的化简

二、“或与”表达式的化简

❖ 最简或与表达式

- 1、或项个数最少（或门用的最少）；
- 2、在满足1的条件下，或项中变量数最少（或门的输入端最少）。

➢ 化简方法

- 1、利用对偶规则，将“或与”表达式转换为“与或”表达式。
- 2、实际化简“与或”表达式。
- 3、利用对偶规则将最简“与或”表达式转换为最简“或与”表达式。

或与表达式的化简举例

【例4】化简 $F = (A+B)(\bar{A}+C)(B+C)(A+C)$

对偶规则 $F' = AB + \bar{A}C + BC + AC$

由包含律

$$AB + \bar{A}C + BC = AB + \bar{A}C$$

$$= AB + \bar{A}C + AC$$

$$= AB + C$$

由常用公式1
 $AC + \bar{A}C = C$

则： $F = (A+B) \cdot C$

合并乘积项法

❖ 逻辑函数的公式简化常用的方法（以与或表达式的化简为例）有：合并乘积项法、吸收项法、配项法、消除冗余项法

1、合并乘积项法——利用互补律消去1个变量

化简 $F = A(BC + \bar{B}\bar{C}) + AB\bar{C} + \bar{A}BC$

$$\begin{aligned}\text{解： } F &= ABC + A\bar{B}\bar{C} + AB\bar{C} + \bar{A}BC \\ &= (ABC + A\bar{B}\bar{C}) + (AB\bar{C} + \bar{A}BC) \\ &= AC(B + \bar{B}) + A\bar{C}(\bar{B} + B) \\ &= AC + A\bar{C} \\ &= A(C + \bar{C}) = A\end{aligned}$$

利用分配律展开
合并
互补律
互补律

吸收项法和配项法

2、吸收项法——利用吸收律和包含律减少“与”项

化简 $F = \bar{A}\bar{B} + \bar{A}B + ABCD + \bar{A}\bar{B}CD$

$$\begin{aligned}\text{解： } F &= (\bar{A}\bar{B} + \bar{A}B) + (\bar{A}\bar{B} + \bar{A}B)CD \\ &= (\bar{A}\bar{B} + \bar{A}B) + \bar{A}\bar{B}CD \\ &= \bar{A}\bar{B} + \bar{A}B + CD\end{aligned}$$

合并乘积项
“同或”和“异或”互为反函数

由吸收律3
 $A + \bar{A}B = A + B$

3、配项法——利用互补律，配在乘积项上

化简 $F = AB + \bar{A}\bar{B}C + BC$

$$\begin{aligned}\text{解： } F &= AB + \bar{A}\bar{B}C + BC(A + \bar{A}) \\ &= AB + \bar{A}\bar{B}C + ABC + \bar{A}BC \\ &= (AB + ABC) + (\bar{A}\bar{B}C + \bar{A}BC) \\ &= AB(1 + C) + \bar{A}C(\bar{B} + B) \\ &= AB + \bar{A}C\end{aligned}$$

配项展开
合并
1律、互补律