



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Компьютерные системы и сети»

НАПРАВЛЕНИЕ ПОДГОТОВКИ «09.03.01 ПРИКЛАДНАЯ ИНФОРМАТИКА»

ОТЧЕТ по лабораторной работе № 2

Название: «Проектирование цифровых устройств на основе ПЛИС»

Дисциплина: «Основы проектирования устройств ЭВМ»

Вариант № 19

Студент ИУ6-62Б
(Группа)

(Подпись, дата)

А.Е.Медведев
(И. О. Фамилия)

Преподаватель

(Подпись, дата)

С.В. Ибрагимов
(И. О. Фамилия)

2022 г.

Цель работы

Закрепление на практике теоретических сведений, полученных при изучении методики проектирования цифровых устройств на основе программируемых логических интегральных схем (ПЛИС), получение необходимых навыков работы с системой автоматизированного проектирования ISE WebPack устройств на основе ПЛИС фирмы Xilinx, изучение аппаратных и программных средств моделирования, макетирования и отладки устройств на основе ПЛИС.

Данные по варианту

Таблица 1 – Таблица данных по вариантам

Набор	State0	State1	State2	State3
XC3S200	11	00	01	10

Задание 1.

Таблица 2 – Таблица выходов

Состояние	State0	State1	State2	State3
Двоичный код состояния	11	00	01	10
CNT	0	1	1	0
DLY_EN	0	1	0	1

Найдём функции для сигналов CNT и DLY_EN.

$$\text{CNT} = \overline{S(1)}$$

$$\text{DLY_EN} = \overline{S(0)}$$

Найдём минимальные булевы функции для сигнала SN через карты карно.

Таблица 3 – Сигналы SN(*) и D*

COUNT	DLY_OVF	S1(t)	S0(t)	S1(t+1)	S0(t+1)	SN(1)	SN(0)	Описание события
0	x	1	1	1	1	1	1	Ожидание нажатия кнопки
1	x	1	1	0	0	0	0	Нажатие кнопки
x	0	0	0	0	0	0	0	Ожидание окончания счета
x	1	0	0	0	1	0	1	Конец счета
1	x	0	1	0	1	0	1	Ожидание отпускания
0	x	0	1	1	0	1	0	Отпускание кнопки
x	0	1	0	1	0	1	0	Ожидание окончания счета
x	1	1	0	1	1	1	1	Конец счета

Таблица 4 – Карты карно для SN(1) и SN(0)

		COUNT / DLY_OVF			
		00	01	11	10
S(1) / S(0)	00	0	0	0	0
	01	1	1	0	0
	11	1	1	0	0
	10	1	1	1	1

		COUNT / DLY_OVF			
		00	01	11	10
S(1) / S(0)	00	0	1	1	0
	01	0	0	1	1
	11	1	1	0	0
	10	0	1	1	0

Тогда $SN(1) = \overline{COUNT} S(0) \vee S(1) S(0)$,
а $SN(0) = DLY_OVF S(1) \vee COUNT \overline{S(1)} S(0) \vee \overline{COUNT} S(1) S(0)$.

Задание 2.

Разработайте текстовое описание модуля в соответствии с полученными функциями DLY_EN, CNT, SN(0), SN(1)

Код программы приведен в листинге ??

Листинг 1 – Код на VHDL

```
-- Пример модуля подавления дребезга 10 мс.
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;
Entity lab2_example IS
PORT (
    RST: IN STD_LOGIC; --Системный сигнал сброса
    CLK: IN STD_LOGIC; --Сигнал синхронизации
    COUNT: IN STD_LOGIC; --Сигнал кнопки с дребезгом
    CNT: OUT STD_LOGIC --Сигнал кнопки, очищенный от дребезга
);
END lab2_example;
ARCHITECTURE behavioral OF lab2_example IS
-- Кодируем состояния в соответствии с вариантом
    CONSTANT STATE0: STD_LOGIC_VECTOR (1 downto 0) := "11";
    CONSTANT STATE1: STD_LOGIC_VECTOR (1 downto 0) := "00";
    CONSTANT STATE2: STD_LOGIC_VECTOR (1 downto 0) := "01";
    CONSTANT STATE3: STD_LOGIC_VECTOR (1 downto 0) := "10";
-- Состояние автомата в момент времени t
    SIGNAL S: STD_LOGIC_VECTOR (1 downto 0);
-- Состояние автомата в момент времени t+1
    SIGNAL SN: STD_LOGIC_VECTOR (1 downto 0);
    SIGNAL COUNTER: integer; -- Счетчик 2^20
    SIGNAL DLY_OVF: STD_LOGIC; -- Сигнал "Завершение счета"
    SIGNAL DLY_EN: STD_LOGIC; -- Сигнал разрешения работы счетчика
BEGIN
-- Память состояний
    FSM_STATE_inst: PROCESS (CLK)
    BEGIN
        IF (CLK='1' and CLK'event) THEN
            IF (RST='1') THEN
```

```

        S <= STATE0;
    ELSE
        S <= SN;
    END IF;
END IF;
END PROCESS;
-- Комбинационная схема для выработки сигналов CNT и DLY_EN (по
индивидуальному варианту)
    CNT <= not S(1);
    DLY_EN <= not S(0);
-- Комбинационные схемы для определения следующего состояния (по
индивидуальному варианту)
    SN(0) <= (DLY_OVF and S(1)) or (COUNT and not S(1) and S(0))
        or (not COUNT and S(1) and S(0));
    SN(1) <= (not COUNT and S(0)) or (S(1) and S(0));
-- Описание счетчика
    COUNTER_inst: "PROCESS (CLK)
    BEGIN
        IF (CLK='1' and CLK'event) THEN
            IF (RST='1' or DLY_EN = 0) THEN
                COUNTER <= 0;
            ELSE
                COUNTER <= COUNTER + 1;
            END IF;
        END IF;
    END PROCESS;
    DLY_OVF <= '1' WHEN COUNTER = 2**7-1 ELSE '0'; --Длительность
задержки
END Behavioral;
```

Вывод

В ходе выполнения лабораторной работы была спроектирована плис в среде Xilinx.