



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ «Информатика и системы управления»

КАФЕДРА «Компьютерные системы и сети»

НАПРАВЛЕНИЕ ПОДГОТОВКИ «09.03.01 Информатика и вычислительная техника»

ОТЧЕТ по Лабораторная работа № 3

Название: «Проектирование устройств управления на основе ПЛИС»

Дисциплина: «Основы проектирования устройств ЭВМ.»

Вариант № 38

Студент ИУ6-62Б
(Группа)

(Подпись, дата)

А.Е.Медведев
(И. О. Фамилия)

Преподаватель

(Подпись, дата)

(И. О. Фамилия)

2022 г.

Цель работы:

Закрепление на практике теоретических знаний о способах реализации устройств управления, исследование способов организации узлов ЭВМ, освоение принципов проектирования цифровых устройств на основе ПЛИС.

По варианту в данном домашнем задании будет графф под номером 2. Название платы — Nexus2 Сам графф приведён на рисунке 1

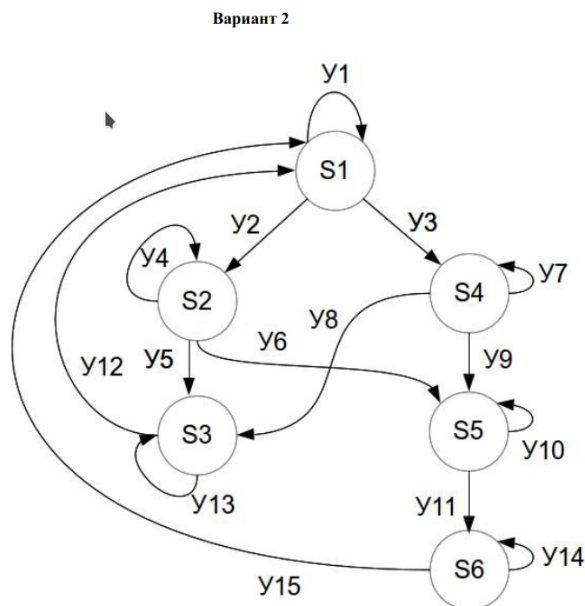


Рисунок 1 – Графф задания

Таблица 1 – Варианты диаграмм и активных сигналов.

S1	S2	S3	S4	S5	S6
1	3,5	6	-	7	2,4

Таблица 2 – Условия переходов и наименование отладочной платы

Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
@	CE	AC	@	!E+C	F	@	!DF	B	@	!A!C	A!B	@	@	ABCF

Таблица 3 – Условия переходов и наименование отладочной платы

Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

Этап 1

В лабораторной работе необходимо разработать и реализовать на ПЛИС XC3S200 или XC3E-500 управляющий автомат схемного типа, обрабатывающий входное командное слово $C=A,B,C,D,E,F$, выдающий сигналы управления $M=M_0,...,M_{k-1}$ операционному блоку. Конечный граф представлен на рисунке 2

Вариант 2

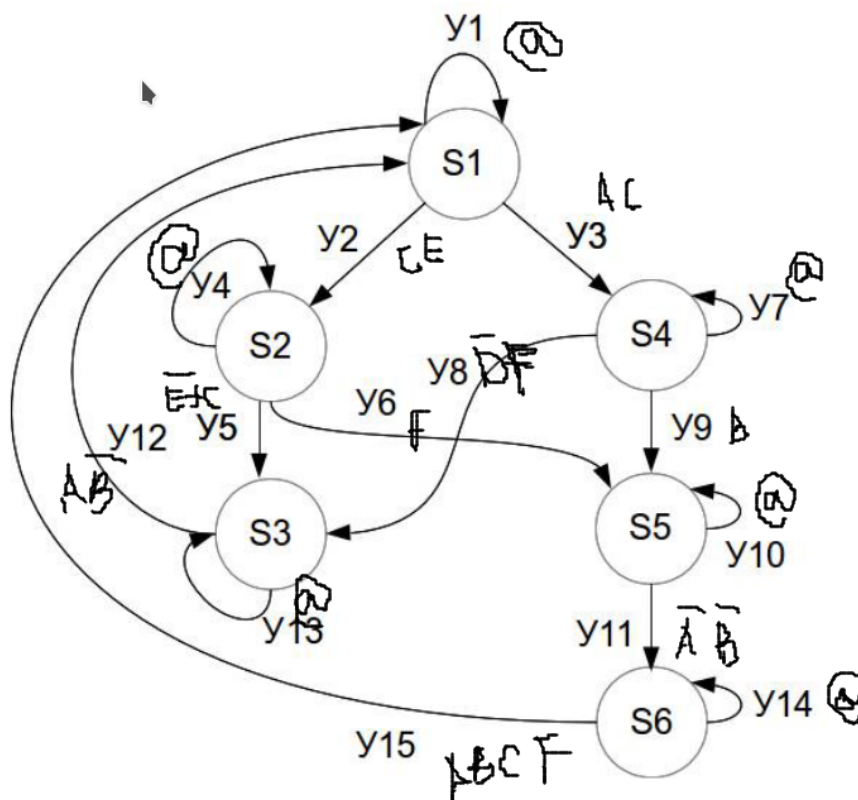


Рисунок 2 – Исправленные граф

Этап 2

Результаты моделирования приведены на рисунках 3.

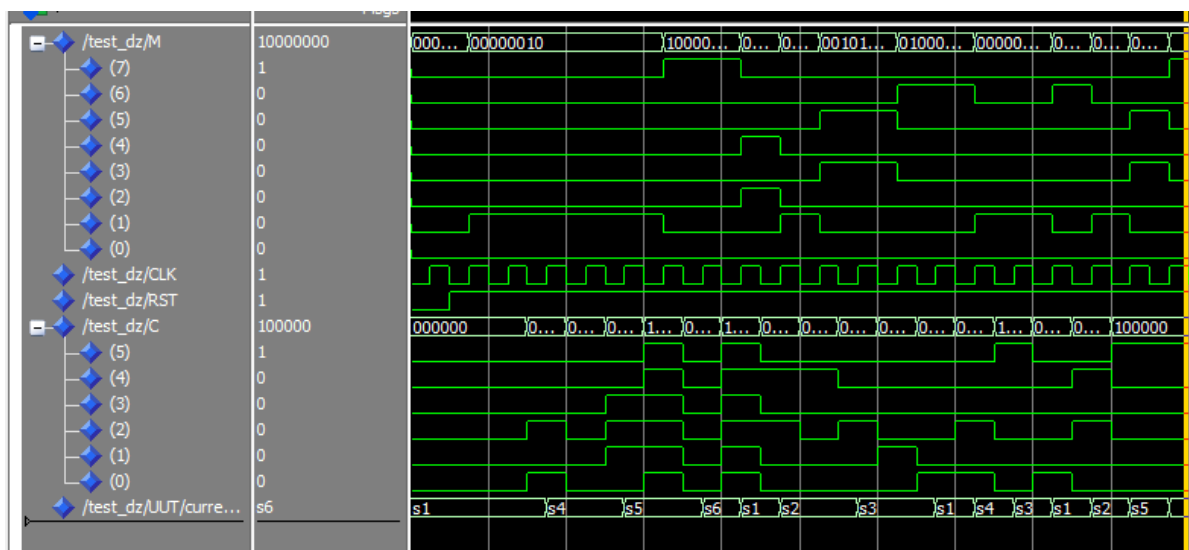


Рисунок 3 – Переключения состояний программы

Исходный код модуля верхнего уровня разрабатываемого устройства приведен в листинге 1.

Листинг 1 – Описание устройства

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;
entity main is
PORT ( CLK : IN std_logic;
COUNT : IN std_logic;
RESET : IN std_logic;
SW : IN std_logic_vector (5 DOWNTO 0);
LED : OUT std_logic_vector (7 DOWNTO 0));
end main;
architecture Behavioral of main is
COMPONENT control_unit
PORT (
C : IN std_logic_vector (5 DOWNTO 0);
CLK : IN std_logic;
RST : IN std_logic;
M : OUT std_logic_vector (7 DOWNTO 0) );
END COMPONENT;
COMPONENT stab
```

```

PORT (
RST: IN STD_LOGIC; --Системный сигнал сброса
CLK: IN STD_LOGIC; --Сигнал синхронизации
COUNT: IN STD_LOGIC; --Сигнал кнопки сдребезгом
CNT: OUT STD_LOGIC --Сигнал кнопки, очищенный отдребезга

);
END COMPONENT;
SIGNAL CNT_int:std_logic;
begin
stab_inst : stab
PORT MAP (CLK=>CLK,
COUNT=>COUNT,
RST=>RESET,
CNT=>CNT_int);
control_unit_inst : control_unit
PORT MAP (C=>SW,
RST=>RESET,
M=>LED,
CLK=>CNT_int);
end Behavioral;

```

Вывод:

В ходе выполнения лабораторной работы были закреплены на практике навыки разработки устройств управления на языке VHDL (в данном случае – устройства управления с жесткой логикой на основе цифровых автоматов)