



# Nuclei™ N100 系列

## 处理器内核配套 SoC 介绍

## 版权声明

版权所有 © 2018–2020 芯来科技（Nuclei System Technology）有限公司。保留所有权利。

Nuclei™是芯来科技公司拥有的商标。本文件使用的所有其他商标为各持有公司所有。

本文件包含芯来科技公司的机密信息。使用此版权声明为预防作用，并不意味着公布或披露。未经芯来科技公司书面许可，不得以任何形式将本文的全部或部分信息进行复制、传播、转录、存储在检索系统中或翻译成任何语言。

本文文件描述的产品将不断发展和完善；此处的信息由芯来科技提供，但不做任何担保。

本文件仅用于帮助读者使用该产品。对于因采用本文件的任何信息或错误使用产品造成的任何损失或损害，芯来科技概不负责。

## 联系我们

若您有任何疑问，请通过电子邮件 [support@nucleisys.com](mailto:support@nucleisys.com) 联系芯来科技。

## 修订历史

版本号	修订日期	修订的章节	修订的内容
1.0	2019/11/20	N/A	1. 初始版本

## 目录

版权声明.....	0
联系我们.....	0
修订历史.....	1
表格清单.....	3
图片清单.....	4
<b>1. N100 系列内核配套 SOC 简介 .....</b>	<b>5</b>
<b>2. N100 系列内核配套 SOC 框图.....</b>	<b>6</b>
<b>3. N100 系列内核配套 SOC 总线.....</b>	<b>7</b>
3.1. ICB 总线协议信号 .....	8
3.2. ICB 总线协议时序 .....	8
3.3. 本 SoC 总线结构.....	9
<b>4. N100 系列内核配套 SOC 存储资源.....</b>	<b>10</b>
4.1. 片上存储资源 .....	10
4.2. 片外 FLASH 存储资源 .....	10
<b>5. N100 系列内核配套 SOC 地址分配.....</b>	<b>12</b>
<b>6. N100 系列内核配套 SOC 的上电流程控制.....</b>	<b>13</b>
<b>7. N100 系列内核配套 SOC 顶层引脚表.....</b>	<b>14</b>
<b>8. N100 系列内核配套 SOC 的 GPIO 引脚分配.....</b>	<b>16</b>
<b>9. N100 系列内核配套 SOC 的中断处理.....</b>	<b>17</b>
9.1. N100 系列内核的异常和中断处理 .....	17
9.2. IRQC 管理多个外部中断 .....	17
<b>10. N100 系列内核配套 SOC 外设介绍.....</b>	<b>18</b>
10.1. GPIO.....	18
10.2. QSPI .....	19
10.3. UART.....	20
10.4. PWM.....	20
10.5. I2C .....	20

## 表格清单

表 3-1 ICB 总线信号 .....	8
表 5-1 N100 系列内核配套 SoC 地址分配表.....	12
表 7-1 N100 系列内核配套 SoC 顶层引脚.....	14
表 9-1 IRQC 中断分配表 .....	17
表 10-1 GPIO 接口的内部模块复用分配表.....	18

## 图片清单

图 2-1 N100 内核配套 SoC 框图 .....

图 3-1 ICB 总线示意图 .....

6

7

## 1. N100 系列内核配套 SoC 简介

N100 系列内核配套 SoC 为 N100 系列内核配套的 MCU 级别 SoC，其特性概述如下：

- 使用 N100 系列内核。
- 配备片上 SRAM。
- 配备自定义的 SoC 总线。
- 配备常用的开源外设 IP。

注意：该配套 SoC 仅作为一个非常简单的原型参考 SoC，以便于用户快速进行仿真和 FPGA 原型测试，但不建议直接作为量产 SoC 采用。

## 2. N100 系列内核配套 SoC 框图

N100 系列内核配套 SoC 的框图如图 2-1 所示。图中除了 N100 系列内核和总线之外，还包含常见的开源外部设备 IP。有关 N100 系列内核配套 SoC 中的各外设的详细介绍，请参见第 10 章。

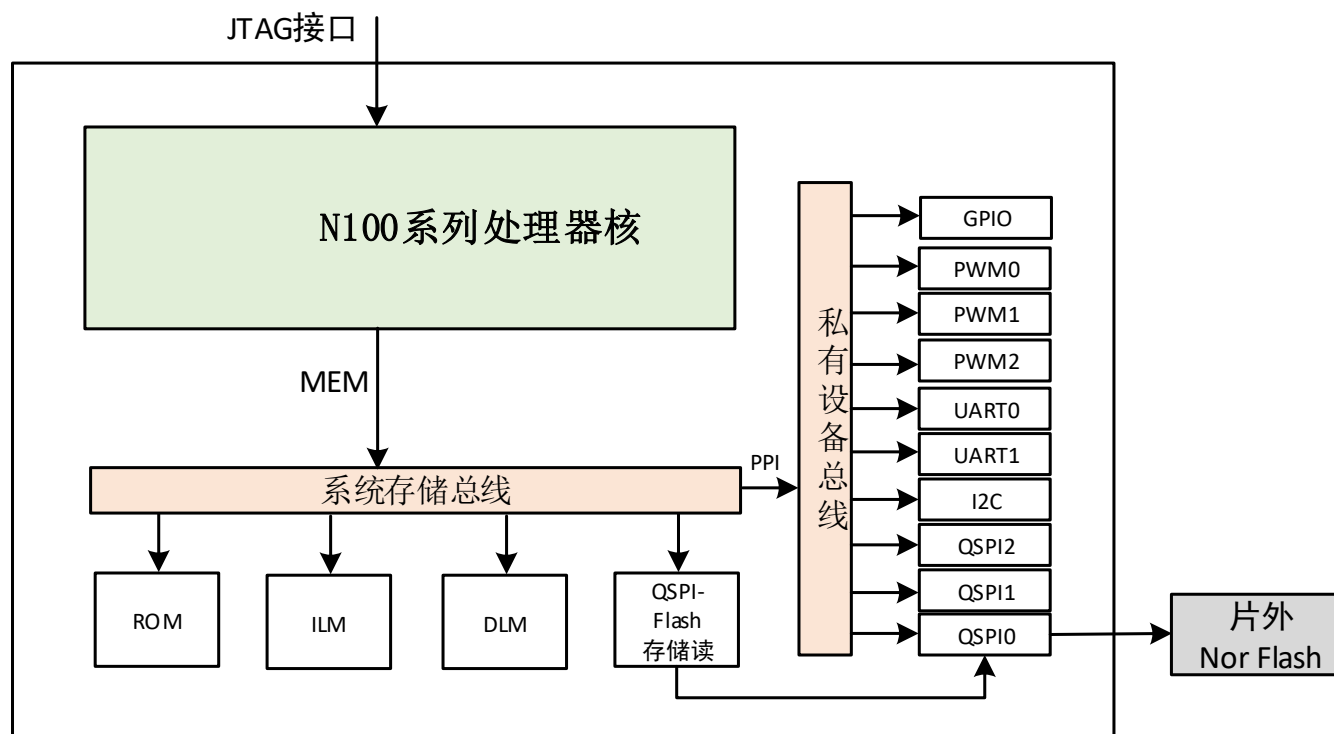


图 2-1 N100 内核配套 SoC 框图



### 3. N100 系列内核配套 SoC 总线

N100 系列内核配套 SoC 定义了一种自定义总线协议 ICB (Internal Chip Bus)。ICB 总线的初衷是为了能够尽可能地结合 AXI 总线和 AHB 总线的优点,兼具高速性和易用性,它具有如下特性:

- 相比 AXI 和 AHB 而言,ICB 的协议控制更加简单,仅有两个独立的通道,如图 3-1 所示,读和写操作共用地址通道,共用结果返回通道。
- 与 AXI 总线一样采用分离的地址和数据阶段。
- 与 AXI 总线一样采用地址区间寻址,支持任意的主从数目,譬如一主一从,一主多从,多主一从,多主多从等拓扑结构。
- 与 AHB 总线一样每个读或者写操作都会在地地址通道上产生地址,而非像 AXI 中只产生起始地址。
- 与 AXI 总线一样支持地址非对齐的数据访问,使用字节掩码 (Write Mask) 来控制部分写操作。
- 与 AXI 总线一样支持多个滞外交易 (Multiple Outstanding Transaction)。
- 与 AHB 总线一样不支持乱序返回乱序完成。反馈通道必须按顺序返回结果。
- 与 AXI 总线一样非常容易添加流水线级数以获得高频的时序。
- 协议非常简单,易于桥接转换成其他总线类型,譬如 AXI, AHB, APB 或者 TileLink 等总线。

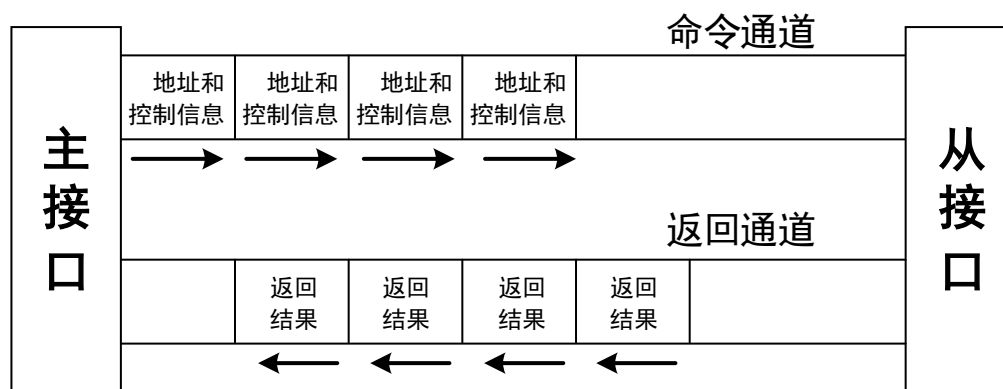


图 3-1 ICB 总线示意图

### 3.1. ICB 总线协议信号

ICB 总线主要包含 2 个通道。ICB 总线信号列表如表 3-1 所示：

- 命令通道（Command Channel）：Command Channel 主要用于主设备向从设备发起读写请求。
- 返回通道（Response Channel）：Response Channel 主要用于从设备向主设备返回读写结果。

表 3-1 ICB 总线信号

通道	方向	宽度	信号名	介绍
<b>Command Channel</b>	Output	1	icb_cmd_valid	主设备向从设备发送读写请求信号
	Input	1	icb_cmd_ready	从设备向主设备返回读写接受信号
	Output	32	icb_cmd_addr	读写地址
	Output	1	icb_cmd_read	读或是写操作的指示。读则以总线宽度（譬如 32 位）为单位读回一个数据。写则靠字节掩码（icb_cmd_wmask）控制写数据的大小（Size）。
	Output	32	icb_cmd_wdata	写操作的数据，数据的摆放格式与 AXI 协议一致
	Output	4	icb_cmd_wmask	写操作的字节掩码，掩码的摆放格式与 AXI 协议一致
<b>Reponse Channel</b>	Input	1	icb_rsp_valid	从设备向主设备发送读写反馈请求信号
	Output	1	icb_rsp_ready	主设备向从设备返回读写反馈接受信号
	Input	32	icb_rsp_rdata	读反馈的数据，数据的摆放格式与 AXI 协议一致
	Input	1	icb_rsp_err	读或者写反馈的错误标志

### 3.2. ICB 总线协议时序

有关 ICB 总线协议时序的细节请参见中文书籍《手把手教你设计 CPU——RISC-V 处理器篇》的第 12 章。

### 3.3. 本 SoC 总线结构

本 SoC 总线结构如图 2-1 中所示：

- 通过系统存储总线，访问 SoC 中的若干存储组件，譬如 ROM，Flash 的只读区间等。
- 通过私有设备接口访问 SoC 中的若干设备，譬如 UART，GPIO 等等。

有关 SoC 的结构和组件以及地址分配，请参见后文。

## 4. N100 系列内核配套 SoC 存储资源

如图 2-1 中所示，N100 系列内核配套 SoC 中的存储器资源分为片上存储资源和片外 Flash 存储资源，下面分别予以介绍。

### 4.1. 片上存储资源

N100 系列内核配套 SoC 的片上存储资源主要有 ILM 和 DLM，以及挂载在系统存储总线上的 ROM。

- ILM 为处理器内核的指令存储器，其特性如下：
  - 大小可配置。
  - 可配置的地址区间（默认起始地址为 `0x8_0000`），见第 5 章中 SoC 的完整地址分配。
  - 在此配套 SoC 中，ILM SRAM 虽然主要用于存放指令，但是其地址区间也可以被用来存放数据。处理器核可以通过 SoC 的系统存储总线访问到 ILM。
- DLM 为处理器内核的数据存储器，其特性如下：
  - 大小可配置。
  - 可配置的地址区间（默认起始地址为 `0x9_0000`），见第 5 章中 SoC 的完整地址分配。
  - 在此配套 SoC 中，DLM SRAM 虽然主要用于存放数据，但是其地址区间也可以被用来存放指令。处理器核可以通过 SoC 的系统存储总线访问到 DLM。
- ROM 挂载在系统存储总线上，其特性如下。
  - 大小为 4KB。
  - 默认仅存放了一条跳转指令，将直接跳转至 ILM 的起始地址位置开始执行。

### 4.2. 片外 Flash 存储资源

N100 系列内核配套 SoC 的片外存储资源主要为 Flash 存储器，其要点如下：

- 外部 Flash 可以利用其 XiP（Execution in Place）模式，通过 QSPIo 被映射为一片只读的地址区间，地址区间为 `0x2_0000 ~ 0x3_FFFF`。

- 用户可以通过调试器将开发的程序烧写在 **Flash** 中，然后利用 **Flash** 的 **XiP** 模式，程序可以直接从 **Flash** 中被执行。见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章，了解 **QSPIo** 和 **Flash XiP** 模式的更多信息。

## 5. N100 系列内核配套 SoC 地址分配

N100 系列内核配套 SoC 的总线地址分配如表 5-1 所示。

表 5-1 N100 系列内核配套 SoC 地址分配表

总线分组	组件	地址区间	描述
Core 内部私有	DEBUG	0x0_0000 ~ 0x0_0FFF	注意：调试模块（Debug Module）主要供调试器使用，普通软件程序不应该使用此区间
系统存储（MEM）接口	ROM	0x0_1000 ~ 0x0_1FFF	片上 ROM 模块
	ILM	0x8_0000 ~	ILM 地址区间，区间大小取决于 ILM 配置的大小。
	DLM	0x9_0000 ~	DLM 地址区间，区间大小取决于 ILM 配置的大小。
	Off-Chip QSPi Flash Read	0x2_0000 ~ 0x3_FFFF	QSPi 处于 Flash XiP 模式时将外部 Flash 映射的只读地址区间。
系统外设	GPIO	0x1_3000 ~ 0x1_3FFF	GPIO 地址区间。
	UART0	0x1_4000 ~ 0x1_4FFF	第一个 UART 模块地址区间
	QSPi0	0x1_5000 ~ 0x1_5FFF	第一个 QSPi 模块地址区间
	PWM0	0x1_6000 ~ 0x1_6FFF	第一个 PWM 模块地址区间
	UART1	0x1_7000 ~ 0x1_7FFF	第二个 UART 模块地址区间
	QSPi1	0x1_8000 ~ 0x1_8FFF	第二个 QSPi 模块地址区间
	PWM1	0x1_9000 ~ 0x1_9FFF	第二个 PWM 模块地址区间
	QSPi2	0x1_A000 ~ 0x1_AFFF	第三个 QSPi 模块地址区间
	PWM2	0x1_B000 ~ 0x1_BFFF	第三个 PWM 模块地址区间
	I2C Master	0x1_F000 ~ 0x1_FFFF	I2C Master 模块地址区间
其他地址区间	表中未使用到的地址区间，均为写忽略，读返回 0		

## 6. N100 系列内核配套 SoC 的上电流程控制

N100 系列内核配套 SoC 中处理器核上电复位之后,可以从如下两个不同的地址进行执行程序。

### ■ 从外部 Flash 开始执行。

- 由于映射的外部 Flash (Off-Chip QSPIo Flash Read) 的地址区间位于 `0x2_0000 ~ 0x3_FFFF`, 因此如果从外部 Flash 开始执行, 则 RISC-V 处理器核的 PC 复位值为 `0x20000`。
- 用户可以通过调试器将开发的程序烧写在 Flash 中, 利用 Flash 的 XiP 模式, 程序可以直接从 Flash 中被执行。见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章, 了解 QSPIo 和 Flash XiP 模式的更多信息。
- 注意: 在 FPGA 版本中(代码中包含了 ``ifdef FPGA_SOURCE`), 处理器会以该模式(从外部 Flash 开始执行)进行启动。

### ■ 从内部 ROM 开始执行。

- 由于在 N100 系列内核配套 SoC 中内部 ROM 的地址区间位于 `0x0000_1000 ~ 0x0_1FFF`, 因此如果从内部 ROM 开始执行, 则 RISC-V 处理器核的 PC 复位值为 `0x0_1000`。
- 在 ROM 中存放的代码为固定代码, 执行完固定代码后, 直接跳转至 ILM (地址为 `0x8_0000`) 中继续执行。
- 注意: 在仿真版本中(代码中包含了 ``ifndef FPGA_SOURCE`), 处理器会以该模式(从内部 ROM 开始执行)进行启动。

## 7. N100 系列内核配套 SoC 顶层引脚表

N100 系列内核配套 SoC 的顶层引脚如表 7-1 所示。

表 7-1 N100 系列内核配套 SoC 顶层引脚

端口方向	IOFo	IOF1
Input	JTAG TCK	JTAG TCK 信号
Output	JTAG TDO	JTAG TDO 信号
Output	JTAG_DRV_TDO	JTAG TDO 的输出端口使能信号
Input	JTAG TMS	JTAG TMS 信号
Input	JTAG TDI	JTAG TDI 信号
Bidir	QSPI DQ 3	Quad SPI 数据线
Bidir	QSPI DQ 2	Quad SPI 数据线
Bidir	QSPI DQ 1	Quad SPI 数据线
Bidir	QSPI DQ 0	Quad SPI 数据线
Output	QSPI CS	Quad SPI 使能信号
Output	QSPI SCK	Quad SPI 时钟信号
Bidir	GPIO_0	32 根 GPIO 引脚
Bidir	GPIO_1	
Bidir	GPIO_2	
Bidir	GPIO_3	
Bidir	GPIO_4	
Bidir	GPIO_5	
Bidir	GPIO_6	
Bidir	GPIO_7	
Bidir	GPIO_8	
Bidir	GPIO_9	
Bidir	GPIO_10	
Bidir	GPIO_11	
Bidir	GPIO_12	
Bidir	GPIO_13	
Bidir	GPIO_14	
Bidir	GPIO_15	
Bidir	GPIO_16	
Bidir	GPIO_17	
Bidir	GPIO_18	
Bidir	GPIO_19	
Bidir	GPIO_20	
Bidir	GPIO_21	
Bidir	GPIO_22	
Bidir	GPIO_23	
Bidir	GPIO_24	
Bidir	GPIO_25	



Bidir	GPIO_26	
Bidir	GPIO_27	
Bidir	GPIO_28	
Bidir	GPIO_29	
Bidir	GPIO_30	
Bidir	GPIO_31	

## 8. N100 系列内核配套 SoC 的 GPIO 引脚分配

N100 系列内核配套 SoC 有 32 根 GPIO 引脚，这是 SoC 与外界连接的主要通用接口。GPIO 可以通过 IOFo 和 IOF1 功能，使得 SoC 中的外设能够复用 GPIO 的 32 根引脚与外界进行通信，GPIO 的 32 个 I/O 被 SoC 内部模块的复用分配如表 10-1 所示。

## 9. N100 系列内核配套 SoC 的中断处理

### 9.1. N100 系列内核的异常和中断处理

请参见《Nuclei\_N100 系列内核指令架构手册》了解 N100 系列内核的异常和中断处理机制。

### 9.2. IRQC 管理多个外部中断

请参见《Nuclei\_N100 系列内核指令架构手册》了解 N100 系列内核的 IRQC 单元。

IRQC 理论上可以支持高达 29 个外部中断源,在具体的 SoC 中连接的中断源个数可能不一样。IRQC 在此 SoC 中连接了 GIPO 生成的 29 根中断作为外部中断源, 其中断分配如表 9-1 所示。

表 9-1 IRQC 中断分配表

IRQC 中断源编号	来源
0	gpio_0
...	...
29	gpio_28

## 10. N100 系列内核配套 SoC 外设介绍

本章将对挂载在 SoC 的私有设备总线上的外设模块进行介绍。

### 10.1. GPIO

GPIO 全称为 General Purpose I/O，其要点如下：

- GPIO 用于提供一组 32 I/O 的通用输入输出接口。每个 I/O 可用被软件配置为输入或者输出，如果是输出可以设置具体的输出值。
- 每个 GPIO 的 I/O 均作为一个中断源连接到 IRQC 的中断源接口上。
- 每个 I/O 还可以被配置为 IOF（Hardware I/O Functions），也就是将 I/O 供 SoC 内部的其他模块复用，譬如 SPI，UART，PWM 等等。GPIO 的 32 个 I/O 被 SoC 内部模块的复用分配如表 10-1 所示，其中每个 I/O 均可以供两个内部模块复用，软件可以通过配置每个 I/O 使其选择 IOF0 或者 IOF1 来选择信号来源。

表 10-1 GPIO 接口的内部模块复用分配表

GPIO Pin 编号	IOF0	IOF1
0		PWMo_0
1		PWMo_1
2	QSPI1:SS0	PWMo_2
3	QSPI1:SD0/MOSI	PWMo_3
4	QSPI1:SD1/MISO	
5	QSPI1:SCK	
6	QSPI1:SD2	
7	QSPI1:SD3	
8	QSPI1:SS1	
9	QSPI1:SS2	
10	QSPI1:SS3	PWM2_0
11		PWM2_1
12	I2C:SDA	PWM2_2
13	I2C:SCL	PWM2_3
14		
15		
16	UART0:RX	
17	UART0:TX	
18		
19		PWM1_1

20		PWM1_0
21		PWM1_2
22		PWM1_3
23		
24	UART1:RX	
25	UART1:TX	
26	QSPI2:SS	
27	QSPI2:SD0/MOSI	
28	QSPI2:SD1/MISO	
29	QSPI2:SCK	
30	QSPI2:SD2	
31	QSPI2:SD3	

有关此 GPIO 的详细介绍请参见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章。

## 10.2. QSPI

在本 SoC 中，有三个 QSPI 主接口，分别是：

### ■ Quad-SPI Flash:

- 专用于连接外部 Flash 的 Quad-SPI（QSPI）接口，有专用的 SoC 顶层引脚。
- 并且该 QSPI 接口还可以被软件配置成为 eXecute-In-Place（简称 XIP）模式，在此模式下，Flash 可以被当作一段只读区间直接被当做存储器读取。在默认上电之后，QSPI 即处于该模式之下，由于 Flash 掉电不丢失的特性，因此可以将系统的启动程序存放于外部的 Flash 中，然后处理器核通过 eXecute-In-Place 模式的 QSPI 接口直接访问外部 Flash 加载启动程序启动。

### ■ QSPI:

- 除了上述专用于 Flash 的 QSPI 接口之外，SoC 还有两个独立的 QSPI 接口控制器。一个 QSPI 使用四个片选信号（Chip Selects），一个 QSPI 使用一个片选信号。两个 QSPI 均复用 GPIO 的顶层引脚与外界通信。

有关此 QSPI 的详细介绍请参见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章。

## 10.3. UART

UART 全称为 Universal Asynchronous Receiver-Transmitter(通用异步接收-发射器), 本 SoC 有两个独立的 UART, 两个 UART 均复用 GPIO 的顶层引脚与外界通信。

有关此 UART 的详细介绍请参见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章。

## 10.4. PWM

PWM 全称为 Pulse-Width Modulator (脉宽调节器)。本 SoC 有三个独立的 PWM, 其中两个是 16 比特的精度, 另外一个为 8 比特的精度, 三个 PWM 均复用 GPIO 的顶层引脚与外界通信。

有关此 PWM 的详细介绍请参见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章。

## 10.5. I2C

本 SoC 有一个 I2C 主接口, 复用 GPIO 的顶层引脚与外界通信。有关此 I2C 的详细介绍请参见中文书籍《RISC-V 架构与嵌入式开发快速入门》第 6 章。