



HME 飞马 Pegasus P1P060 系列

FPGA 数据手册

2021 年 7 月

京微齐力（北京）科技有限公司

注意

© 2021 京微齐力（北京）科技有限公司版权所有

未经京微齐力（北京）科技有限公司书面许可，不得以任何形式或方式，如电子，机械，形式，包括影印、录音或其他数据储存和检索系统形式复制或转移此文档的任何部分，或将其翻译为其它任何语言或计算机语言。

所有商标均为京微齐力（北京）科技有限公司所有。

手册版本号

HME-P1(P060)DSC01

联系我们

如果您在使用我们的产品过程中有任何疑问或问题，请与京微齐力（北京）科技有限公司或者您当地的代理商联系，或发送邮件至：

sales@hercules-micro.com

环境保护

本产品中包含的某些物质可能会对环境或人体健康有害，为避免将有害物质释放到环境中或危害人体健康，建议采用适当的方法回收本产品，以确保大部分材料可正确地重复使用或回收。有关处理或回收的信息，请与当地权威机构联系。

声明

本手册中包含的信息已经仔细检查并认为是完全可靠的。但是，不对手册中可能或潜在的错误负责。京微齐力（北京）科技有限公司保留停止发布或修改手册而不事先通知的权利。为确保获得最新的产品信息，建议用户及时更新手册版本。

本手册介绍的产品并没有被授权用作为生命保障设备或系统中的关键部件。在此使用到的术语有如下定义：1.生命保障设备或系统是满足以下条件的设备或系统，(a)被通过手术植入人体内或 (b)用来保障或维持生命，当按照标签上的使用说明正确使用时，有理由认为其工作的中断将会给使用者带来巨大的伤害。2.所谓关键部件是指生命保障设备或系统中满足以下条件的部件，即有理由认为该部件中断工作将会导致整个生命保障设备或系统中断工作，或者是影响到后者的安全性和有效性。

版本信息

下表列出了本产品手册的历史版本信息。

发布日期	文档版本	修订信息
2021 年 7 月	HME-P1(P060)DSC01	初始版本

目录

1. 概述	6
特性	7
特性总结	8
2. FPGA	9
可编程逻辑块 (PLB)	9
LRAM 模块	10
嵌入式存储模块 (EMB)	10
EMB18K 端口定义	10
EMB18K 操作	11
EMB18K RAM 操作模式	12
冲突避免	15
DSP 模块	15
时钟资源	15
PLL	16
输入/输出模块 (I/O)	16
3. 系统资源	18
高速串行收发器	18
集成 PCI-E 端点模块	18
硬核 DDR2/3 存储器控制器和 PHY	18
双 12 位 1MSPS ADC	19
配置	19
4. 电气特性	20
直流电气特性	20
最大绝对额定值	20
电源规格	20
通用操作条件建议	21
通用核心漏电电流	21
I/O 引脚的通用直流特性	21
I/O 标准规格	22
DDR DC 规格	24
ADC 规格	26
收发器规格	26
交流特性	27

时钟性能.....	27
PLL 规格.....	27
I/O 时序	28
DDR 交流规格	28
PLB 性能	29
EMB 性能	30
DSP 性能.....	30
5. 引脚和封装	31
引脚定义和规则	31
封装信息	35
FBGA784 封装规格	35
FCBGA324 封装规格	37
6. 订购信息	39

本章为 HME-Pegasus 系列器件的特性概述。

1. 概述

HME-Pegasus P1P060 系列是一款低功耗，高性能和高密度 FPGA 器件，支持最先进的可编程逻辑、IO 扩展、高带宽存储器操作以及高速数据通信。Pegasus 系列采用成熟的 40nm CMOS 工艺，提供全新更高效的双寄存器加 LTU6 架构和丰富的内置系统级模块选择，其中包括 18Kb (2 x 9Kb) RAM 模块、第二代 DSP56V1 Slice、DDR 存储控制器和 PHY、增强型 PLL 和时钟管理模块、功率优化的高速串行收发器模块、PCI Express® 兼容端点模块、高级系统级电源管理模式、1MSPS XADC、自动检测配置选项以及具有 AES 保护的增强型 IP 安全。Pegasus P1P060 系列器件能够为高性能、高速计算设计及大容量逻辑设计的应用需求提供最佳解决方案。

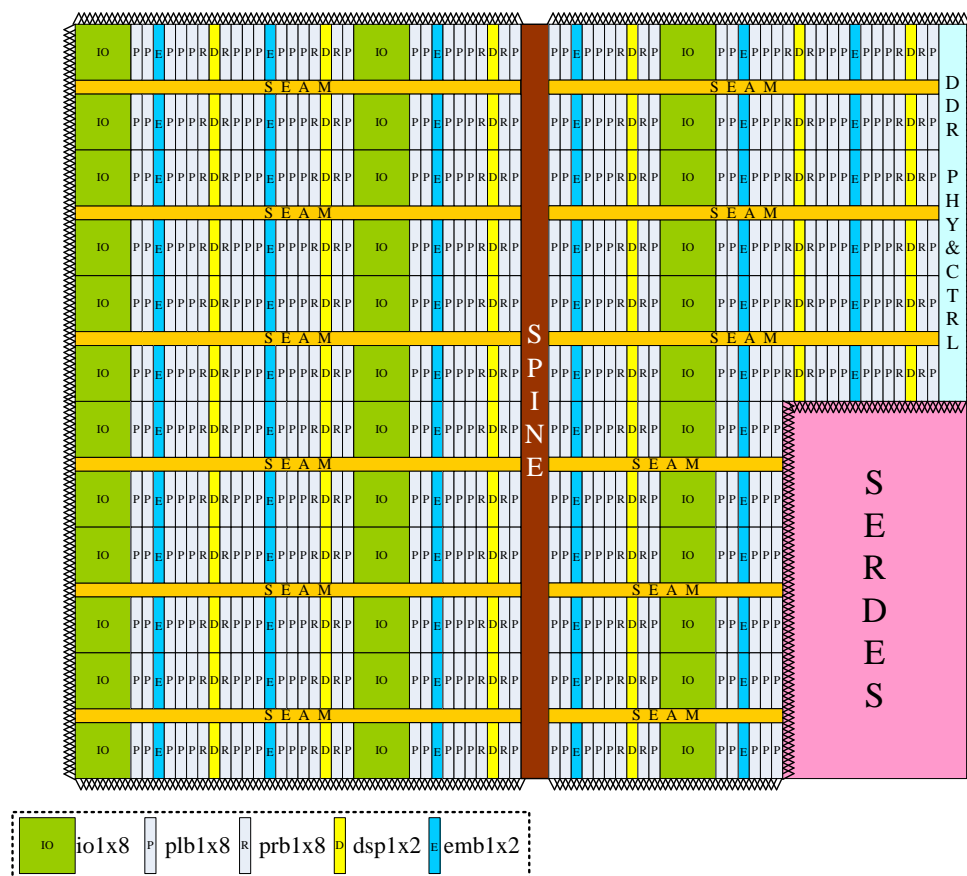


图 1 HME-Pegasus 系列 FPGA 架构

特性

❑ 基于 SRAM 的 FPGA 架构

- 36,864 个 6 输入 LUT
- 73,728 个 DFF 寄存器
- 快速进位链和多路选择器
- LRAM 存储高达 576Kb

❑ 嵌入式 RAM 存储器

- 双端口存储器，存储空间达 18Kb
- 每个 18Kb 存储器均可以配置成 2 个完全独立的 9Kb EMB 或 4 个独立的 4.5Kb EMB
- 支持 FIFO 控制器硬电路
- 支持 ECC

❑ 嵌入式 DSP 模块

- 每个 DSP 模块支持 36x18 运算或两个独立的 18x18 运算
- 灵活的预加法器
- 专用管道寄存器和级联线
- 算术逻辑运算
- 溢出、不足位或者相等检测

❑ 时钟资源

- 差分或单端时钟输入
- 32 路全球时钟源
- 4 个支持倍频、分频、相移及偏斜校正的 PLL

❑ 多电压，多标准，多 Bank I/O

- 支持 3.3V/2.5V/1.8V/1.5V/1.2V LVTTL/LVCMOS
- 支持 PCI/PCI-X
- 支持 LVDS, RSDS, PPDS, TMDS, Mini-LVDS, LVPECL 差分 I/O 标准
- 每个差分 LVDS I/O 可达 1.3Gb/s 数据传输速率

- 支持 MIPI D-PHY 接口

- 支持热插拔

❑ 硬核内存控制器和 PHY

- 支持 32/16 位 DDR2/3
- 数据速率高达 1333 Mb/s
- 通道 SDII / AXI 总线
- 支持 ECC

❑ 高速串行收发器

- 集成通用 PCS 功能
- 支持 8b / 10b, 64 / 66b 编解码器
- 数据速率从 300M ~ 6.5Gb / s
- 动态重新配置
- 支持 PCI-E/SGMII/XAUI/串行快速 IO/CPRI (1-10X) /JESD204B 协议

❑ 硬核 PCI-E

- 支持 Gen1/2 端点
- 支持 x1、x2、x4 多通道收发器

❑ 双 12 位 1MSPS ADC

- 多达 14 个通道
- 监控芯片温度和电压

❑ 配置

- JTAG 模式
- 主动串行模式 (AS, x1/2/4 线)
- 被动串行模式 (PS, x1/8/16 线)
- 支持配置数据压缩
- 支持 SEU 检测

❑ 安全

- 256 位 AES 配置文件流加解密
- 基于 Efuse 的保护功能

特性总结

表 1 特性总结

型号		P1P060
可编程逻辑块 (PLB)	Logic cells 逻辑单元	58,982
	LUT6	36,864
	Register (DFF-based) DFF 寄存器	73,728
嵌入式内存模块 (EMB)	LRAM	576 Kb
	18Kb EMB	144
	9Kb EMB	288
	Total EMB 总 EMB	2,592 Kb
时钟&锁相环	PLL	4
	全局时钟	32
DSP	DSP Slice (DSP56V1)	144
	18 x 18 乘法器	288
硬核 IP	PCI Express Gen1/2	1
	DDR2/3 (PHY & controller) ⁽¹⁾	1
	Transceiver Configurable 300M~6.5G	4
	XADC(1MSPS) ⁽²⁾	2
封装 (单位: mm)		最大用户 I/O (LVDS 对)
FBGA784(29x29x0.5)		477 (144)
VFBGA324(15x15x0.5)		209 (64)

表 2 器件封装组合和可用 I/O

封装	尺寸 (mm*mm)	收发器	DDR
VFBGA324	15*15	0	16b
FBGA784	29*29	4	32b

注意:

- (1) 如果使用 DDR IP, 所有 DDR 引脚都不能用作 I/O。
- (2) ADC 可用于监测内部芯片温度和电压。

本章主要介绍 HME-Pegasus 系列器件的 PLB、EMB、DSP 模块、时钟资源、PLL 以及 I/O 模块。

2. FPGA

可编程逻辑块（PLB）

可编程逻辑块（Programmable Logic Block, PLB）是 FPGA 的基本结构逻辑块，由 LE 和 Xbar 组成。其结构见下图所示。一个 LE 包含四个互连的 LP（Logic Parcel, 逻辑包）。LE 的逻辑资源用于实现时序和组合逻辑电路。

Xbar 可路由和传递各基本模块之间的信号。

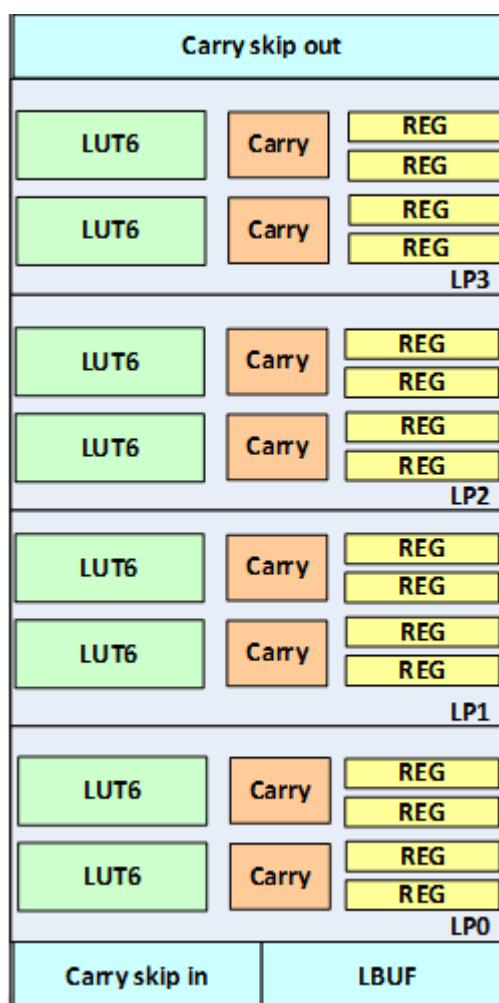


图2 PLB 结构示意图

LP 是基本的可编程逻辑元件。LP 包括下列元件，通过这些元件可提供逻辑和算术功能：

- ☐ 2 个 6 输入查找表（LUT6）
- ☐ 四个寄存器
- ☐ 进位，级联，移位和算术逻辑
- ☐ 快速宽位多路选择器

LRAM 模块

LRAM 是分布式嵌入式 RAM，可用作 32b 或 64b 存储器。其功能特性如下：

- ☐ 1 个 LRAM 用作 1 个 LRAM64
- ☐ 1 个 LRAM 用作两个 LRAM32
- ☐ 1 个 LRAM 用作 1 个 SR32
- ☐ 1 个 LRAM 用作两个 SR16
- ☐ 支持单/双端口读/写操作

嵌入式存储模块（EMB）

HME-Pegasus 系列器件支持嵌入式存储器模块（EMB），该 EMB18K 模块排成一行。EMB18K 模块为真双端口存储器，允许独立访问两个端口。每个端口都有其专用的数据线，控制线和时钟线，用于同步读取和写操作。

EMB18K 具有以下功能：

- ☐ 每个 18Kb 存储器均可以配置成 2 个完全独立的 9Kb EMB 或 4 个独立的 4.5Kb EMB
- ☐ 混合时钟模式
- ☐ 可以单独配置 A，B 数据位宽
- ☐ 支持写优先或者读优先
- ☐ 旁路或寄存器输出
- ☐ 可配置 RAM 或 FIFO 模式
- ☐ 每个 EMB18K 提供一个 64 位纠错编码块
- ☐ 初始化文件，在 RAM 和 ROM 模式下预加载存储器数据
- ☐ 提供三种存储器模式（tdp, sdp, sp）HME-P1 系列 FPGA 拥有芯片全局复位输入 CRST_N，低电平有效。该引脚上拉到 3.3V，外接一个电容形成 RC 电路，上电的时刻执行初始化复位，开发者也可通过按键对其进行手动复位操作。

EMB18K 端口定义

双端口 EMB18K 原语信号定义如下表所示。

表 3 EMB18K 端口定义

端口名称	类型	位宽	描述
clka	I	1	A 端口输入时钟
cea	I	1	A 端口片选使能，高有效
wea	I	1	A 端口写使能，高有效
aa	I	12	A 端口地址总线
da	I	18	A 端口数据输入
clkb	I	1	B 端口输入时钟
ceb	I	1	B 端口片选使能，高有效
web	I	1	B 端口写使能，高有效
ab	I	12	B 端口地址总线
db	I	18	B 端口数据输入

端口名称	类型	位宽	描述
q	O	18	存储器 q 数据输出
wq_in	I	9	真双端口模式 EMB5K 输入
wq_out	O	9	真双端口模式 EMB5K 输出

表 4 EMB18K 参数

参数	类型	描述
modea_sel	字符串	A 端口使用模式设置： 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp（真双端口） 默认：256x18
modeb_sel	字符串	B 端口使用模式设置： 256x18, 512x9, 1kx4, 2kx2, 4kx1, wtdp（真双端口） 默认：256x18
porta_wr_through	字符串	A 端口写读模式，ture: 写优先或 false: 正常 默认：false
portb_wr_through	字符串	B 端口写读模式，ture: 写优先或 false: 正常 默认：false
init_file	字符串	EMB 初始文件 默认值：“”（无初始化文件）
operation_mode	字符串	EMB 工作模式 true_dual_port, single_port, simple_dual_port
porta_data_width	字符串	EMB 端口 a 数据位宽
portb_data_width	字符串	EMB 端口 b 数据位宽

EMB18K 操作

向 EMB18K 写入数据以及从 EMB18K 读取数据是在两个端口上分别独立进行的同步操作。

当“we”和“ce”信号在 clk 的上升沿为高时，“d”输入线的数据将被写入由地址线“a”线寻址的 EMB18K 存储单元中。“wr_through”参数控制两种写操作，如果“wr_through”在写操作时为“true”，写数据也会被传送到“q”输出总线；如果“wr_through”在写操作时为“false”，“q”保持前面的值不变。两种操作的波形图分别如下所示。

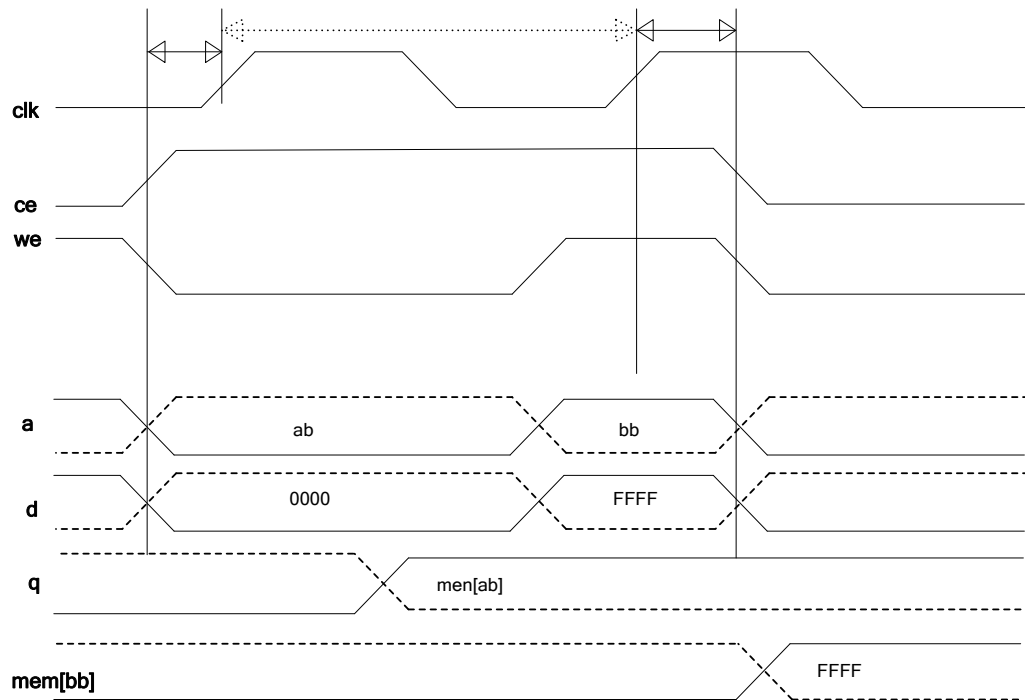


图3 “wr_through”为“false”时的波形图

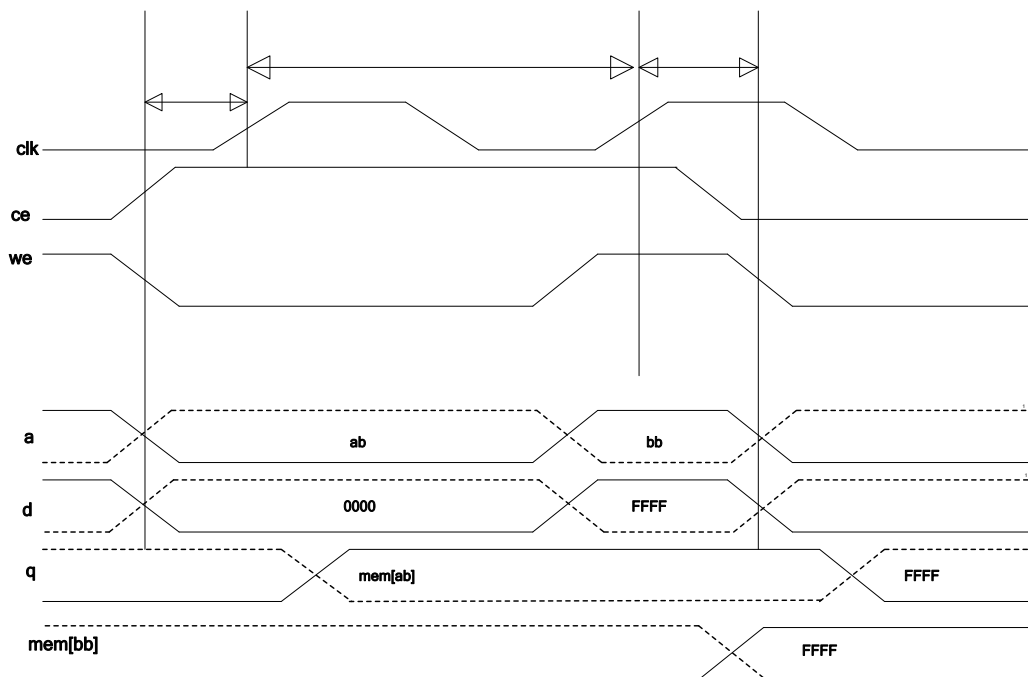


图4 wr_through”为“true”时的波形图

EMB18K RAM 操作模式

EMB18K 真双端口

EMB18K 支持双端口操作的任意组合：两个读操作，两个写操作，或不同时钟频率下一个端口读一个端口写操作。下图为真双端口存储器配置。

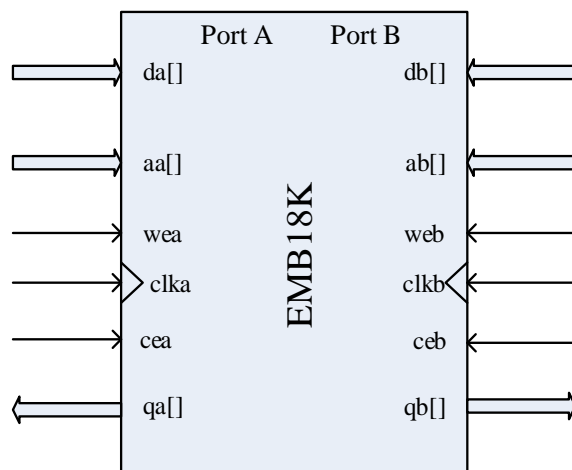


图 5 真双端口存储器模式

表 5 真双端口存储器模式描述

端口名称	类型	描述
aa (b)	输入	端口 A (B) 地址。
da (b)	输入	端口 A (B) 数据输入。
qa (b)	输出	端口 A (B) 数据输出。
wea (b)	输入	端口 A (B) 写使能。当 wea (b) 和 cea (b) 都为“高”时，数据在时钟的上升沿被写入存储器。
cea (b)	输入	端口 A (B) 使能。当 cea (b) 为“高”而 wea (a) 为“低”时，将从存储器的 aa (b) 地址读取数据；如果 cea (b) 为“低”，则 qa (b) 保持其值不变。
clka (b)	输入	端口时钟。

EMB18K 简单双端口

EMB18K 支持简单双端口存储器模式：一个端口进行读操作，一个端口进行写操作。下图为简单双端口存储器配置。

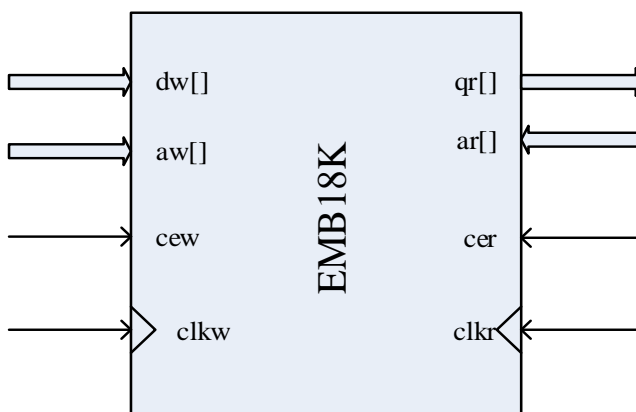


图 6 简单的双端口存储器模式

表 6 简单双端口存储器模式端口描述

端口名称	类型	描述
dw	输入	写数据
aw	输入	写地址
clkw	输入	写时钟
cew	输入	写使能，高有效。
qr	输出	读数据。
ar	输入	读地址。
cer	输入	读使能，高有效。
clkr	输入	读时钟。

表 7 简单双端口配置

写端口	读端口						
	4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18
4K × 1	√	√	√	√			
2K × 2	√	√	√	√			
1K × 4	√	√	√	√			
512 × 8	√	√	√	√			
512 × 9					√		
256 × 16	√	√	√	√		√	
256 × 18							√

EMB18K 单端口

EMB18K 支持单端口存储器模式，如下图所示。

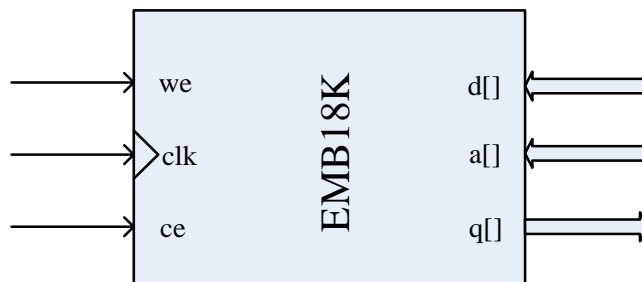


图 7 单端口存储器模式

表 8 单端口存储器模式端口说明

端口名称	类型	描述
d	输入	写数据。
a	输入	写地址。
we	输入	写使能，高有效。
clk	输入	写时钟。
ce	输入	端口使能，高有效。
q	输出	读数据。

表 9 单端口配置

Port 端口						
4K×1	2K×2	1K×4	512×8	512×9	256×16	256×18

冲突避免

在双端口存储器模式下，两个端口都可以在任意时间读取任意一个存储器的地址。如果两个端口访问同一个地址时，读和写操作时钟应注意保持一定的时序约束，这些约束适用于同步时钟和异步时钟。

DSP 模块

HME-Pegasus 系列器件具有 DSP MAC 块，可以实现许多二进制乘法器和累加器等 DSP 应用。

DSP 块包含一个 36 x 18 位二进制补码乘法器和一个 56 位符号扩展累加器，可以实现数字信号处理（DSP）各种算法。可配置的输入输出寄存器，能够实现算法的流水线式操作，提高数据变换和传递的吞吐率。

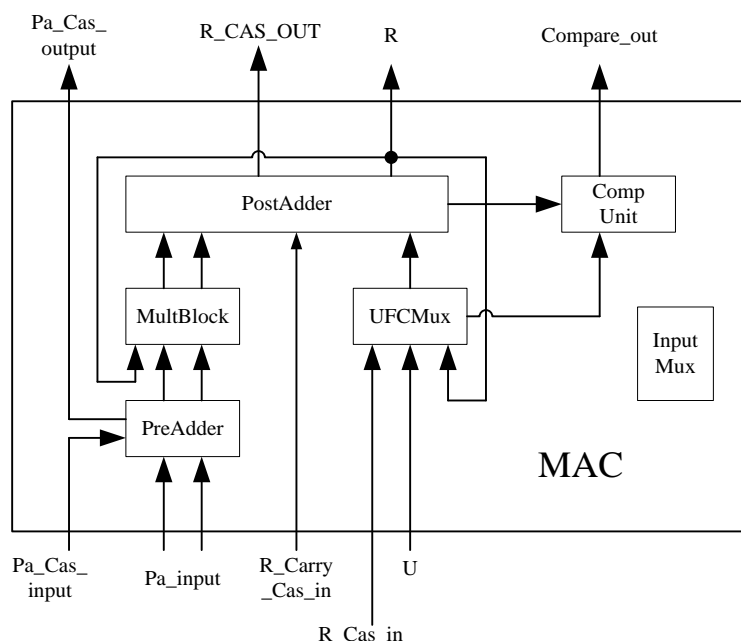


图 8 DSP 模块框图

DSP 的功能特色如下：

- ❑ 36 x 18 位二进制补码乘法器，计算结果为全精度 56 位
- ❑ 每个 DSP 可用作两个独立的 18x18 乘法器
- ❑ 灵活的预加法器，带可选的寄存器输入
- ❑ 灵活的 56 位后累加器/减法器，带可选的寄存器反馈
- ❑ 寄存器无需占用空间，即可确保最大的时钟性能和最大采样率
- ❑ 比较单元可做相等检查

时钟资源

HME-Pegasus 系列器件提供了丰富的时钟线，以满足高扇出，短传播延迟和极低偏移的不同时钟要求。全局时钟通常由 PLL 和时钟输入引脚驱动。

PLL

HME--Pegasus PLL 是一款通用性高性能时钟发生器，可用作更宽频率范围的频率合成器。它也可以通过旁路模式用作时钟缓冲器。PLL 具有可编程的输出频率，使用 8 位输入分频器（DIVN），8 位反馈分频器（DIVM），1 位 VCO 后置分频器（DIVFB）和六个 8 位输出分频器（DIVCx）进行配置。

PLL 具有以下功能特性：

- ☐ PFD 比较频率：10MHz~450MHz
- ☐ VCO 工作频率：600MHz~1400MHz
- ☐ 输出频率：1.17MHz~700MHz
- ☐ 支持手动或者自动时钟切换
- ☐ 支持内部中心扩频时钟发生器（SSCG）以及具有典型调制频率的扩频输入
- ☐ 6 个单端时钟输出
- ☐ 支持小数除数（非整数）除法器
- ☐ 支持动态相移
- ☐ 偏斜校正模式
- ☐ 时钟锁定检测
- ☐ 掉电模式
- ☐ 旁路模式

输入/输出模块（I/O）

输入/输出模块（Input/output Block, IOB）提供一个可编程的双向接口，芯片内部信号通过 I/O 引脚与外部交互。

器件中的 I/O 引脚以组（模块化 I/O bank）的形式进行分布，包括常规 I/O bank、LVDS I/O bank、DDR I/O bank、配置 I/O bank 以及 ADC 模拟 bank。每个 Bank 都有一些通用的 VDDIO 输出电源电压引脚，这些引脚还为某些输入缓冲器供电。

I/O 具有以下特性：

- ☐ 支持 3.3V/2.5V/1.8V/1.5V/1.2V LVTTTL/LVCMOS
- ☐ 支持 PCI/PCI-X
- ☐ 支持 LVDS, RSDS, PPDS, TMDS, Mini-LVDS, LVPECL 差分 I/O 标准
- ☐ 每个差分 LVDS I/O 可达 1.3Gb/s 数据传输速率
- ☐ 支持 MIPI D-PHY 接口
- ☐ 支持 LVPECL 差分 IO 标准
- ☐ 支持 1.8V/1.5V SSTL I, II 类单端/差分 IO 标准
- ☐ 可编程的串并转换比率控制
- ☐ 可编程的驱动强度
- ☐ 可编程的上拉、下拉和总线保持器
- ☐ 可编程的输入/输出延迟
- ☐ 可编程的 1: N (2/4/6/8/10/12/14/16) DDR 串行器

- ☐ 可编程的 1: N (2/3/4/5/6/7/8) SDR 串行器
- ☐ 支持快速 IO
- ☐ 支持热插拔

本章主要介绍 HME-Pegasus 系列器件的系统资源，包括高速串行收发器、集成 PCI-E 端点模块、硬核 DDR2/3 存储器控制器和 PHY、双 12 位 1MSPS ADC 等。

3. 系统资源

高速串行收发器

HME-Pegasus P1P060 系列器件采用千兆收发器电路。每个收发器都结合了发射器和接收器的功能，能够以 300M~6.5Gb/s 的数据速率工作。发射器和接收器的电路相互独立，使用 PLL 将参考频率输入相乘，成为位串行数据时钟。

收发器的功能特性如下：

- ☐ 集成通用 PCS 功能（8b/10b，64/66b）
- ☐ 数据速率支持 300M~6.5Gb/s
- ☐ 动态重新配置数据速率（自定义速度协议）
- ☐ 支持 PCI-E/SGMII/XAUI/串行快速 IO/CPRI（1-10X）/JESD204B 协议

集成 PCI-E 端点模块

PCI Express 标准是基于数据包的点对点串行接口标准。差分信号传输使用嵌入式时钟，从而消除了传统宽并行总线的时钟到数据的偏斜问题。

PCI Express 基本规范 3.0 定义了每个信道、每个方向（发送和接收）的比特率为 5Gb/s。当使用 8B/10B 编码时，支持每信道 5Gb/s 的数据速率。

HME-Pegasus P1P060 系列器件包含一个集成端点模块，该模块符合 PCI Express 基本规范 3.0 规范修订版 1.0。PCIe 模块可以实现 PCI Express 协议的物理层、数据链路层和事务处理层。它还实现了应用程序依赖功能的 PCI Express 事务处理层用于数据包传输，该功能位于应用程序逻辑和 PCI Express 协议层之间。

PCIe 的 PHY 接口复用到高速串行收发器，通过差分对与外部的端点通信。

物理层分布在 PIPE 上，这样 MAC 功能（LTSSM，信道到信道之间的偏斜校正）位于核心，PHY 功能则在 PIPE 兼容 PHY 中实现。

PIPE 接口在内核内部。PHY 的外部接口由一个或多个发送和接收差分对组成。

硬核 DDR2/3 存储器控制器和 PHY

DDR 存储器 PHY 提供控制功能，以简化用户对 PHY 数字控制功能的实现，例如初始化、DQS 训练延迟线校准和 VT 补偿、写均衡和可编程配置控制。用户使用 PHY 通过硬核 DDR 存储器控制器访问外部的 DDR2/3 存储器。

- ☐ DDR2 支持 400 Mbps 至 1066 Mbps，DDR3 支持 800 Mbps 至 1333 Mbps
- ☐ DDR2 控制器功能符合 JEDEC 标准 JESD79-2E
- ☐ DDR3 控制器功能符合 JEDEC 标准 JESD79-3C
- ☐ 支持 ECC 功能

- ☐ 支持 BIST（内置自检）功能
- ☐ 2 个 SDII / AXI 端口

双 12 位 1MSPS ADC

12 位 ADC 是逐次逼近式模数转换器。它拥有多达 16 个多路复用通道，可以测量来自 14 个外部源和两个内部源（即功率和温度传感器）的信号。通道的 A/D 转换可采用单次、连续、扫描或间断方式进行。允许应用程序检测输入电压是否超出了用户定义的较高或者较低阈值来触发看门狗功能。

- ☐ 支持双 12 位 1MSPS ADC
- ☐ 操作模式：连续，单次扫描，偏移校准，增益校准转换
- ☐ 监控内部供电电压和温度传感器
- ☐ 2 对专用模拟输入，用于消除噪声抑制
- ☐ 12 个通用模拟输入

配置

HME-Pegasus SRAM 器件可以配置如下：

- ☐ 支持主动串行模式（AS，SPI x1/2/4 接口读取外部 SPI Flash）。
- ☐ 支持被动串行模式（PS，外部主机通过 SPI 接口配置器件）。
- ☐ 支持被动并行模式（PP，外部主机可以通过并行接口配置器件）。
- ☐ JTAG 模式（外部主机可以通过标准 JTAG 接口配置器件）。

除上述灵活的配置模式外，Pegasus 配置引擎还支持以下特殊功能：

- ☐ 配置数据压缩
- ☐ AES 配置文件流加密和解密
- ☐ SEU 检测

本章主要介绍 HME-Pegasus 系列器件的电气特性，包括直流及交流特性，供用户快速搜索和查询。

4. 电气特性

所有参数指最差的供电电压和结点温度。如无特殊说明，以下信息适用于：同一商业和工业级别规定的交流和直流特性。所有参数均为电压对地时的值。

直流电气特性

最大绝对额定值

超过下表最大绝对额定值可能会导致器件永久性损坏。这些值仅表示在该额定值下操作不会损坏器件，但不表示器件在此极限值下功能正常。器件的功能性操作或基于此的任何条件最大绝对额定值可能会导致器件永久损坏。器件长期在极值条件下运行，会严重影响器件的可靠性。

表 10 最大绝对额定值

标识	描述	条件	最小	最大	单位
VDD_CORE	内部电源电压		-0.5	1.1	V
VDDIO	I/O 驱动器电源电压		-0.5	3.75	V
VIN	施加到所有用户 I/O 引脚和复用引脚的电压	驱动器处于高阻抗状态	GND-0.2		V
	施加于所有专用引脚的电压		GND-0.2		V
VESD	静电放电电压	人体模型 (1)	0	±2000	V
		充电设备模型 (2)	-	±500	V
		机器模型	-	±200	V
TJ	结点温度		-40	125	°C
TSTG	贮存温度		-65	150	°C

注意：

- (1) 对于 DDR SerDes，最大额定值为±1000V。
- (2) 对于 DDR SerDes，最大额定值为±250V。

电源规格

表 11 上电复位电源电压阈值

标识	描述	最小	最大	单位
VDDT	VDD 内核电源的阈值		0.75	V
VDDIO33T	VDDIO33 电源的阈值		2.1	V

表 12 电源电压上升速率

标识	描述	最小	最大	单位
VDDR	电源电平的上升速率	10		us
VDDIO33R	有效 VDDIO33 电源电平的上升速率	10		us

通用操作条件建议

表 13 基本操作条件建议

标识	参数	最小	典型	最大
TJ	结点温度	-40°C	25°C	125°C
VDD	核心电源	0.855V	0.9V	0.945V
DDR_AVDD_PLL	DDR PLL 电源	2.25V	2.5V	2.75V
VDDIO33	内部电源电压	2.25V	3.3V	3.465V
VDDADC	ADC 电源@ 3.3V	3.135V	3.3V	3.465V
	ADC 电源@2.5V	2.375V	2.5V	2.625V
VDDIO	I/O 供电电压@ 3.3V	2.97V	3.3V	3.63V
	I/O 供电电压@2.5V	2.375V	2.5V	2.625V
	I/O 供电电压@1.8V	1.71V	1.8V	1.89V
	I/O 供电电压@1.5V	1.425V	1.5V	1.575V
	I/O 供电电压@1.2V	1.14V	1.2V	1.26V
V _I	输入电压	-0.5	-	VDDIO +0.3
V _O	输出电压	-0.3	-	VDDIO
I _L	输入漏电流	±1μA		

通用核心漏电流

表 14 通用漏电流

标识	参数	最小	典型	最大
I _{slc}	静态漏电核心供电电流		TBD	

I/O 引脚的通用直流特性

表 15 I/O 引脚漏电流

标识	参数	最小	典型	最大
I _{ozl}	三态 I/O 引脚漏电流	-10uA	-	10uA
I _{il}	I 输入漏电流	-10uA	-	10uA
I _{iol}	VCC I/O 漏电流 (@ 3.3V)		TBD	

表 16 单端 I/O 引脚驱动强度

支持的电压和电流能力	属性	值
驱动强度	I/O 供电电压@ 3.3V	2mA
		4mA
		8mA
		12mA
		16mA
		24mA
	I/O 供电电压@ 2.5V	2mA
		4mA
		8mA
		12mA
		16mA
	I/O 供电电压@ 1.8V	2mA
		4mA
		8mA
		12mA
	I/O 供电电压@ 1.5V	2mA
		4mA
		8mA
	I/O 供电电压@ 1.2V	2mA
		4mA

表 17 单端 I/O 上拉和下拉电阻

标识	参数	最小	典型	最大	单位
R _{PU}	I/O 引脚上拉电阻值		75		kΩ
R _{pd}	I/O 引脚下拉电阻值		50		kΩ

表 18 I/O 热插拔

标识	参数	最小	典型	最大	单位
I _{HSDC}	每个 I/O 引脚的直流电流		TBD		uA
I _{HSAC}	每个 I/O 引脚的交流电流		TBD		mA

I/O 标准规格

表 19 单端 I/O 标准输入直流规格

I/O 标准	VDDIO (V)			Vil (V)	Vih (V)
	最小	典型	最大	最大	最小
3.3V LVTTL 和 LVCMOS	3.135	3.3	3.465	0.8	1.7
2.5V LVTTL 和 LVCMOS	2.375	2.5	2.625	0.7	1.7

I/O 标准	VDDIO (V)			Vil (V)	Vih (V)
	最小	典型	最大	最大	最小
1.8V LVTTTL 和 LVCMOS	1.710	1.8	1.890	0.35 x VDDIO	0.65 x VDDIO
1.5V LVTTTL 和 LVCMOS	1.425	1.5	1.575	0.35 x VDDIO	0.65 x VDDIO
1.2V LVTTTL 和 LVCMOS	1.14	1.2	1.26	0.35 x VDDIO	0.65 x VDDIO

表 20 单端 I/O 标准输出直流规格

标准	测试条件		电压阈值	
	Iol (mA)	Ioh (mA)	最大 Vol (V)	最小 Voh (V)
3.3V LVTTTL	4	-4	0.4	2.4
3.3V LVCMOS	0.1	-0.1	0.4	VDDIO - 0.4
2.5V LVTTTL 和 LVCMOS	1	-1	0.4	VDDIO - 0.4
1.8V LVTTTL 和 LVCMOS	2	-2	0.45	VDDIO - 0.45
1.5V LVTTTL 和 LVCMOS	2	-2	25%VDDIO	75%VDDIO
1.2V LVTTTL 和 LVCMOS			25%VDDIO	75%VDDIO

表 21 差分 I/O 标准输入直流规格

I/O 标准	VDDIO (V)			Vid (V)			Vicm (V)		
	最小	正常	最大	最小	正常	最大	最小	正常	最大
LVDS	2.375	2.5	2.625	0.1	0.35	0.6	0.1		2.0
Mini-LVDS	2.375	2.5	2.625	-	-	-	-	-	-
RSDS	2.375	2.5	2.625	-	-	-	-	-	-

表 22 差分 I/O 标准输出直流规格

I/O 标准	Vod (mV)			Delta(Vod) (mV)			Vocm (V)		
	最小	正常	最大	最小	正常	最大	最小	正常	最大
LVDS	250	350	600			50	1.075	1.25	1.425
Mini-LVDS	300	450	600	-	-	50	1.0	1.2	1.4
RSDS	100	200	600	-	-	50	0.5	1.2	1.5
BLVDS		600					1.075	1.25	1.425
TMDS	350	425	550					VDDIO - 0.36	VDDIO + 0.2

DDR DC 规格

表 23 DDR3 推荐工作电压

标识	参数	最小	正常	最大
DDR_VDDP	DDR3 IO 后置驱动器电源	1.425V	1.5V	1.575V
DDR_VDD	DDR3 预驱动器和核心逻辑电源	0.855V ⁽¹⁾	0.9V	0.945V
DDR_VREF	DDR3 IO 参考电压	$0.49 \cdot V_{\text{DDR_VDDP}}$	$0.5 \cdot V_{\text{DDR_VDDP}}$	$0.51 \cdot V_{\text{DDR_VDDP}}$
DDR_AVDD_PLL	PLL 模拟电源	2.25V	2.5V	2.75V
V _I	输入电压	0V		1.575V
V _O	输出电压	0V		1.575V
V _{IC}	核心输入电压	0V		1.0V
V _{OC}	核心输出电压	0V		1.0V
T _J	节点温度	-40°C	25°C	125°C

表 24 DDR2 推荐工作电压

标识	参数	最小	正常	最大
DDR_VDDP	DDR2 IO 后置驱动器电源	1.7V	1.8V	1.9V
DDR_VDD	DDR2 预驱动器和核心逻辑电源	0.855V ⁽¹⁾	0.9V	0.945V
DDR_VREF	DDR3 IO 参考电压	$0.49 \cdot V_{\text{DDR_VDDP}}$	$0.5 \cdot V_{\text{DDR_VDDP}}$	$0.51 \cdot V_{\text{DDR_VDDP}}$
AVDD_PLL	PLL 模拟电源	2.25V	2.5V	2.75V
V _I	Pad 输入电压	0V		1.9V
V _O	Pad 输出电压	0V		1.9V
V _{IC}	核心输入电压	0V		1.0V
V _{OC}	核心输出电压	0V		1.0V
T _J	节点温度	-40°C	25°C	125°C

注意:

- (1) 电源规格是当 DDRPHY 工作时在球栅上测得的供电电压和对应的接地差值。系统设计人员应确保电源系统 (PDS, power delivery system) 能够为 DDRPHY 提供足够高的功率。通常, 系统的供电应为正常电压, 并在 PCB 和封装中留下 10% 的电压 IR 压降。当电供电电压和对应的接地差值低于最小电压规格时, DDRPHY 不能保证正常工作。该值不涵盖由封装或 PCB 设计引起的有害 IR 压降。定义系统电源规格时, 系统设计人员应为 IR 压降添加足够的差额。

表 25 DDR3 的直流电气规格

标识	参数	条件	最小	正常	最大
DDR_V _{DDP}	SSTL_15 IO 电压		1.425V	1.5V	1.575V
DDR_V _{REF}	SSTL_15 参考电压		$0.49 \cdot \text{DDR_V}_{\text{DDP}}$	$0.5 \cdot \text{DDR_V}_{\text{DDP}}$	$0.51 \cdot \text{DDR_V}_{\text{DDP}}$
V _{TT}	SSTL_15 终端电压	$0.5 \cdot \text{DDR_V}_{\text{DDP}}$	$0.49 \cdot \text{DDR_V}_{\text{DDP}}$	$0.5 \cdot \text{DDR_V}_{\text{DDP}}$	$0.51 \cdot \text{DDR_V}_{\text{DDP}}$
V _{IH(DC)}	直流逻辑输入高		$\text{DDR_V}_{\text{REF}} + 0.1\text{V}$		$\text{DDR_V}_{\text{DDP}}$
V _{IL(DC)}	直流逻辑输入低		0		$\text{DDR_V}_{\text{REF}} -$

标识	参数	条件	最小	正常	最大
					0.1V
$V_{OH(DC)}$	直流逻辑输出高			$0.8 * DDR_V_{DDP}$	
$V_{OL(DC)}$	直流逻辑输出低			$0.2 * DDR_V_{DDP}$	
RON_{34PU}	驱动器直流上拉电阻 (34Ω)	$V_{OUT}=0.5*V_{DDR_VDDP}$	30.6 Ω	34 Ω	37.4 Ω
RON_{34PD}	驱动器直流下拉电阻 (34Ω)	$V_{OUT}=0.5*V_{DDR_VDDP}$	30.6 Ω	34 Ω	37.4 Ω
RON_{40PU}	驱动器直流上拉电阻 (40Ω)	$V_{OUT}=0.5*V_{DDR_VDDP}$	36 Ω	40 Ω	44 Ω
RON_{40PD}	驱动器直流下拉电阻 (40Ω)	$V_{OUT}=0.5*V_{DDR_VDDP}$	36 Ω	40 Ω	44 Ω

表 26 DDR2 的直流电气规格

标识	参数	条件	最小	正常	最大
DDR_V_{DDP}	SSTL_18 IO 电压		1.7V	1.8V	1.9V
DDR_V_{REF}	SSTL_18 参考电压		$0.49 * DDR_V_{DDP}$	$0.5 * DDR_V_{DDP}$	$0.51 * DDR_V_{DDP}$
V_{TT}	SSTL_18 终端电压	$0.5 * V_{DDR_VDDP}$	$DDR_V_{REF} - 40mV$	DDR_V_{REF}	$DDR_V_{REF} + 40mV$
$V_{IH(DC)}$	直流逻辑输入高		$DDR_V_{REF} + 0.125 V$		DDR_V_{DDP}
$V_{IL(DC)}$	直流逻辑输入低		0		$DDR_V_{REF} - 0.125V$
$V_{OH(DC)}$	直流逻辑输出高		2		
$V_{OL(DC)}$	直流逻辑输出低				2
RON_{PU}	驱动器直流上拉电阻		$33.75\Omega^{(1)}$	$37.5\Omega^{(1)}$	$41.25\Omega^{(1)}$
RON_{PD}	驱动器直流下拉电阻		$33.75\Omega^{(1)}$	$37.5\Omega^{(1)}$	$41.25\Omega^{(1)}$

注意:

- (1) DDR2 IO 中的 RON_{PU} 和 RON_{PD} 在内部级联一个 20Ω 串行电阻, 因此 RON_{PU} 和 $RON_{PD} = (17.5\Omega + 20\Omega) = 37.5\Omega$ 。使用 DDR2 应用时, PCB 设计中不需要 R_s (串行电阻)。
- (2) 最大 $VOH(DC)$ 和最小 $VOL(DC)$ 值取决于驱动器 RON , 终端电压和终端电阻值, $VOH(DC)$ 和 $VOL(DC)$ 的要求是确保接收器输入电压可以满足 $VIH(DC)$ 和 $VIL(DC)$ 的规格要求。例如, 如果终端为 25Ω 且 $V_{TT} = 0.793v$, $DDR_V_{ref} = 0.833v$, $DDR_V_{DDP} = 1.7v$, 则 $VOH(DC)_{min} = (1.7v - 0.793v) * 25\Omega / (25\Omega + 41.25\Omega) + 0.793v = 1.1352v$, $V_{IN} - DDR_V_{ref} = 0.302v$, 大于 $VIH(DC) = 0.125v$; 如果终端为 25Ω 且 $V_{TT} = 0.873v$, $DDR_V_{ref} = 0.833v$, $DDR_V_{DDP} = 1.7v$, 则 $VOL(DC)_{max} = 0.873v - 0.873v * 25\Omega / (25\Omega + 41.25\Omega) = 0.5435v$, $DDR_V_{ref} - V_{IN} = 0.2895v$, 大于 $VIL(DC) = 0.125v$ 。

ADC 规格

表 27 ADC 规格

条件：除非另有规定，否则 $VDD_{ADC} = 2.5V$ ， $C_{EXT} = 0.1\mu F$ ， $SYSCLK = 32MHz$ ， $25^{\circ}C$

标识	描述	最小	典型	最大
VDDADC	模拟电源	2.375V	2.5V	2.625V
		3.135V	3.3V	3.465V
VREFP			1.0V	
VREFN			0	
输入电压范围 ($V_{inP}-V_{inN}$)		-1V		1V
输入电容			10	
ENOB			62dB	
SNDR	差分输入		69dB	
SFDR			+/-0.7LSB	
DNL			+/-1LSB	
INL			1MSPS	
转换速度	clk 循环数			32
转换时间				32 MHz
ADC 时钟频率			-60dB	
信道串扰	带校准			1.0%
片上电源监控器错误	带校准			$\pm 4^{\circ}C$
片上温度监控器错误	工作电流@ 3.3V		3.6mA	

收发器规格

表 28 电气特性

标识	描述	最小	典型	最大	单位
直流供电电源引脚要求					
AVCCR	Rx 模拟电路的 0.9V 供电电源	0.855	0.90	0.945	V
AVCCT	Tx 模拟电路的 0.9V 供电电源	0.855	0.90	0.945	V
DVDD	PCS 数字电路的 0.9V 供电电源	0.855	0.90	0.945	V
AVTTRX	收发器 Rx 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVTTTX	收发器 Tx 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCRPI	Rx 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCTPI	Tx 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCPLL	PLL 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCVCO	PLL 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCBIAS	BG 模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCAUX	辅助模拟电路的 1.2V 供电电源	1.14	1.2	1.26	V
AVCCBG	BG 模拟电路的 2.5V 供电电源	2.25	2.5	2.75	V
交流供电电源引脚要求					
VDD_0.9V	0.9V 模拟核心供电电压最大交流电源噪音			0.03	Vpk-

标识	描述	最小	典型	最大	单位
	从 1KHz 到 10MHz 的总集成峰峰值噪音				pk
VDD_1.2V	1.2V 模拟核心供电电压最大交流电源噪音 从 1KHz 到 10MHz 的总集成峰峰值噪音			0.03	Vpk-pk
VDD_2.5V	2.5V 模拟核心供电电压最大交流电源噪音 从 1KHz 到 10MHz 时的总集成峰峰值噪音			0.03	Vpk-pk

交流特性

由于时序参数及其典型值是常规的设计重要参数，也是器件的基本性能参数，因此专门列出供用户参考，见以下各表。

时钟性能

表 29 全局时钟性能

标识	最大频率	单位
GCLK	550	MHz

PLL 规格

表 30 PLL 规格

标识	描述	最小	正常	最大	单位
VDDIO	模拟电源电压	2.25	3.3	3.63	V
DVDD	数字电源电压	0.855	0.9	0.945	V
Fin	输入时钟频率	10		700	MHz
Fpfd	PFD 输入频率	10		450	MHz
Fvco	VCO 操作频率	600		1400	MHz
Fout	输出频率	1.17		700	MHz
Tlock	锁定时间			200	us
Duty	输出时钟占空比	45	50	55	%
N	输入分频器	1		256	--
M	循环分频器	1		256	--
C0~C5	输出分频器	1		256	--
Ndly	输出时钟延迟	0		255	--
Terr	静态相位误差	-10		10	Degree
Trst	外部复位时间		50	100	ns
Tjit	峰峰值抖动		150		ps

I/O 时序

表 31 LVDS I/O 性能

IO 标准	属性	最小	正常	最大
LVDS	Duty 占空比	45		55
	Frequency 频率			650MHz

表 32 DDR I/O 性能

标准	属性	最小	典型	最大
DDR	占空比			
	抖动			
	频率			667MHz

DDR 交流规格

表 33 SSTL_15 发射器和接收器的交流电气规格

标识	参数	条件	最小	正常	最大
VIH(AC)	交流逻辑输入高		DDR_ VREF+0.15V		DDR_ VDDP
VIL(AC)	交流逻辑输入低		0		DDR_ VREF-0.15V
VOH(AC)	交流逻辑输出高			VTT +0.1* DDR_ VDDP	
VOL(AC)	交流逻辑输出低			VTT -0.1* DDR_ VDDP	

表 34 SSTL_18 发射器和接收器的交流电气规格

标识	参数	条件	最小	正常	最大
VIH(AC)	交流逻辑输入高		DDR_ VREF+0.25V		
VIL(AC)	交流逻辑输入低				DDR_ VREF-0.25V
VOH(AC)	交流逻辑输出高		(1)		
VOL(AC)	交流逻辑输出低				(1)

注意:

- (1) 最大 VOH (AC) 和最小 VOL (AC) 值取决于驱动器 RON, 终端电压和终端电阻值, VOH (AC) 和 VOL (AC) 的要求是确保接收器输入电压可以满足 VIH (AC) 和 VIL (AC) 的规格要求。例如, 如果终端为 25Ω, VTT = 0.793v, DDR_Vref = 0.833v, DDR_VDDP = 1.7v, 则 VOH (AC) min = (1.7v- 0.793v) *25Ω/ (25Ω+41.25Ω) + 0.793v = 1.1352v, VIN –

DDR_Vref = 0.302v, 大于 $V_{IH}(AC) = 0.25v$; 如果终端为 25Ω , $V_{TT} = 0.873v$, $DDR_V_{ref} = 0.833v$, $DDR_V_{DDP} = 1.7v$, 则 $V_{OL}(AC)_{max} = 0.873v - 0.873v * 25\Omega / (25\Omega + 41.25\Omega) = 0.5435v$, $DDR_V_{ref} - V_{IN} = 0.2895v$, 大于 $V_{IL}(AC) = 0.25v$ 。

表 35 硬宏时钟时序规范

标识	描述	输入时钟频率 (MHz)	工作频率 (mbps)	最小 (ps)	正常 (ps)	最大 (ps)
t_{IPERJ}	DDR PHY hard macro 的输入时钟周期抖动	333	1333			± 55
		266	1066			± 62.5
		200	800			± 75
		166	667			± 87.5
t_{ICJ}	DDR PHY hard macro 的输入时钟周期差抖动	333	1333			110
		266	1066			125
		200	800			150
		166	667			175
t_{OCJ}	PLL 的输入时钟周期差抖动		1333			± 30
			1066			± 40
			800			± 50
			667			± 60
t_{ψ}	PLL 锁定时的静态相位错误					± 50
t_{IR}	输入时钟上升时间					100
t_{IF}	输入时钟下降时间					100

PLB 性能

表 36 PLB 性能

标识	描述	最小	最大	单位
ADD16	16 位加法器性能@推荐的工作条件。		350	MHz
ADD32	32 位加法器性能@推荐的工作条件。		300	MHz
ADD64	64 位加法器性能@推荐的工作条件。		280	MHz
CNT8	8 位计数器性能@推荐的工作条件。		500	MHz
CNT16	16 位计数器性能@推荐的工作条件。		480	MHz
CNT32	32 位计数器性能@推荐的工作条件。		460	MHz

EMB 性能

表 36 EMB 性能

标识	描述	最小	最大	单位
EMB9K	使用寄存器路径		-	MHz
	不使用寄存器路径		-	MHz
EMB18K	使用寄存器路径		260	MHz
	不使用寄存器路径		250	MHz

DSP 性能

标识	描述	最小	最大	单位
DSP 18x18 位乘法器	DSP 使用寄存器路径。		320	MHz
	DSP 未使用寄存器路径。		300	MHz
DSP 36x36 位乘法器	DSP 使用寄存器路径。		300	MHz
	DSP 未使用寄存器路径。		280	MHz

本章主要列出 HME-Pegasus 系列器件的引脚和封装信息，供用户快速搜索查询。

5. 引脚和封装

引脚定义和规则

表 37 引脚定义和规则

引脚名称	方向	描述
用户 I/O 引脚		
IOXX_# IO_XXY_#	输入/输出	通用用户 I/O 引脚。XX 表示一个 Bank 中的 I/O 编号；Y 表示差分 I/O 对的 p 或 n。
多功能引脚		
IOXXX/ZZZ_# IO_XXY/ZZZ_#	-	多功能引脚标记为 IOXXX/ZZZ_# and IO_XXY/ZZZ_#，ZZZ 表示除通用的用户 I/O 外，下述功能中的一个或多个功能。 如未用于其固有的特定功能，则可作用户 I/O 使用。
多功能引脚：SPI 串行配置引脚		
SCK	输入/输出	在 PS 配置模式下，SCK 为时钟输入，用于将配置数据从外部设备源输入设备。 在 AS 配置模式下，SCK 为器件的时钟输出。 配置完成后，该引脚可用作常规用户 I/O。
SDI	输出	AS 模式下的专用配置数据输出引脚。在 AS 模式下配置完成后，该引脚可用作常规用户 I/O。
SDO	输入	AS 模式下通过 SPI Flash 输入串行数据。 配置后，该引脚可用作常规用户 I/O。
SS	输入/输出	片选。在 AS 模式下输出片选 SPI Flash；PS 模式下，外部主机片选器件。配置后，该引脚可用作常规用户 I/O。
HOLD	输出	SPI Flash 保持信号。
WP	输出	SPI Flash 写保护信号。
PS_BUSY	输出	PP 模式下设备忙，高电平有效。
PS_D[15:0]	输入	PS 模式下从主机输入数据。
多功能引脚：配置引脚		
CONF_DONE	输出	专用配置状态引脚，配置过程中输出为高。配置后，该引脚可用作常规用户 I/O。
CRST_N	输入	芯片全局复位输入，低电平有效。
专用引脚：JTAG		
TCK	输入	TCK 输入边界扫描时钟。

引脚名称	方向	描述
TDI	输入	TDI 输入边界扫描数据输入。
TDO	输出	TDO 输出边界扫描数据输出。
TMS	输入	TMS 输入边界扫描模式选择。
多功能引脚：时钟引脚		
CC/GC	输入	这些时钟引脚连接至全局时钟缓冲器。 CC 为局部时钟输入管脚。 GC 为全芯片时钟输入管脚 当不需要时钟时，这些引脚成为常规用户 I/O。
专用引脚：DDR 引脚		
DQ[31:0]	输入/输出	数据输入/输出
ECC_DQ[7:0]	输入/输出	ECC 数据输入/输出
DM[3:0]	输出	输入数据掩码
DQS0/1, DQS0/1N	输入/输出	数据选通
VREF0, VREF1	N/A	参考电压
CKE	输出	时钟使能
BA[2:0]	输出	Bank 地址输入
A[14:0]	输出	地址输入
CLK, CLKN	输出	DDR 时钟
RASN	输出	命令输入
CASN	输出	命令输入
WEN	输出	命令输入
RESETN	输出	DDR 复位，低电平有效。
ODT	输出	片上终止
CSN	输出	片选，低电平有效
DDR_AVDD_PLL	N/A	DDR PLL 电源，2.5V
DDR_VDDP	N/A	DDR3 IO 后驱动器电源，DDR3 为 1.5V，DDR2 为 1.8V
DDR_VREF	N/A	$0.5 * VDDR_VDDP$
DDR_VDD		DDR3 预驱动器和核心逻辑电源，0.9V
专用引脚：收发器引脚		
RXP0/RXN0	输入	信道 lane0 差分数据输入引脚，高速 10Gb/s 和潜在的 ESD 危害
RXP1/RXN1	输入	信道 lane1 差分数据输入引脚，高速 10Gb/s 和潜在的 ESD 危害。
RXP2/RXN2	输入	信道 lane2 差分数据输入引脚，高速 10Gb/s 和潜在的 ESD 危害。
RXP3/RXN3	输入	信道 lane3 差分数据输入引脚，高速 10Gb/s 和潜在的 ESD 危害。
TXP0/TXN0	输出	信道 lane0 差分数据输出引脚，高速 10Gb/s 和潜在的 ESD 危害。

引脚名称	方向	描述
TXP1/TXN1	输出	信道 lane1 差分数据输出引脚，高速 10Gb/s 和潜在的 ESD 危害。
TXP2/TXN2	输出	信道 lane2 差分数据输出引脚，高速 10Gb/s 和潜在的 ESD 危害。
TXP3/TXN3	输出	信道 lane3 差分数据输出引脚，高速 10Gb/s 和潜在的 ESD 危害。
REFCLKP/ REFCLKN	输入	参考时钟差分输入引脚，最大 650 MHz。
RREF	N/A	用于校准的精确基准电阻引脚。
AVTTRX0/1/2/3	N/A	Rx 模拟电路的 1.2V 供电电源。
AVTTTX0/1/2/3	N/A	Rx 模拟电路的 1.2V 供电电源。
AVSSA	N/A	Tx/Rx 模拟电路的 1.2V 接地。
AVCCRPI1/2	N/A	Rx 模拟电路的 1.2V 供电电源。
AVSSRPI1/2	N/A	Rx 模拟电路的 1.2V 接地。
AVCCR1/2	N/A	Rx 模拟电路的 0.9V 供电电源。
AVSSR1/2	N/A	Rx 模拟电路的 0.9V 接地。
AVCCTPI1/2	N/A	Tx 模拟电路的 1.2V 供电电源。
AVSSTPI1/2	N/A	Tx 模拟电路的 1.2V 接地。
AVCCT1/2	N/A	Tx 模拟电路的 0.9V 供电电源。
AVSST1/2	N/A	Tx 模拟电路的 0.9V 接地。
AVCCPLL1	N/A	PLL 模拟电路的 1.2V 供电电源。
AVSSPLL1	N/A	PLL 模拟电路的 1.2V 接地。
AVCCVCO	N/A	PLL 模拟电路的 1.2V 供电电源。
AVSSVCO	N/A	PLL 模拟电路的 1.2V 接地。
AVCCPLL2	N/A	PLL 模拟电路的 1.2V 供电电源。
AVSSPLL2	N/A	PLL 模拟电路的 1.2V 接地。
AVCCBG	N/A	BG 模拟电路的 2.5V 供电电源。
AVSSBG	N/A	BG 模拟电路的 2.5V 接地。
AVCCBIAS	N/A	BG 模拟电路的 1.2V 供电电源。
AVSSBIAS	N/A	BG 模拟电路的 1.2V 接地。
AVCCAUX	N/A	辅助模拟电路的 1.2V 供电电源。
DVDD	N/A	PCS 数字电路的 0.9V 供电电源，应从 PCS 侧为 PMA 模块供电。
DGND	N/A	0.9V PCS 数字电路接地，应从 PCS 侧为 PMA 模块供电。
ATST	I/O	模拟测试 I/O 引脚，2.5V 电压域。
GREFCLK	输入	收发器 PHY 参考时钟源，来自用户逻辑、单端、0.9V TTL，时钟应小于 650MHz
TSTCK0	输出	数字测试输出接口，0.9V TTL 缓冲器，内部测试信号可通过此接口访问，以进行测试和调试。
TSTCK1	输出	数字测试输出接口，0.9V TTL 缓冲器，内部测试信号可以通过此接口访问，以进行测试和调试。

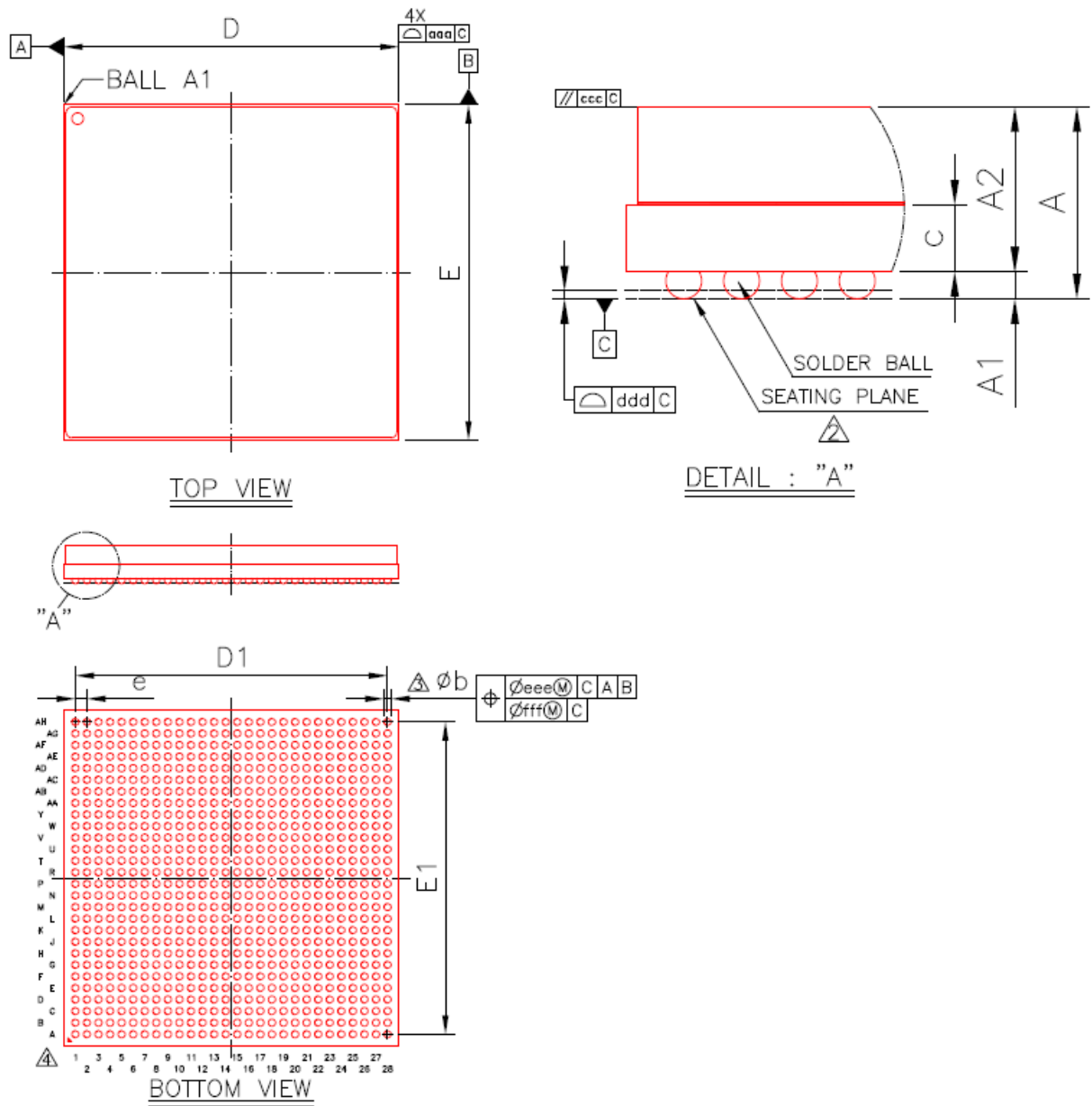
引脚名称	方向	描述
TSTCK2	输出	数字测试输出接口，0.9V TTL 缓冲器，内部测试信号可以通过此接口访问，以进行测试和调试。
TSTCK3	输出	数字测试输出接口，0.9V TTL 缓冲器，内部测试信号可以通过此接口访问，以进行测试和调试。
ESD_RAIL	输入/输出	ESD 总线可通过 PHY 中实例化的背对背二极管与芯片其余部分的公共 ESD 接地层短路。
专用引脚：ADC 引脚		
ADCI0-11P, ADCI0-11N	输入	ADC 输入引脚。如果不使用，可用作通用 IO。
ADC_VIPP, ADC_VIPN	输入	专用 ADC 输入。
ADC_VINP, ADC_VINN	输入	专用 ADC 输入。
ADC_VREFP, ADC_VREFN	输入	专用 ADC 参考。 当外部 1V 精确基准电压源（+/- 0.25%）连接到 VREFP 引脚时，ADC 可以工作在最佳性能。当 VREFP 悬空时，片上带隙基准电压源（1.00V +/- 3%）被激活。VREFP 和 VREFN 为模拟信号。为保证正常工作，需要在此引脚和 VREFN 引脚之间放置 CEXT（1uF~10uF）外部电容。
VDD_ADC	N/A	ADC 供电电压，3.3V 或 2.5V。
专用引脚：电源		
VDDIO33	N/A	配置数字电源，同时为所有 PLL 供电，3.3V。
VDDIO_X	N/A	IO 数字电源，1.5V，1.8V，2.5V 和 3.3V。 当 VDDIO_301,302,303 用作单端 I/O 时，电源电压必须不超过 2.5V，以免烧坏器件。
VDD_CORE	N/A	内核数字电源，1.1V。
VSS	N/A	数字接地。

注意：

- （1）VDDIO33为JTAG/SPI Flash的电源，必须高于2.5V。
- （2）电源时序要求：必须在VDDIO33之前接通VDD_CORE的电源。

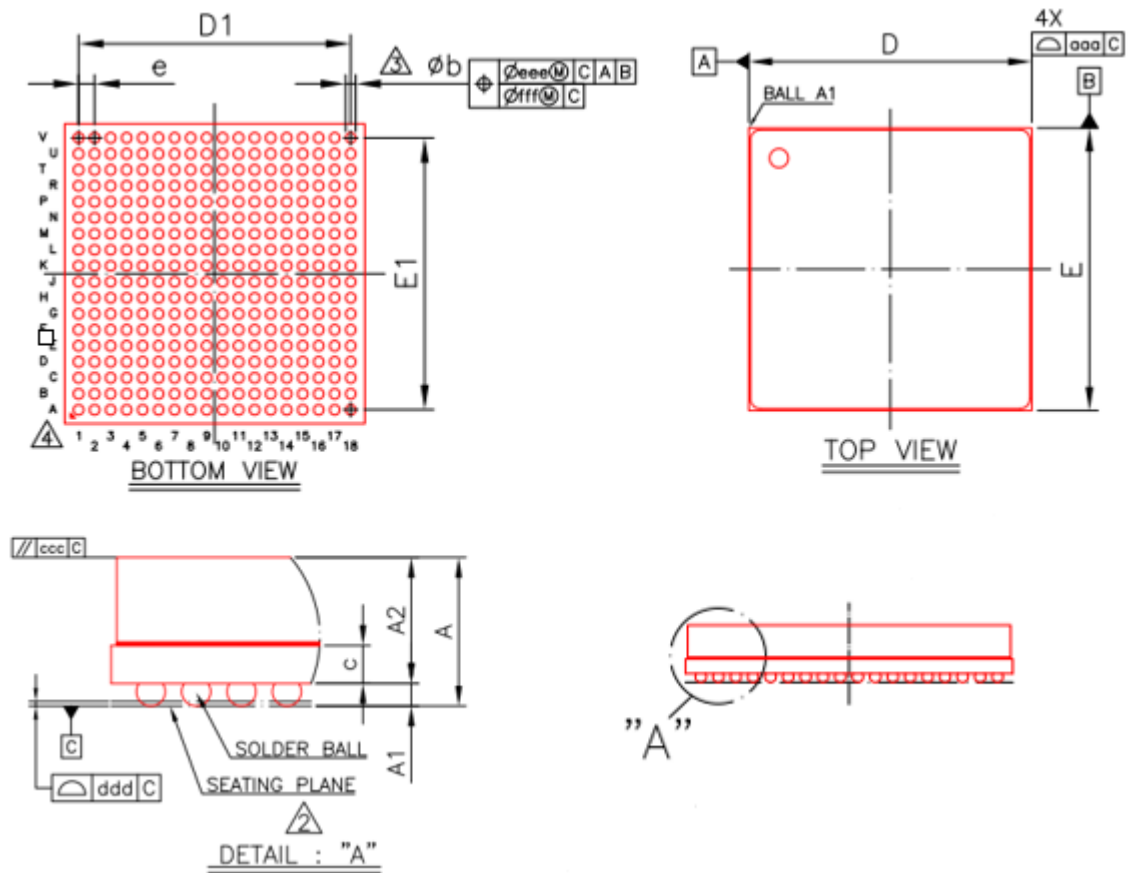
封装信息

FBGA784 封装规格



标识	尺寸 (mm)			尺寸 (inch)		
	最小	正常	最大	最小	正常	最大
A	-	-	2.480	-	-	0.098
A1	0.320	0.370	0.420	0.013	0.015	0.017
A2	1.350	1.400	1.450	0.053	0.055	0.057
c	0.490	0.550	0.610	0.019	0.022	0.024
D	28.900	29.000	29.100	1.138	1.142	1.146
D1	-	27.000	-	-	1.063	-
D2	22.500	22.600	22.700	0.886	0.890	0.894
D3	20.500	20.600	20.700	0.807	0.811	0.815
E	28.900	29.000	29.100	1.138	1.142	1.146
E1	-	27.000	-	-	1.063	-
E2	22.500	22.600	22.700	0.886	0.890	0.894
E3	20.500	20.600	20.700	0.807	0.811	0.815
e	-	1.000	-	-	0.039	-
b	0.450	0.500	0.550	0.018	0.020	0.022
aaa	0.150			0.006		
ccc	0.200			0.008		
ddd	0.200			0.008		
eee	0.150			0.006		
fff	0.100			0.004		
e	50" TYP			50" TYP		
N	784			784		
MD/ME	28 / 28			28 / 28		

VFBGA324 封装规格



标识	尺寸（mm）			尺寸（inch）		
	最小	正常	最大	最小	正常	最大
A	2.44	2.62	2.80	0.096	0.103	0.110
A1	0.35	0.40	0.45	0.014	0.015	0.018
A2	2.05	2.22	2.39	0.081	0.087	0.094
c	0.57	0.67	0.77	0.022	0.026	0.030
D	14.80	15.00	15.20	0.583	0.591	0.598
E	14.80	15.00	15.20	0.583	0.591	0.598
D1	-	13.60	-	-	0.535	-
E1	-	13.60	-	-	0.535	-
e	-	0.80	-	-	0.032	-
b	0.46	0.51	0.56	0.018	0.020	0.022
aaa	0.15			0.006		
ccc	0.35			0.014		
ddd	0.20			0.008		
eee	0.20			0.008		
fff	0.08			0.003		
MD/ME	18 / 18					

本章主要为 HME-Pegasus 系列器件的订购信息，供用户快速搜索查询。

6. 订购信息

所有的部件编号均遵循以下约定：

表 38 部件编号约定

厂商	产品系列	器件类型	查找表容量	Flash	收发器	封装类型	温度等级	速度等级
HME	P1	P	060	N0	T	F784	C	7

产品系列

☐ P1 飞马（Pegasus）系列

器件类型

☐ P FPGA

查找表容量

☐ 060 60K 查找表

配置 NVM（SPI-flash）选项

☐ N0 无 SPI-flash

收发器

☐ T 收发器

封装类型：<类型><#>

☐ C FCBGA

☐ F FBGA

☐ # 引脚编号（784 为 784 引脚...）

温度等级

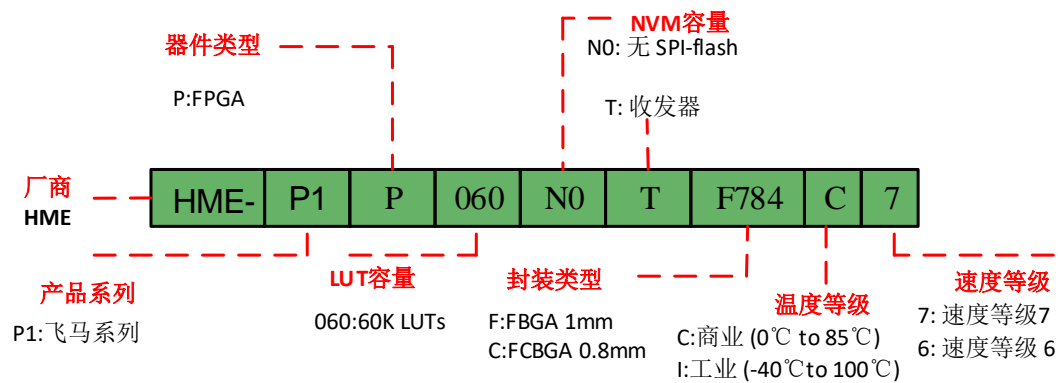
☐ C 商业（0℃ - 85℃）

☐ I 工业（-40℃ - 125℃）

速度等级

☐ # 速度（7 指速度等级为 7，6 指速度等级为 6，...）

示例: **HME- P1 P 060 N0 T F784 C 7**



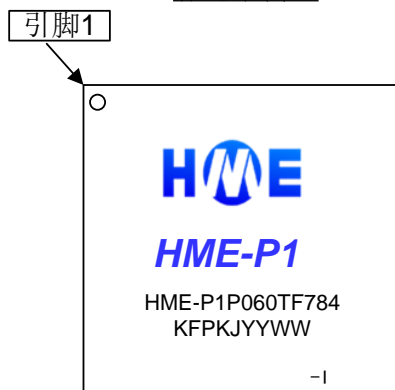
订购信息

产品	订购 P/N	等级
P1P060N0TF784C7	P1P060N0TF784	商业
P1P060N0TF784I7	P1P060N0TF784I	工业
P1P060N0V324C7	P1P060N0C324	商业
P1P060N0V324I7	P1P060N0C324I	工业

芯片标记信息:

- “C7”不会被标记。默认为商业级。
- 如果芯片上标记为“-I”，则为工业级。

标记示例:



第4行: 晶圆批号 (开始5位) + 日期代号 KFPKJYYWW
YYWW (实际装配工作周)
例如: YY (2015年) ---15
WW (第18周) ---18

第5行: 温度等级

- I: 工业级
- 商业级为空