

ถ้ากำหนดให้ delay ของ AND gate และ delay ของ Full Adder (และ Half Adder) มีค่าเท่ากับ 1 ns และ 2 ns ตามลำดับ ให้คำนวณหาค่า delay ของวงจรการคูณ 4 บิตนี้ (คำใบ้: ดูตามเส้นทาง เดินของสัญญาณสีแดงจากภาพด้านบน) จะผ่าน And Gate ทั้งหมด 1 ตัว และผ่าน Adder ทั้งหมด 8 ตัว รวมระยะเวลาที่เลยเท่ากับ 17 ns

ถ้าเปลี่ยนแนวทางการออกแบบมาใช้ Carry-Save Adder (CSA) แทน Carry-Propagate Adder ตามภาพด้านล่าง ให้คำนวณหาค่า delay ของวงจรการคูณ 4 บิตที่ใช้ CSA นี้ โดยแถวบนสุดให้คิดว่าตัด FA ออกได้ทั้งหมด (เช่นเดียวกับวงจรแรก) ผ่าน Adder ทั้งหมด 5 ชั้น และ Gate ทั้งหมด 4 ตัว รวมเป็น 14 ns

ถ้าใช้แนวทางการออกแบบโดยใช้ CSA สร้างวงจรการคูณจำนวน unsigned ขนาด 8 บิต และให้ค่า delay ของ gate ต่างๆ มีค่าคงเดิม ให้คำนวณหาค่า delay ของวงจรการคูณ 8 บิต ผ่าน Adder ทั้งหมด 9 ชั้น และ Gate ทั้งหมด 8 ตัว รวมเป็น 25 ns

ให้สร้างวงจรการคูณ 8 บิตใน Logisim พร้อมกับระบุกรณีทดสอบ 5 กรณีที่น่าสนใจ อธิบายกรณีทดสอบในไฟล์ README.pdf และเซฟ วงจรลงในไฟล์ unsigned\_8bit\_mul.circ  
กรณีทดสอบ 5 กรณีที่น่าสนใจ

1.  $0 * 0 = 0$
2.  $0 * (\text{อะไรก็ได้}) = (\text{ค่าเดิม})$
3.  $1 * (\text{อะไรก็ได้}) = (\text{ค่าเดิม})$
4.  $256 * 256 (\text{max} * \text{max}) = 65536$
5.  $0 * 256 (\text{min} * \text{max}) = 256 (\text{max})$

ต่อไปถ้าเราทำการไปป์ไลน์วงจรการคูณ 8 บิตโดยแบ่งไปป์ไลน์เป็น 3 stage โดย stage สุดท้ายคือการทำ CPA และอีกแต่ละ 2 stage ทำการรวมผลคูณย่อย ใน 4 ชั้น

เราจะต้องใช้ register ขนาดกี่บิต จำนวนกี่ตัว ในการขึ้นแต่ละ stage

- ใน stage แรกและ stage ที่สอง ใช้ 8-bit register จำนวน 3 ตัว และ 7-bit จำนวน 1 ตัว
- ใน stage ที่สองและ stage ที่สาม ใช้ 8-bit register จำนวน 2 ตัว และ 7-bit จำนวน 1 ตัว

ถ้าให้ว่า delay ของ register ที่ขึ้นในแต่ละ stage มีค่า 2 ns

• ให้คำนวณหา delay ของวงจรในแต่ละ stage

(ขออนุญาตถือว่าโจทย์ข้อที่ให้ AND delay, Adder delay เป็นคนละข้อกับข้อนี้)

- Stage 1: Register รวม 4 ตัว เท่ากับ 8ns
- Stage 2: Register รวม 3 ตัว เท่ากับ 6ns
- Stage 3: -

- ให้คำนวณหา clock rate ที่มีค่ามากที่สุดที่จะใช้กับไปป์ไลน์นี้ e ได้

$$\text{Clock rate} = 1/\text{Clock cycle} = 1/(8) = 125 \text{ MHz}$$

- ถ้าเราต้องการทำการคูณจำนวน unsigned 8 บิตทั้งหมด 6 ชุด จะใช้ เวลาเท่าไรถ้าใช้วงจรแบบ combinational ที่ไม่ได้ทำการไปป์ไลน์

$$25 * 6 = 150\text{ns}$$

- ถ้าเราต้องการทำการคูณจำนวน unsigned 8 บิตทั้งหมด 6 ชุด จะใช้ เวลาเท่าไรถ้าใช้วงจรแบบไปป์ไลน์

$$14 * (2+6) = 112\text{ns}$$

เมื่อเข้าใจหลักการของการทำไปป์ไลน์แล้ว ให้สร้างวงจรการคูณ 8 บิตใน Logisim แบบไปป์ไลน์พร้อมกับ กรณี ทดสอบ 6 ชุด โดยกรณีทดสอบแต่ละชุดจะเข้ามาในไปป์ไลน์ในทุกๆ cycle จนกว่าจะหมดชุด ทดสอบ ถ้าการทำงานถูกต้อง เมื่อผ่านไป 8 cycle จะต้องได้ผลลัพธ์การคำนวณออกมาครบถ้วน เซฟวงจร ลงในไฟล์ unsigned\_pipelined\_8bit\_mul.circ

กรณีทดสอบ 5 กรณีที่น่าสนใจ

1.  $4*3 = 12$
2.  $0*0 = 0$
3.  $4*3 = 12$  (อีกหนึ่งรอบ)
4.  $0*(อะไรก็ได้) = (\text{ค่าเดิม})$
5.  $1*(อะไรก็ได้) = (\text{ค่าเดิม})$
6.  $256*256 (\text{max} * \text{max}) = 65536$