

ALWAYS  
LEARNING

# Capitolo 3

## Livello logico digitale

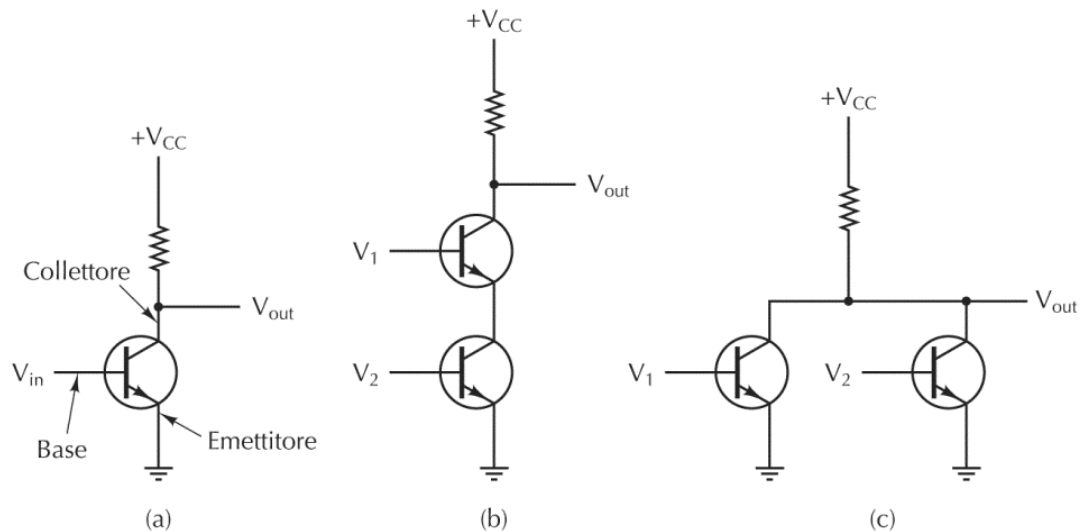
# Porte Logiche

## Tecnologie

### 1) Bipolari

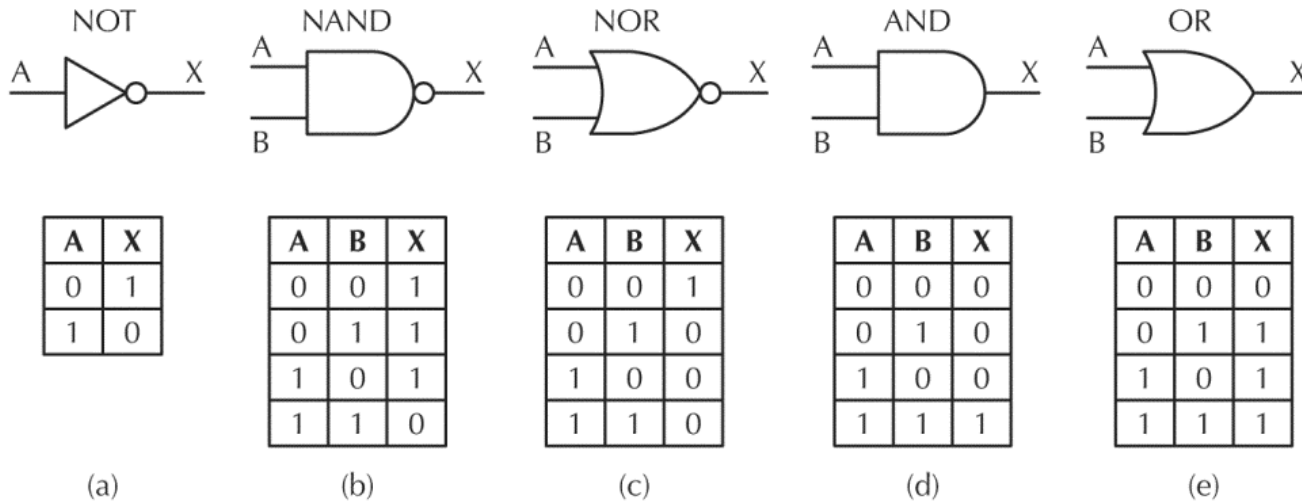
- TTL (Transistor Transistor Logic)
- ECL (Emitter-Coupled Logic)

### 2) MOS (Metal Oxide Semiconductor)



**Figura 3.1** (a) Un invertitore. (b) Una porta NAND. (c) Una porta NOR.

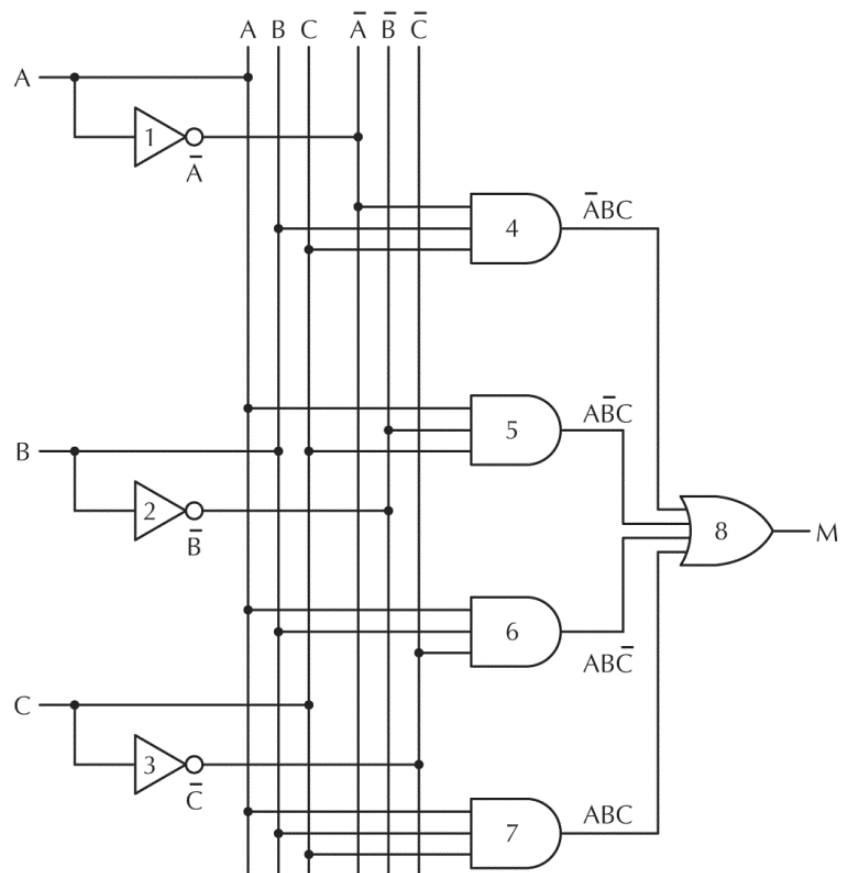
# Porte Logiche



**Figura 3.2** Simboli e comportamenti funzionali di cinque porte logiche elementari.

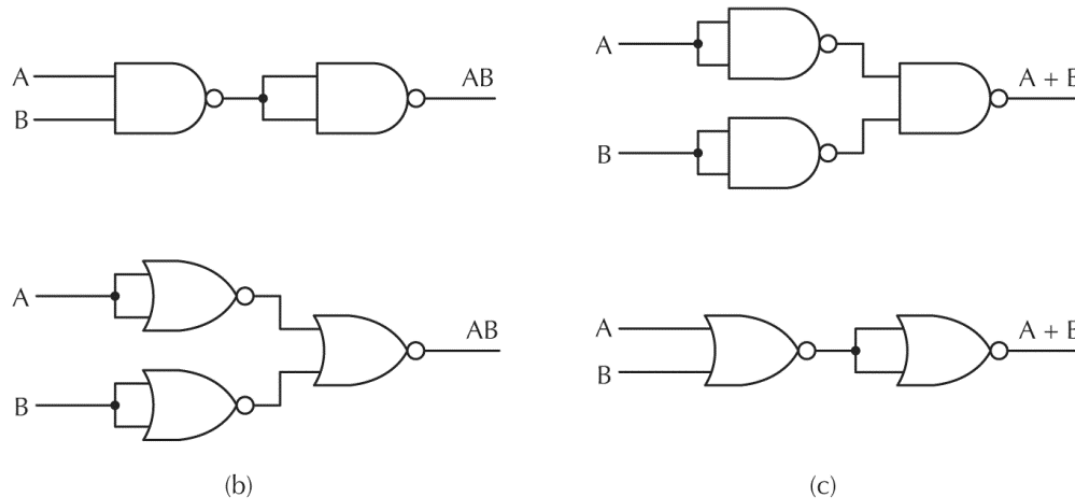
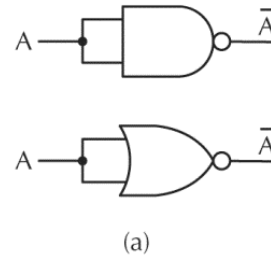
A	B	C	M
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(a)

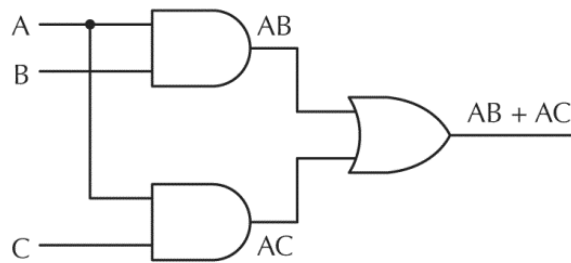


(b)

**Figura 3.3** (a) Tabella di verità della funzione di maggioranza di tre variabili. (b) Un circuito per (a).

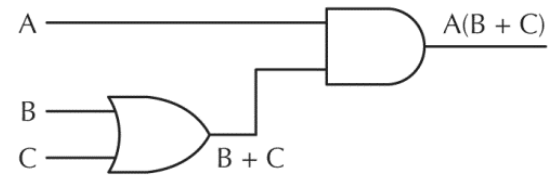


**Figura 3.4** Costruzione delle porte logiche (a) NOT, (b) AND e (c) OR utilizzando soltanto porte NOR.



A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1

(a)



A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

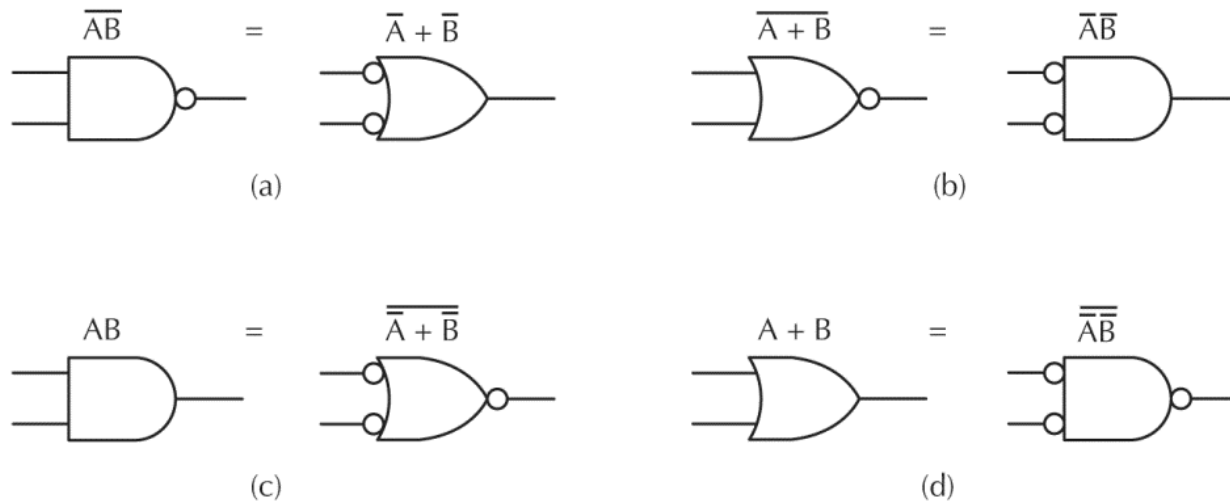
(b)

**Figura 3.5** Due funzioni equivalenti. (a)  $AB + AC$ . (b)  $A(B + C)$ .

Nome	Forma AND	Forma OR
Elemento neutro	$1A = A$	$0 + A = A$
Assorbimento	$0A = 0$	$1 + A = 1$
Idempotenza	$AA = A$	$A + A = A$
Complementazione	$\overline{AA} = 0$	$A + \overline{A} = 1$
Proprietà commutativa	$AB = BA$	$A + B = B + A$
Proprietà associativa	$(AB)C = A(BC)$	$(A + B) + C = A + (B + C)$
Proprietà distributiva	$A + BC = (A + B)(A + C)$	$A(B + C) = AB + AC$
Legge di assorbimento	$A(A + B) = A$	$A + AB = A$
Legge di De Morgan	$\overline{AB} = \overline{A} + \overline{B}$	$\overline{A + B} = \overline{A}\overline{B}$

**Figura 3.6** Identità dell'algebra booleana.

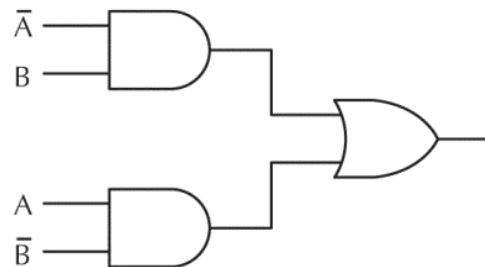




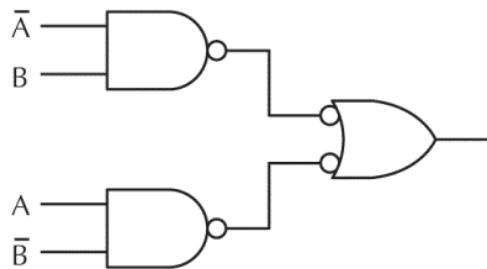
**Figura 3.7** Simboli equivalenti per alcune porte logiche: (a) NAND. (b) NOR. (c) AND. (d) OR.

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

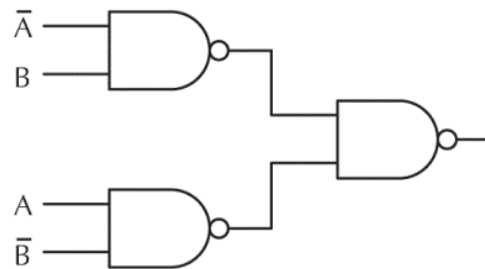
(a)



(b)



(c)



(d)

**Figura 3.8** (a) Tabella di verità della funzione XOR. (b)-(d) Tre circuiti per calcolarla.

A	B	F
0	0	0
0	5	0
5	0	0
5	5	5

(a)

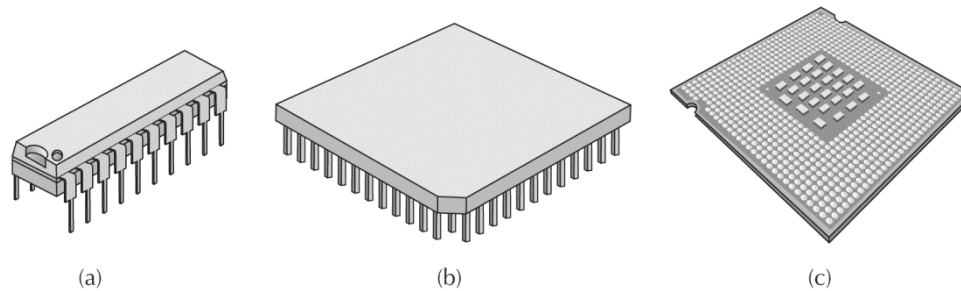
A	B	F
0	0	0
0	1	0
1	0	0
1	1	1

(b)

A	B	F
1	1	1
1	0	1
0	1	1
0	0	0

(c)

**Figura 3.9** (a) Caratteristiche elettriche di un dispositivo. (b) Logica positiva. (c) Logica negativa.



**Figura 3.10** Tipologie di supporti per circuiti integrati: DIP (a), PGA (b), LGA (c).

DIP: Dual Inline Package

PGA: Pin Grid Arrays

LGA: Land Grid Arrays

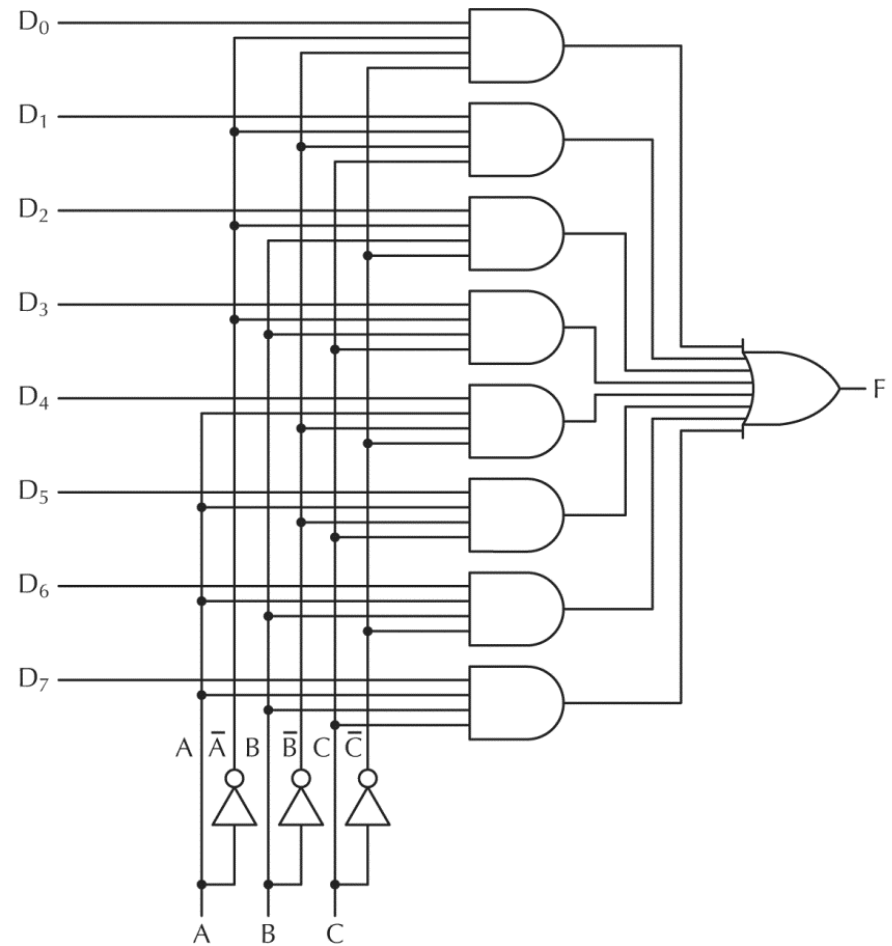
# Multiplexer

$2^n$  valore input

1 valore output

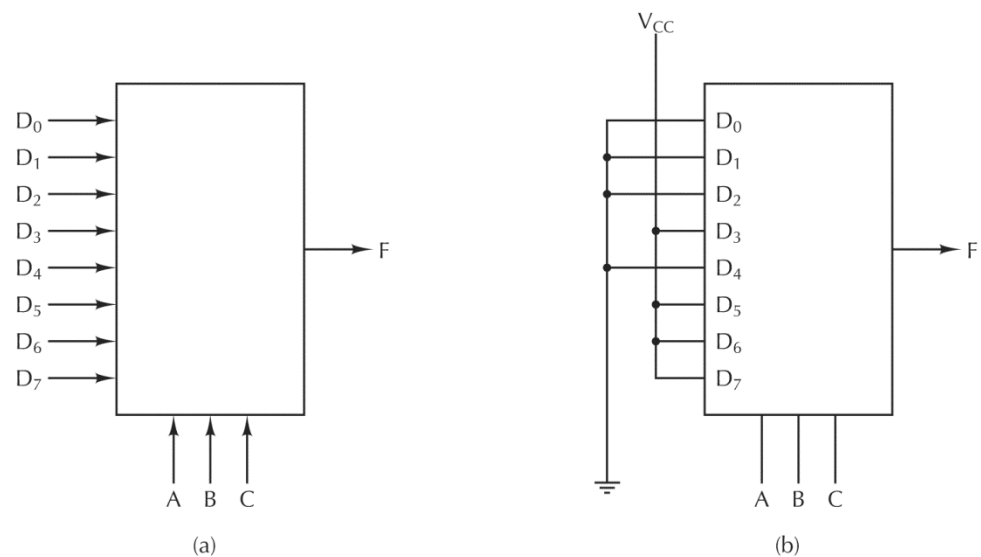
n valore controllo

A	B	C	$D_i$	F
0	0	0	$D_0$	$D_0$
0	0	1	$D_1$	$D_1$
0	1	0	$D_2$	$D_2$
0	1	1	$D_3$	$D_3$
1	0	0	$D_4$	$D_4$
1	0	1	$D_5$	$D_5$
1	1	0	$D_6$	$D_6$
1	1	1	$D_7$	$D_7$



**Figura 3.11** Multiplexer a otto vie.

# Funzione di Maggioranza mediante Multiplexer



**Figura 3.12** (a) Multiplexer MSI. (b) Lo stesso multiplexer per calcolare la funzione di maggioranza.

# Decodificatore

n valore input (controllo)

$2^n$  valore output

A	B	C	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>	D <sub>4</sub>	D <sub>5</sub>	D <sub>6</sub>	D <sub>7</sub>
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

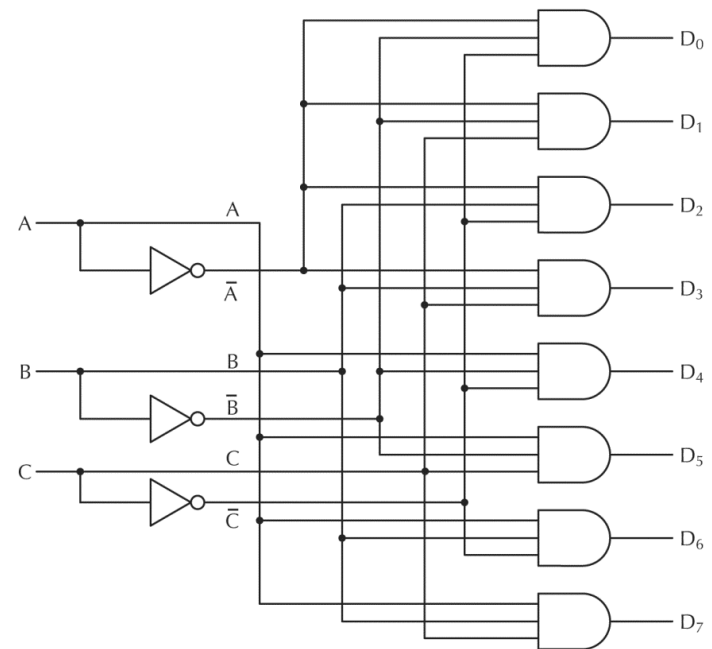
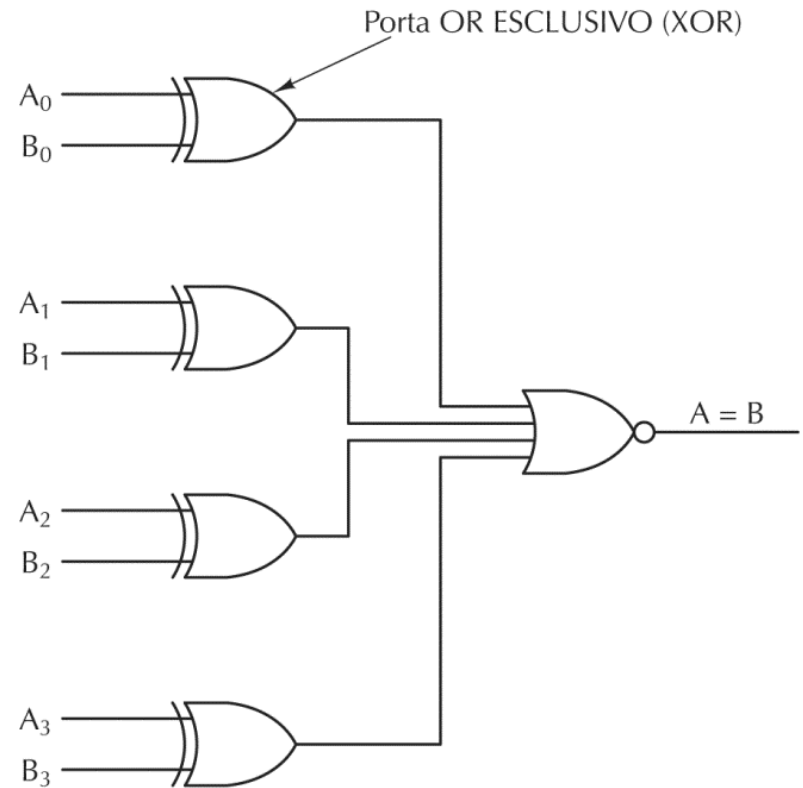


Figura 3.13 Decodificatore da 3 a 8.

# Comparatore

<b>A<sub>i</sub></b>	<b>B<sub>i</sub></b>	<b>XOR(A<sub>i</sub>,B<sub>i</sub>) =(A<sub>i</sub> ⊕ B<sub>i</sub>)</b>
0	0	0
0	1	1
1	0	1
1	1	0



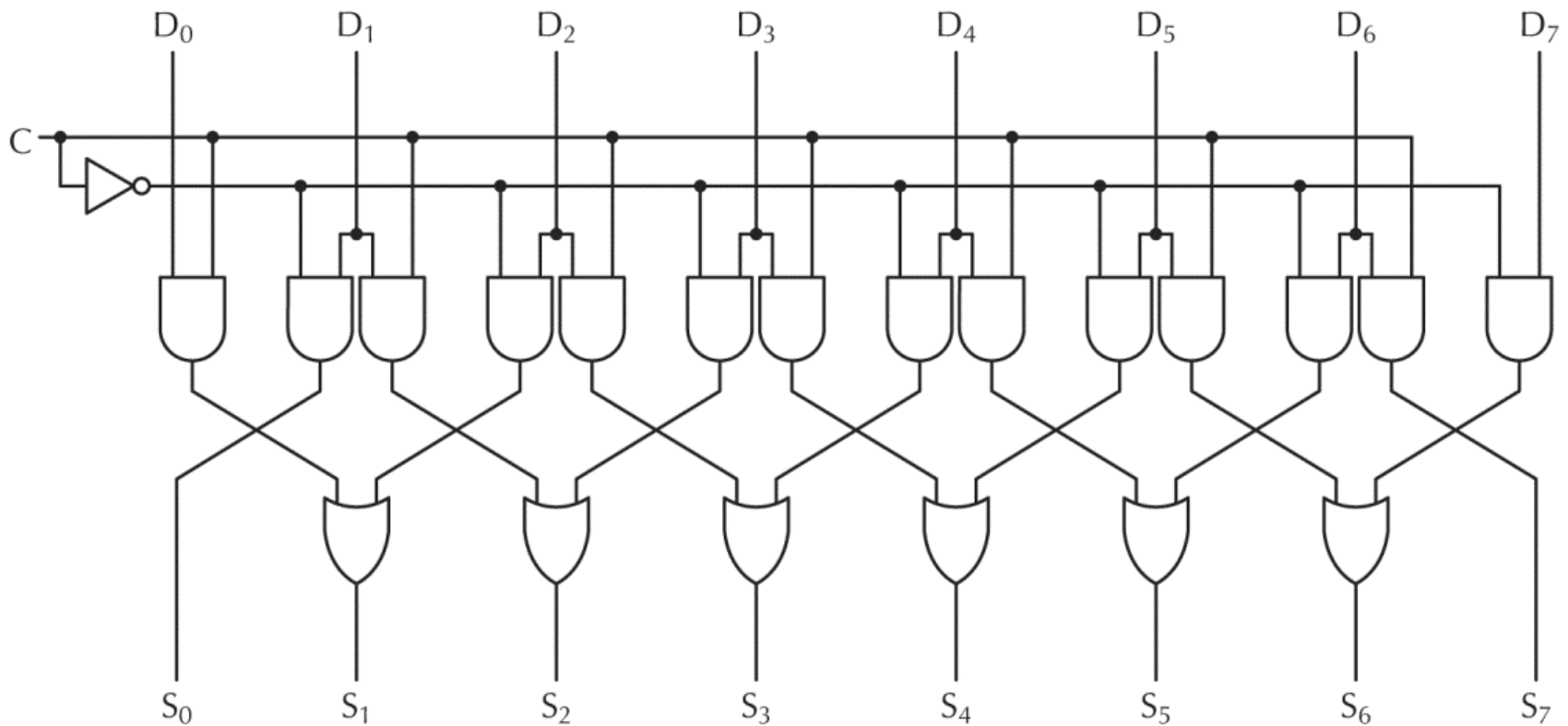
**Figura 3.14** Semplice comparatore a 4 bit.



## Registro a scorrimento

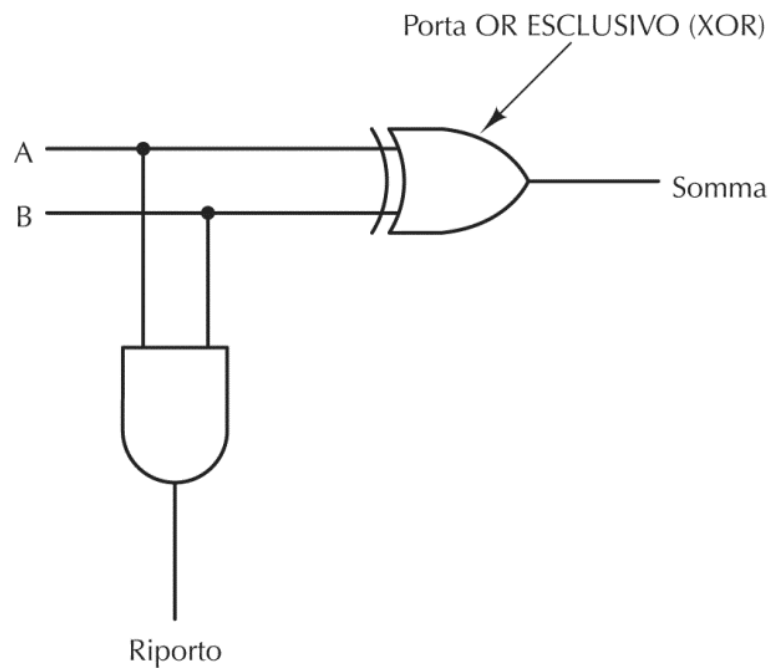
$C = 1$  right shift ( $D_i \rightarrow S_{i+1}$ )

$C = 0$  left shift ( $D_i \rightarrow S_{i-1}$ )



# Half Adder

A	B	Somma	Riporto
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

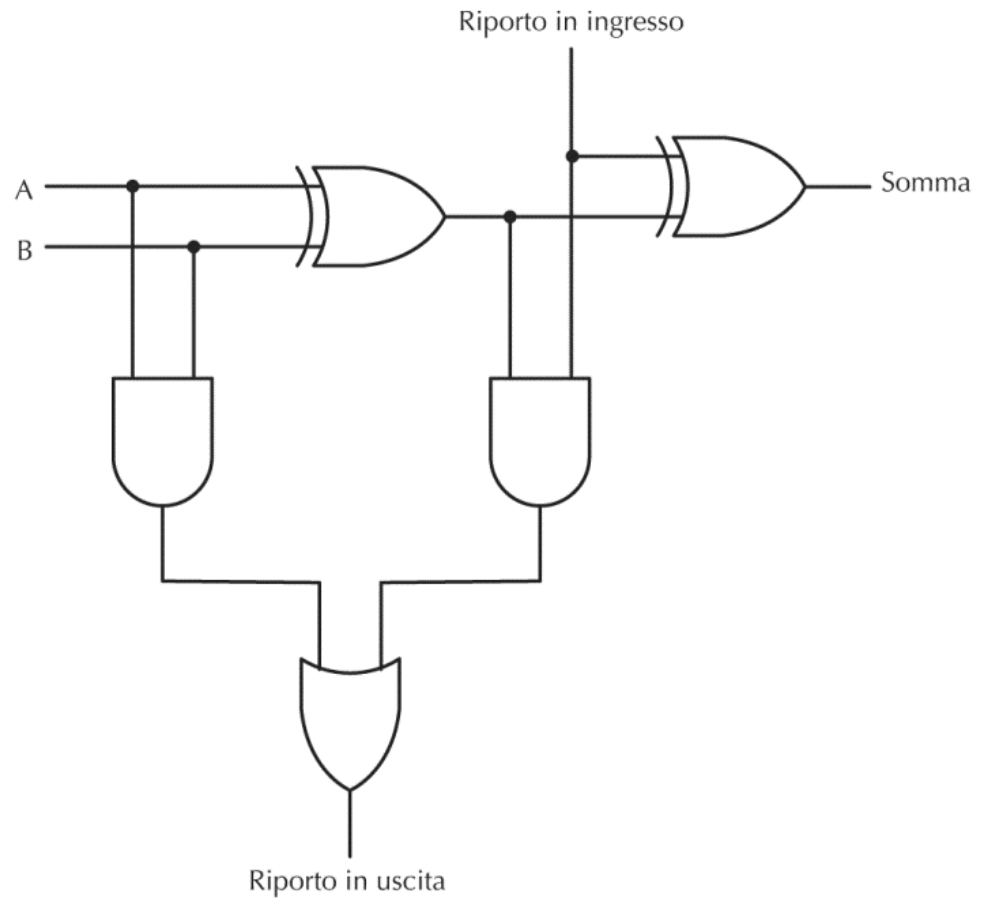


**Figura 3.16** Registro a scorrimento a sinistra di 1 bit.

# Full Adder

A	B	Riporto in ingresso	Somma	Riporto in uscita
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(a)



(b)

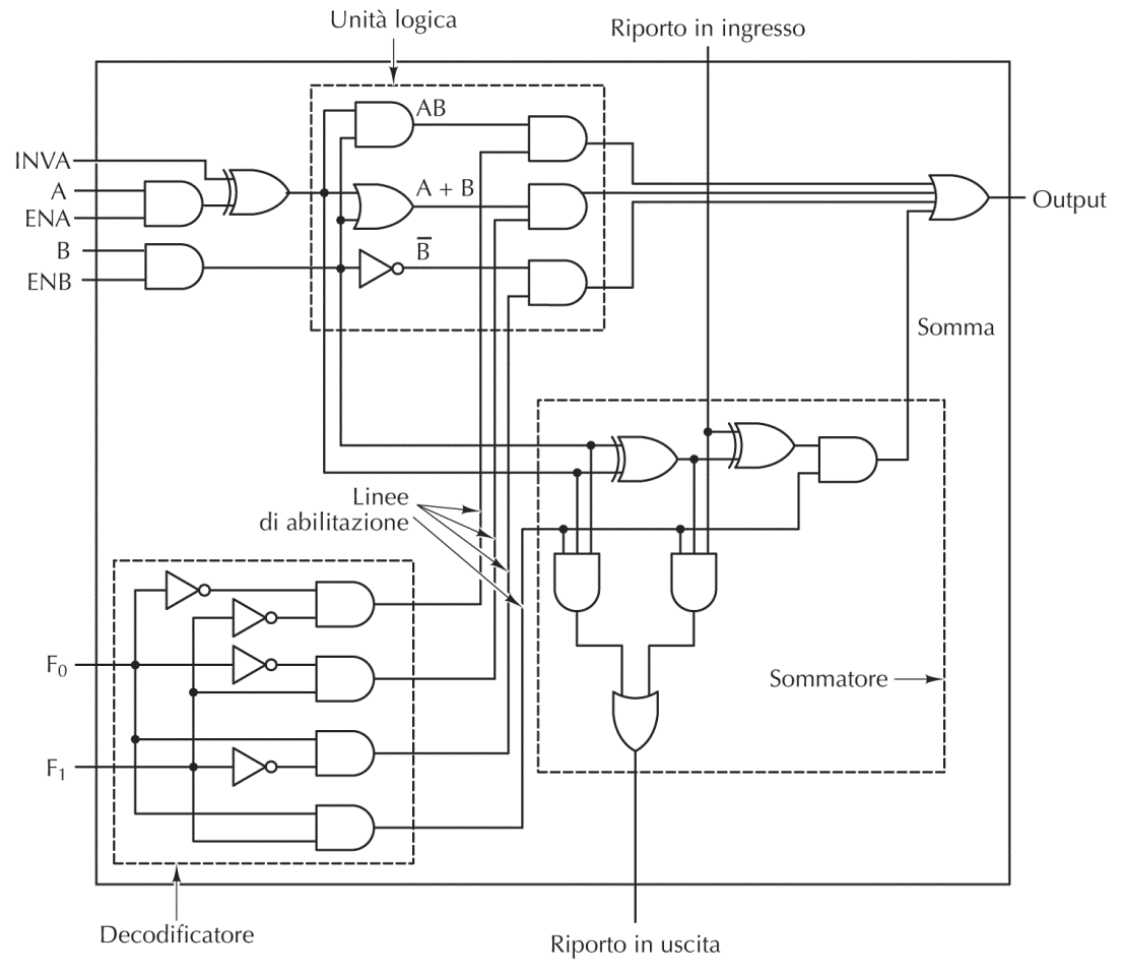
**Figura 3.17** (a) Tabella di verità di un sommatore. (b) Circuito di un sommatore.

# Arithmetic Logic Unit (ALU) (*bit slice*)

## Funzioni:

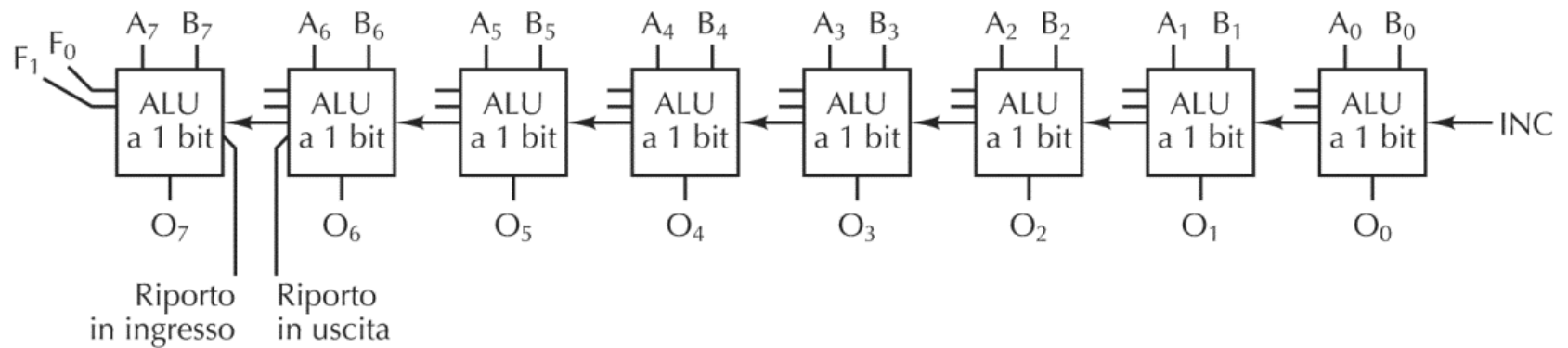
- A and B
- A or B
- Complemento di B
- $A+B$

## Controllo: $f_0, f_1$



**Figura 3.18** ALU a 1 bit.

## Arithmetic Logic Unit (ALU) (8 bit)



**Figura 3.19** Otto ALU a 1 bit connesse per comporre una ALU a 8 bit. Per semplificare non sono mostrati segnali di abilitazione e segnali di inversione.

# Clock

Un Clock è un circuito che emette una serie di impulsi di larghezza definita e a intervalli di tempo costanti.

L'intervallo temporale compreso tra le estremità di due impulsi consecutivi è detto "Ciclo di Clock".

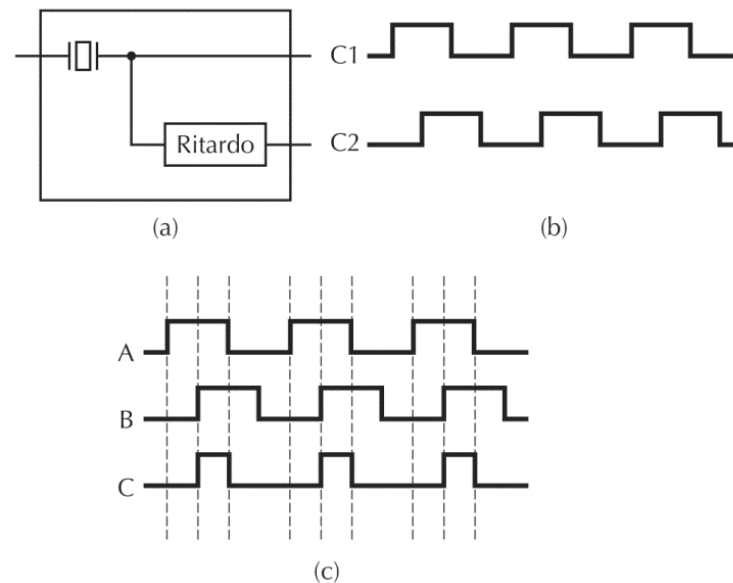
La frequenza degli impulsi è generalmente compresa tra 100MHz e 4 GHz, corrispondenti a cicli di clock compresi tra 10ns e 250ps.

Il segnale di clock serve a gestire la sincronizzazione e a ottenere specifiche relazioni temporali nella propagazione del segnale.

# Clock

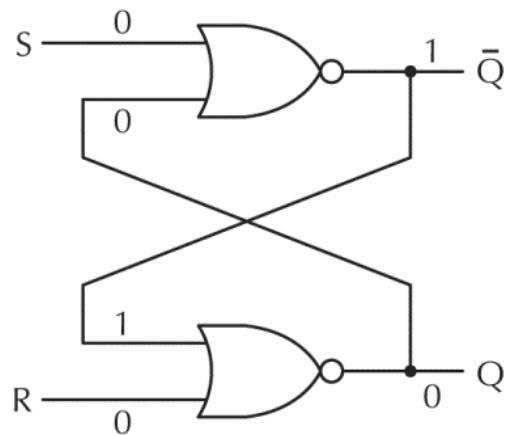
Livello basso/alto - Fronte in salita/discesa

Clock simmetrico / asimmetrico

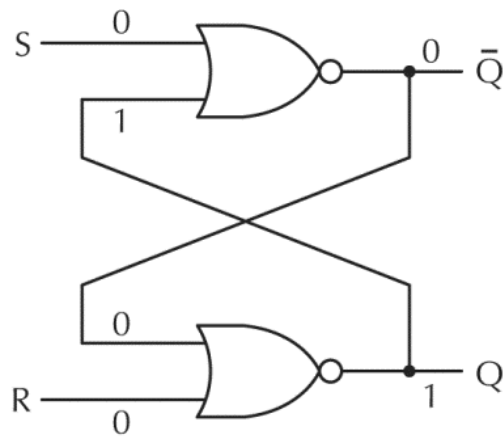


**Figura 3.20** (a) Clock. (b) Diagramma di temporizzazione del clock. (c) Generazione di un clock asimmetrico.

# Latch SR



(a)



(b)

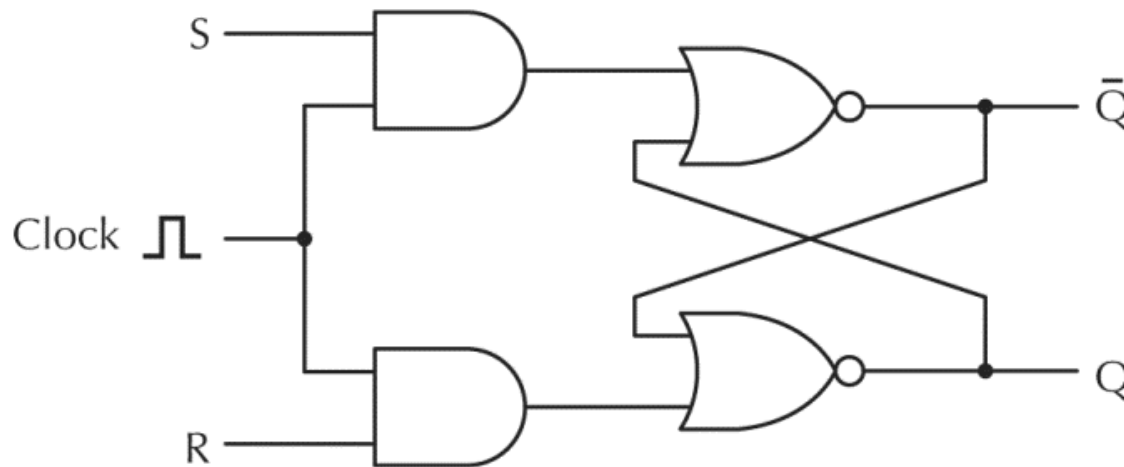
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

**Figura 3.2I** (a) Latch di tipo NOR nello stato 0. (b) Latch di tipo NOR nello stato 1. (c) Tabella di verità del NOR.

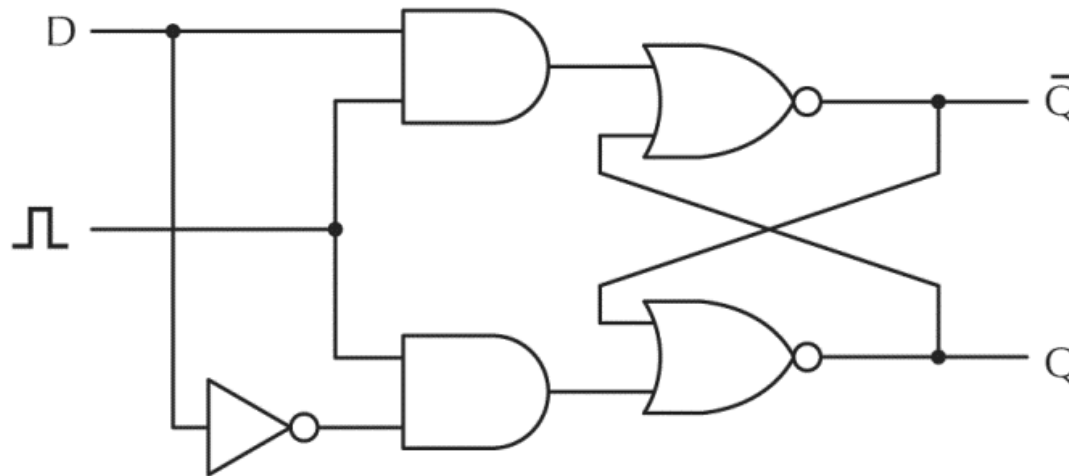


## Latch SR Temporizzato



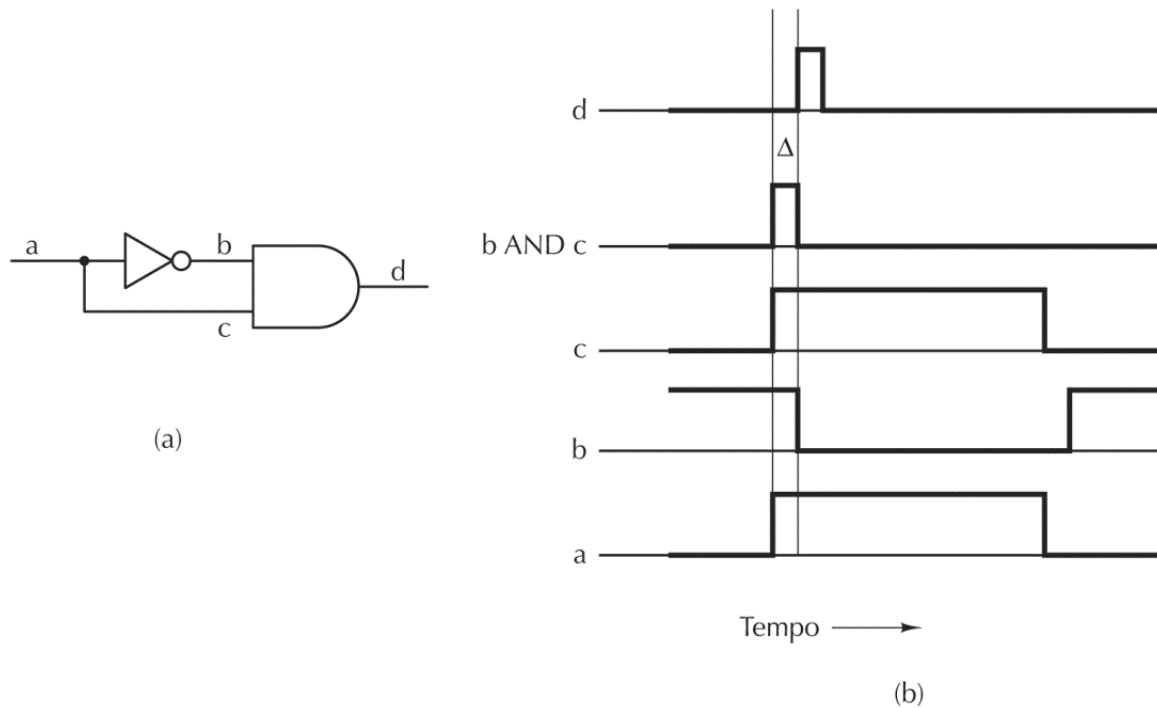
**Figura 3.22** Latch SR temporizzato.

## Latch D Temporizzato



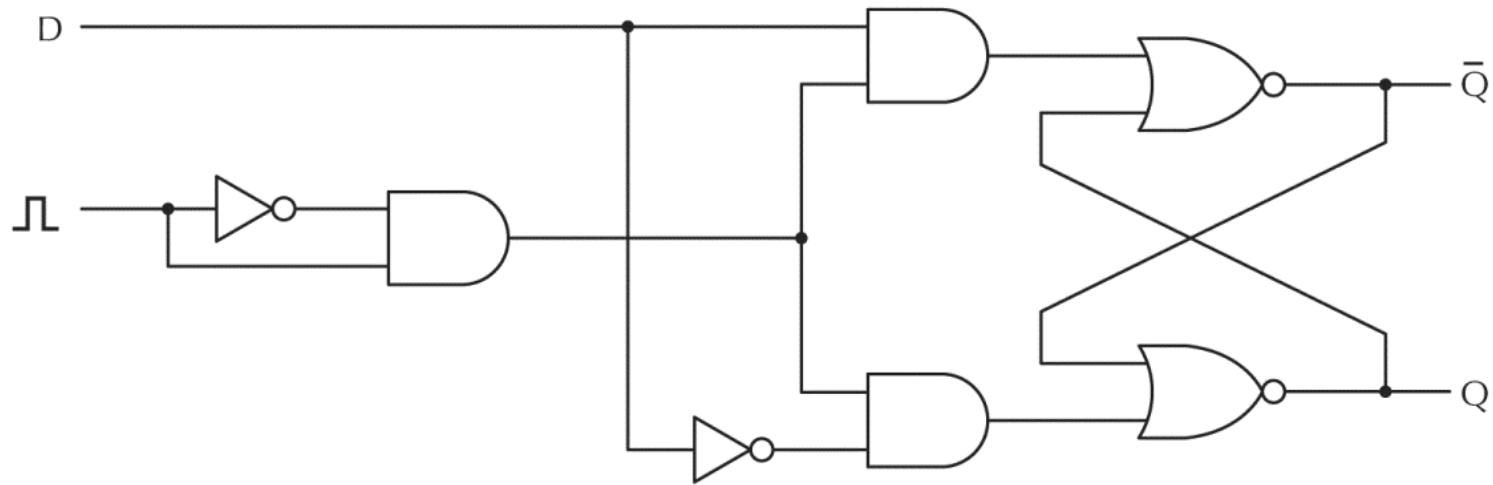
**Figura 3.23** Latch D temporizzato.

# Generatore di Impulsi



**Figura 3.24** (a) Generatore d'impulsi. (b) Diagrammi temporali.

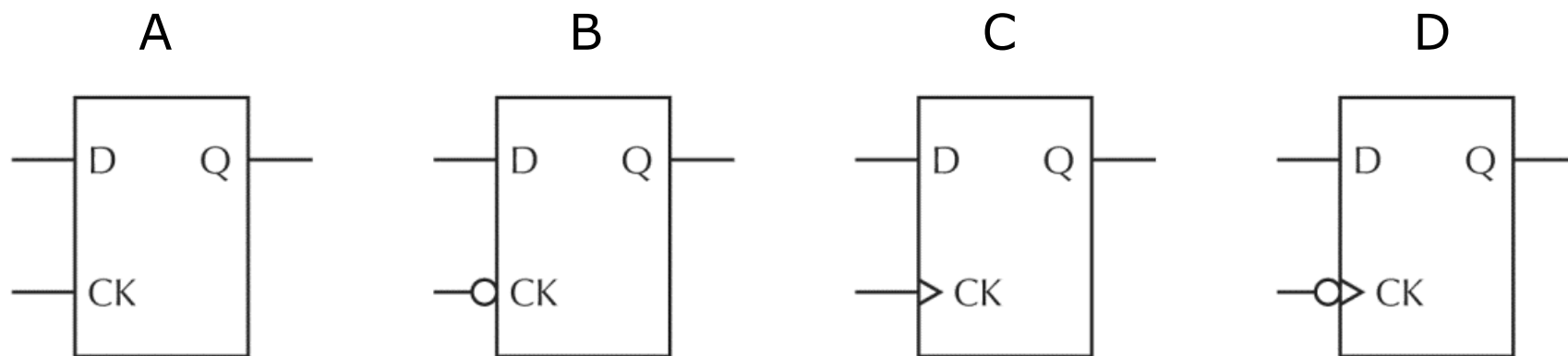
## Flip-Flop "D"



**Figura 3.25** Flip-flop D.

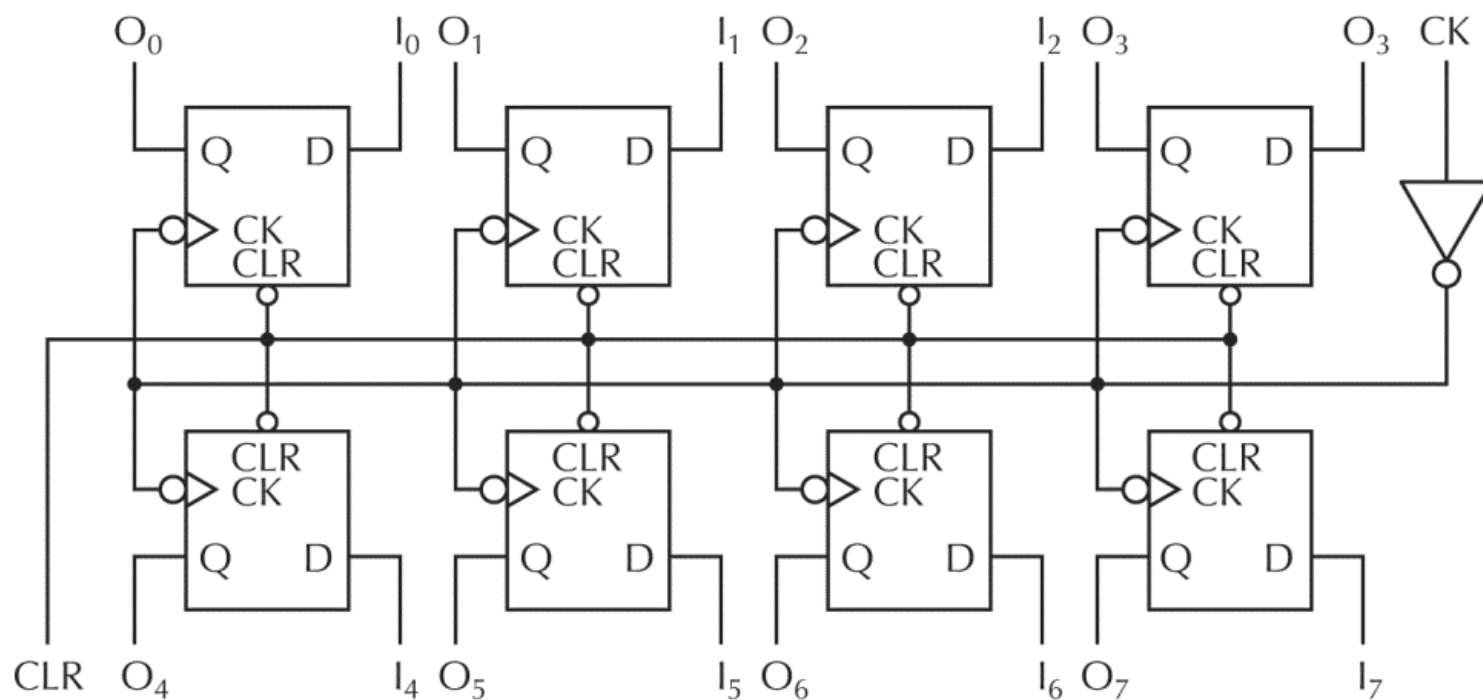
## Latch / Flip-Flop Temporizzati

- A) Latch (enabling: Clock=1)
- B) Latch (enabling: Clock=0)
- C) Flip-Flop (enabling: Fronte in salita del Clock)
- D) Flip-Flop (enabling: Fronte in discesa del Clock)



**Figura 3.26** Flip-flop D temporizzati.

## Latch / Flip-Flop Temporizzati



**Figura 3.27** T Un registro a 8 bit costruito a partire da flip-flop a 1 bit.

# Memoria

CS: Chip Selection

RD: Read (1)/Write (0)

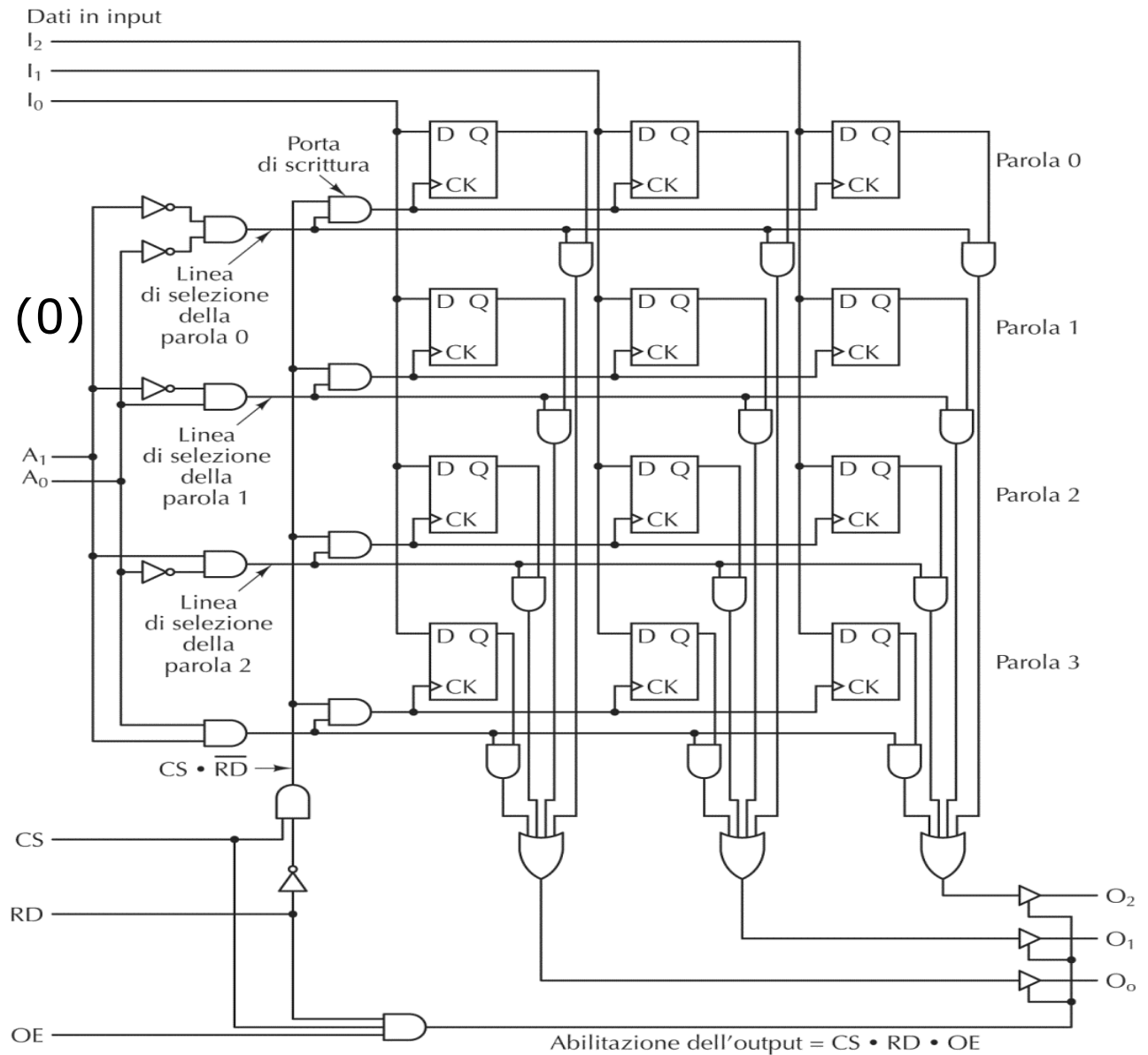
OE: Output Enable

Data Input:

I0,I1,I2

Dati Output:

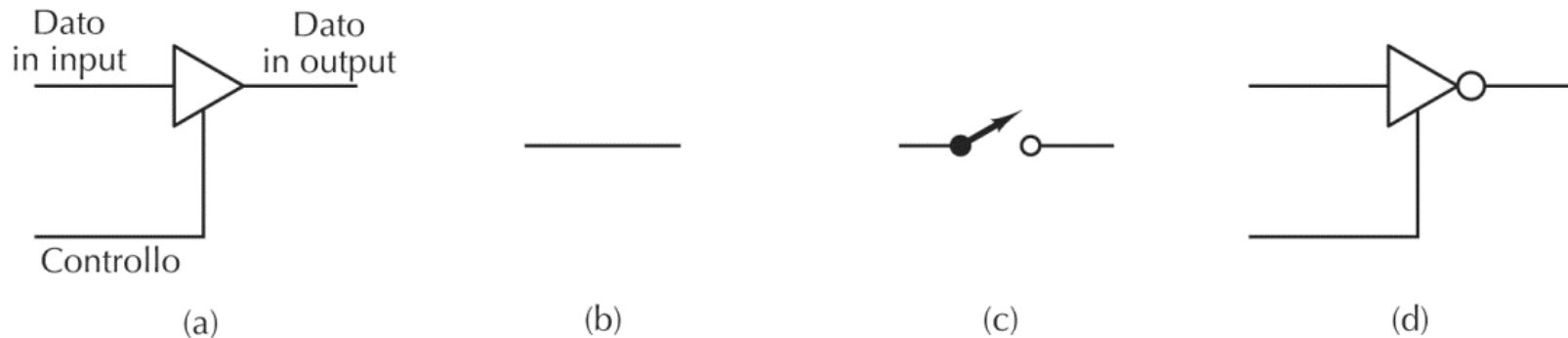
O0,O1,O2



**Figura 3.28** Diagramma logico di una memoria 4 × 3. Ogni riga è una delle quattro parole a 3 bit. Lettura e scrittura riguardano sempre parole complete.

# Memoria

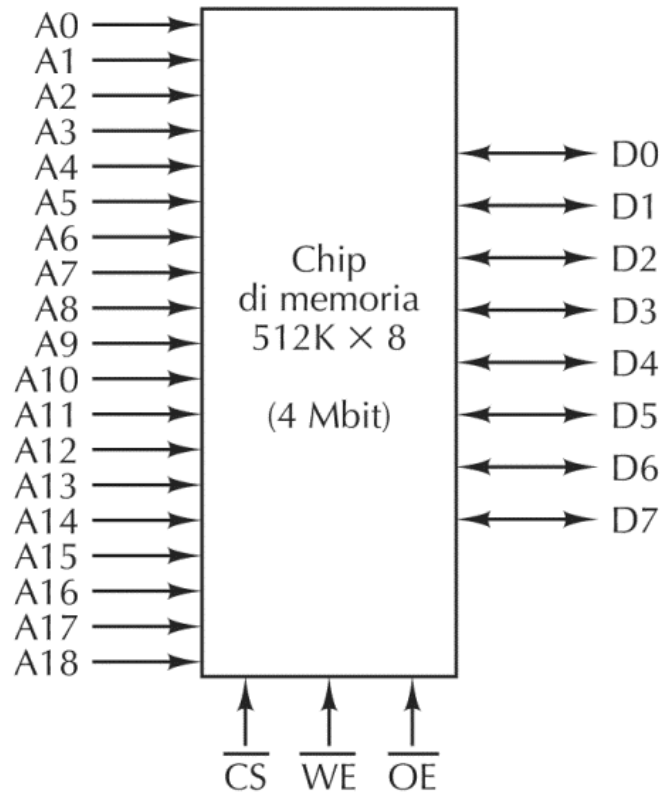
## Buffer invertente / non invertente.



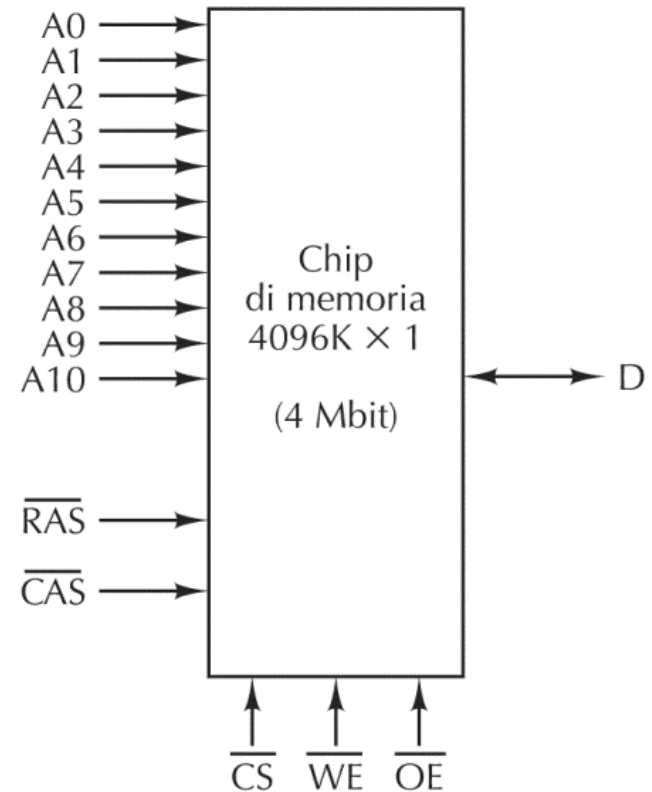
**Figura 3.29** (a) Buffer non invertente. (b) Risultato di (a) quando il controllo è alto. (c) Risultato di (a) quando il controllo è basso. (d) Buffer invertente.



# Memoria



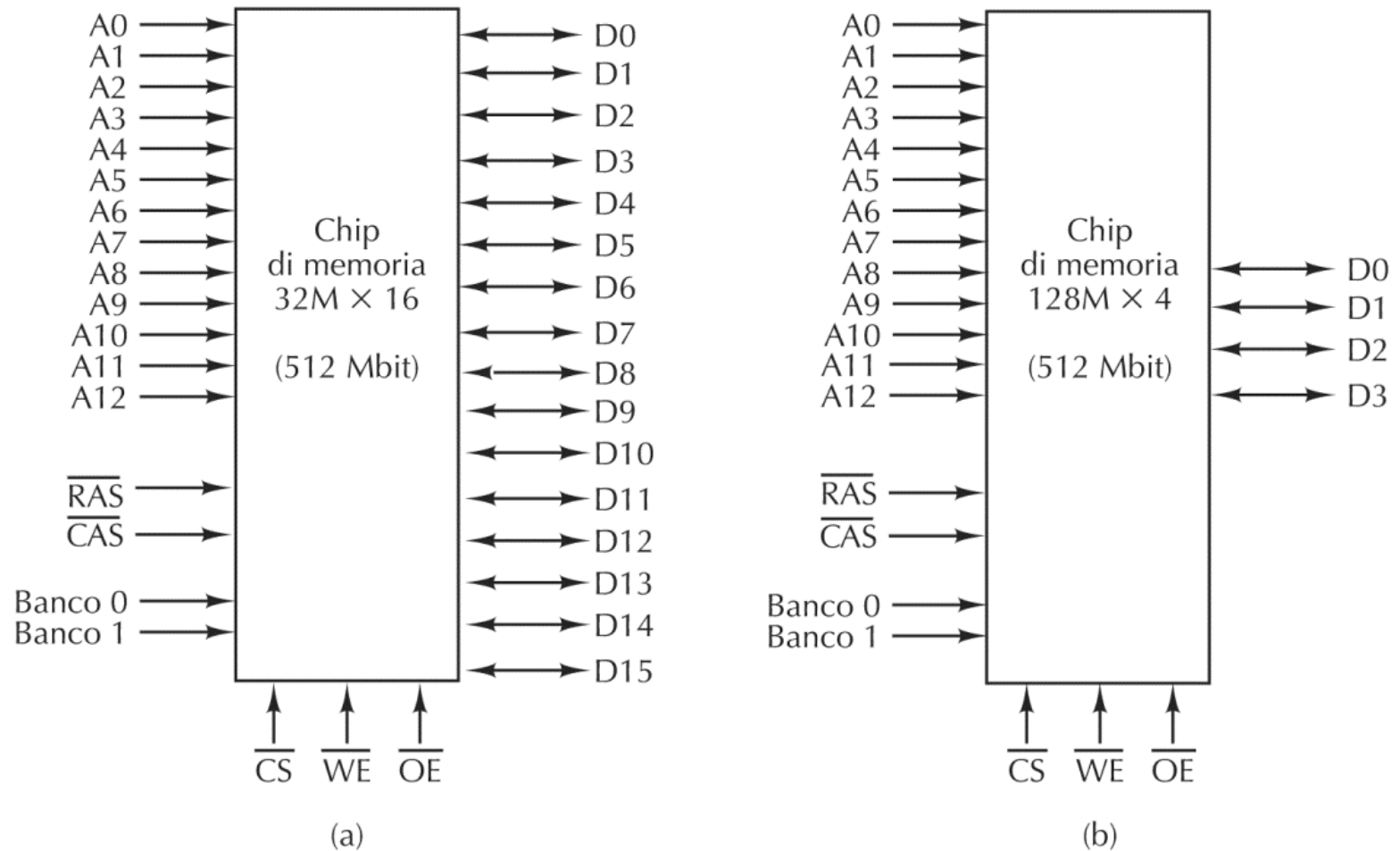
(a)



(b)

**Figura 3.30** Due modi di organizzare un chip di memoria a 4 Mbit.

# Memoria



**Figura 3.3I** Due modi di organizzare un chip di memoria a 512 Mbit.

## **RAM (Random Access Memory)**

- Statiche (SRAM): flip-flop (elevata velocità: tempi di accesso nell'ordine di nanosecondi) (cache)
- Dinamiche (DRAM): array di celle (transistor-condensatore).  
Necessità di refresh costante (elevata densità) (main memory)

§ DRAM – FPM (Fast Page Mode): segnale RAS e CAS (invertiti) e segnale di output enable per definire il momento in cui la memoria deve rispondere (memoria di tipo più obsoleto)

§ DRAM – EDO (Extended Data Output): in questa memoria un riferimento alla memoria può avere inizio prima che sia completato il precedente. Anche in questo caso abbiamo il segnale di output enable (memoria obsoleta)

**SDRAM (Synchronous DRAM): è una RAM ibrida (un po' statica un po' dinamica) che è guidata dal clock principale del sistema.**

§ SDRAM – DDR (Double Data Rate): in questa memoria il chip produce un output sul fronte in salita del clock ed uno sul fronte in discesa. Sono state anche sviluppate DDR2 e DDR3. E' la tecnologia usata attualmente.

## **ROM (Read Only Memory)**

- PROM (Programmable ROM): una PROM può essere programmata (una sola volta).
- EPROM (Erasable PROM): sono analoghe alle PROM ma il contenuto può essere cancellato con la luce ultravioletta.
- EEPROM (Electrically Erasable PROM): sono analoghe alle EPROM ma il contenuto può essere cancellato (ogni singolo byte) con segnali elettrici (quindi senza la necessità di essere asportate dal circuito sul quale sono installate).
- Memorie Flash: sono analoghe alle EEPROM ma il contenuto può essere cancellato (e riscritto) a blocchi attraverso con segnali elettrici.

# Memoria

Tipo	Categoria	Cancellazione	Byte modificabili	Volatile	Tipico utilizzo
SRAM	Read/write	Elettrica	Sì	Sì	Cache di secondo livello
DRAM	Read/write	Elettrica	Sì	Sì	Memoria centrale (vecchia)
SDRAM	Read/write	Elettrica	Sì	Sì	Memoria centrale (recente)
ROM	Read-only	Impossibile	No	No	Elettrodomestici (prodotti in grandi volumi)
PROM	Read-only	Impossibile	No	No	Dispositivi (prodotti in piccoli volumi)
EPROM	Read-mostly	Raggi UV	No	No	Prototipazione di dispositivi
EEPROM	Read-mostly	Elettrica	Sì	No	Prototipazione di dispositivi
Flash	Read/write	Elettrica	No	No	“Pellicola” per macchine fotografiche digitali

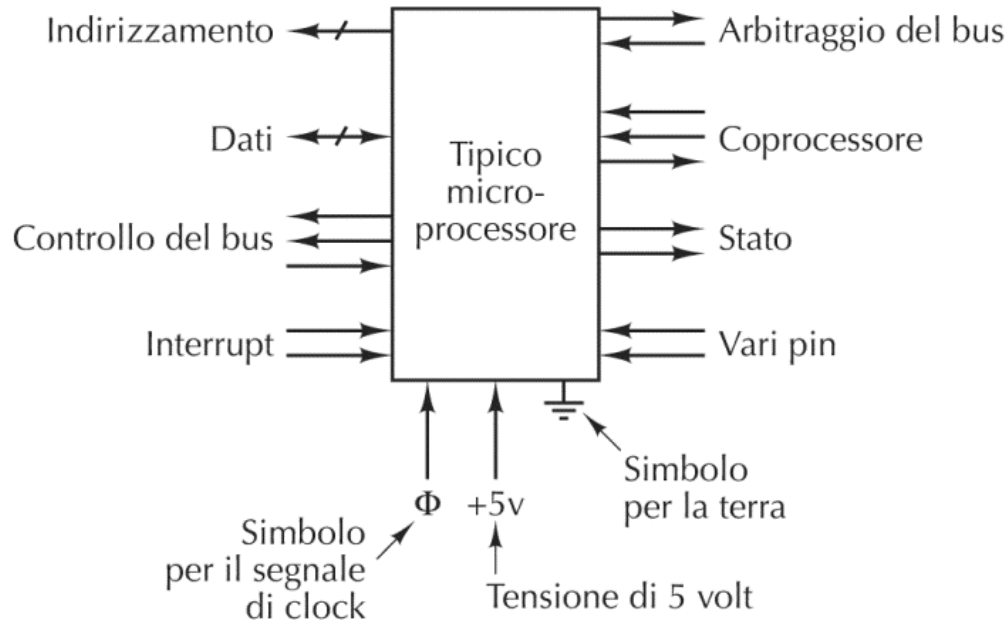
**Figura 3.32** Confronto tra vari tipi di memoria.

## FPGA (Field-Programmable Gate Array)

- Un FPGA è un circuito integrato che contiene una logica programmabile e permette di formare un circuito logico arbitrario semplicemente caricando l'FPGA con i dati di configurazione appropriati.

## Chip della CPU e bus

- Pin della CPU: Input/Output/both
- Pin della CPU: indirizzi/dati/controlli (controllo del bus, interrupt, comunicazione con il coprocessore, stato del sistema, ecc.)



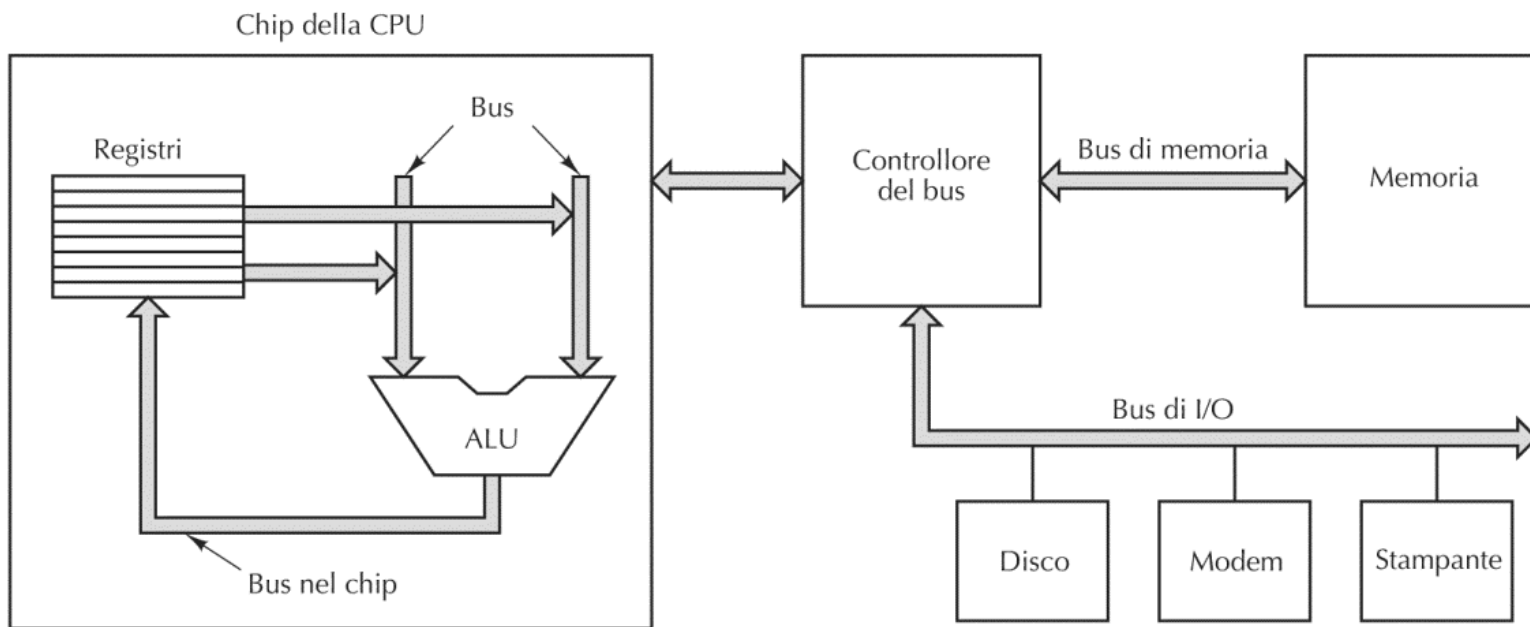
**ATTENZIONE:** Tutte le CPU hanno anche i pin di:

- Alimentazione (1,2-1,5 Volts)
- Terra
- Clock

**Figura 3.34** Una generica CPU. Le frecce indicano i segnali di input e di output. I trattini diagonali indicano pin multipli; per una specifica CPU un valore ne indica la quantità.

## BUS del calcolatore (BUS Esterni)

- **Unico Bus:** Bus di Sistema (vecchi sistemi)
- **Due o più Bus:** CPU-Memoria / CPU-Periferiche (sistemi moderni)



**Figura 3.35** Sistema di un calcolatore con più bus.



# BUS del calcolatore (BUS Esterni)

## - Protocollo: Caratteristiche meccaniche/elettriche

### BUS:

- Omnibus (PDP-8)
- Unibus (PDP-11)
- Multibus (8086)
- VME (lab devices)
- PC IBM (PC/XT)
- ISA (PC/AT)
- EISA (80386)
- Microchannel (PS/2)
- Nabus (Macintosh)
- PCI (molti PC)
- SCSI (PC e workstation)
- Universal Serial Bus (PC moderni)
- FireWire (elettronica di consumo)

## BUS del calcolatore (BUS Esterni)

- Funzionamento sul bus:

Master (unità attive) / Slave (unità passive)

Master	Slave	Esempio
CPU	Memoria	Prelievo delle istruzioni e dei dati
CPU	Dispositivo di I/O	Inizio del trasferimento dei dati
CPU	Coprocessore	Passaggio dell'istruzione al coprocessore da parte della CPU
I/O	Memoria	DMA (Direct Memory Access)
Coprocessore	CPU	Prelievo degli operandi dalla CPU da parte del coprocessore

**Figura 3.36** Esempi di master e slave del bus.

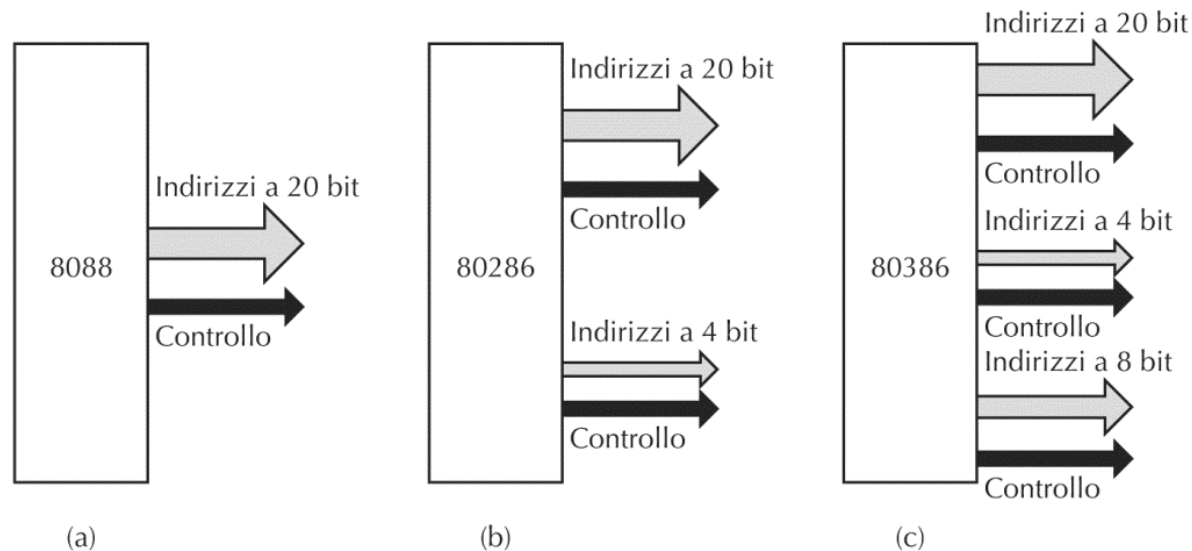
- Collegamento al Bus: driver del bus (Master), ricevitore di bus (Slave), trasmettitore-ricevitore del bus (dispositivi dotati anche dello stato "sconnesso").

## BUS del calcolatore (BUS Esterni)

- Ampiezza
- Temporizzazione
- Arbitraggio
- Operazioni

## BUS del calcolatore (BUS Esterni)

- Ampiezza del Bus
  - Aumentare il numero di linee (Valutazioni costi /benefici)
  - Aumentare la velocità di trasferimento (disallineamento del bus)
- Uso di bus multiplexati



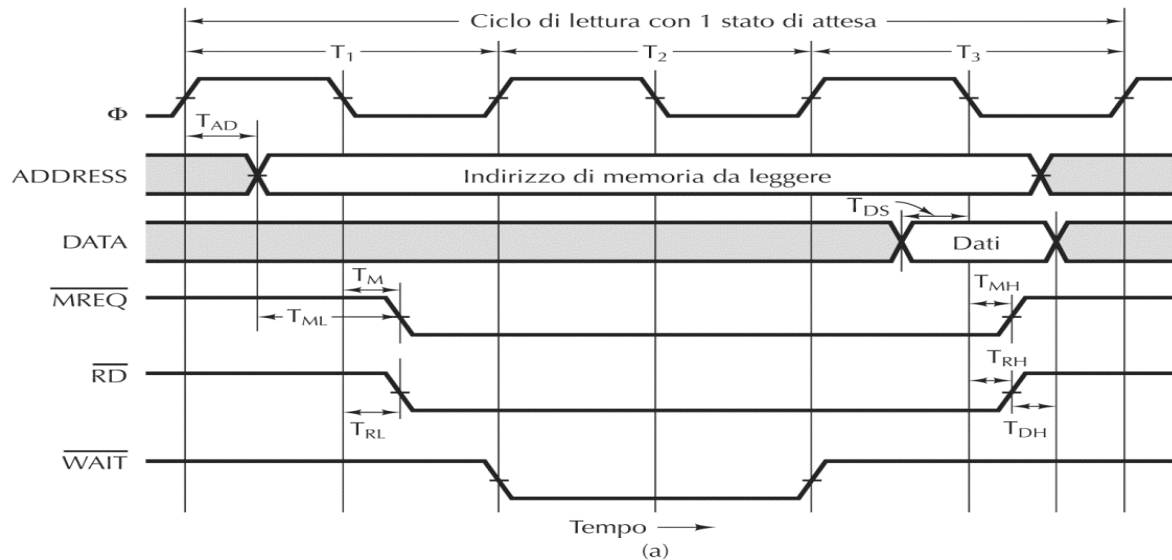
**Figura 3.37** Crescita nel tempo degli indirizzi del bus.

## BUS del calcolatore (BUS Esterni)

- Temporizzazione del Bus
  - Bus sincroni: hanno una linea pilotata da un oscillatore a cristalli dove viaggia un'onda quadra con frequenza da 5MHz a 133 MHz. Tutte le operazioni del bus richiedono un certo numero di questi cicli.
  - Bus asincroni: non ha un clock principale e quindi i cicli di trasferimento non devono essere necessariamente uguali nella comunicazione tra dispositivi.

# BUS del calcolatore (BUS Esterni)

## - Temporizzazione del Bus – Bus sincroni



Simbolo	Parametro	Min	Max	Unità
$T_{AD}$	Ritardo dell'output dell'indirizzo		4	nsec
$T_{ML}$	Indirizzo stabile prima di $\overline{MREQ}$	2		nsec
$T_M$	Ritardo di $\overline{MREQ}$ rispetto al fronte di discesa di $\Phi$ in $T_1$		3	nsec
$T_{RL}$	Ritardo di $\overline{RD}$ rispetto al fronte di discesa di $\Phi$ in $T_1$		3	nsec
$T_{DS}$	Tempo di impostaz. dei dati prima del fronte di discesa di $\Phi$	2		nsec
$T_{MH}$	Ritardo di $\overline{MREQ}$ rispetto al fronte di discesa di $\Phi$ in $T_3$		3	nsec
$T_{RH}$	Ritardo di $\overline{RD}$ rispetto al fronte di discesa di $\Phi$ in $T_3$		3	nsec
$T_{DH}$	Tempo di mantenimento dei dati dopo la negazione di $\overline{RD}$	0		nsec

(b)

**Figura 3.38** (a) Temporizzazione di una lettura su un bus sincrono. (b) Specifiche di alcuni tempi critici.

## BUS del calcolatore (BUS Esterni)

- Temporizzazione del Bus – Bus asincroni
- MSYN: Master Synchronization
- SSYN: Slave Synchronization

### Full Handshake

- MSYN asserito
- SSYN asserito in risposta a MSYN
- MSYN negato in risposta a SSYN
- SSYN negato in risposta a SSYN

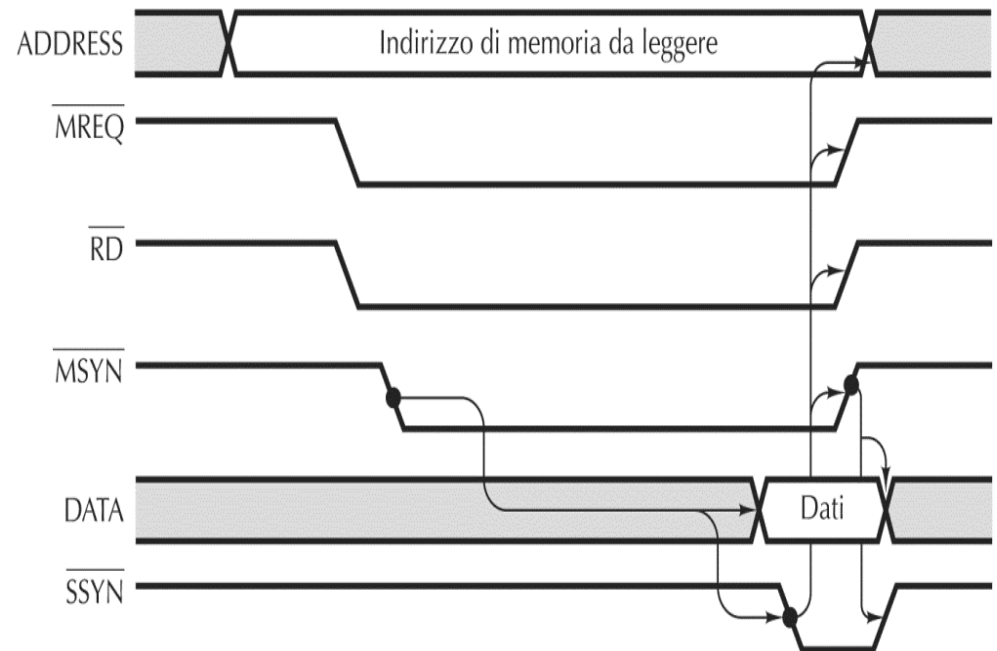


Figura 3.39 Funzionamento di un bus asincrono.

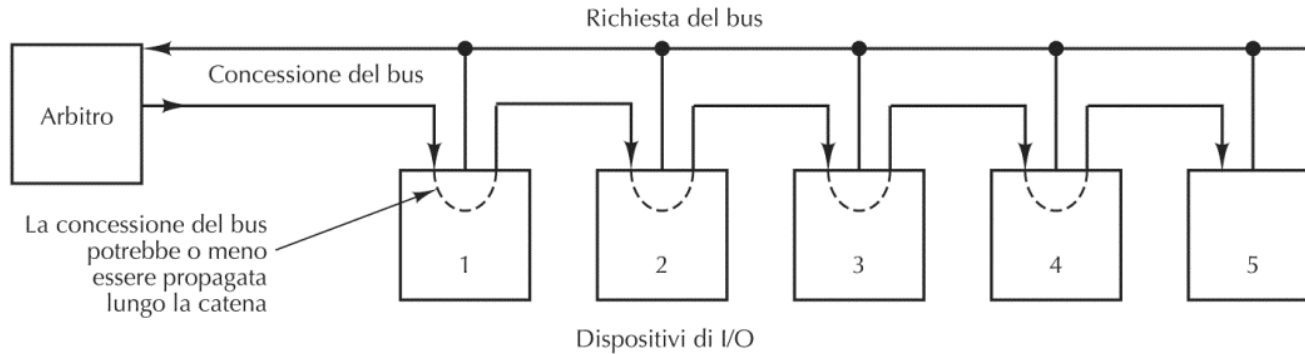
## BUS del calcolatore (BUS Esterni)

- Arbitraggio
- centralizzato
- decentralizzato

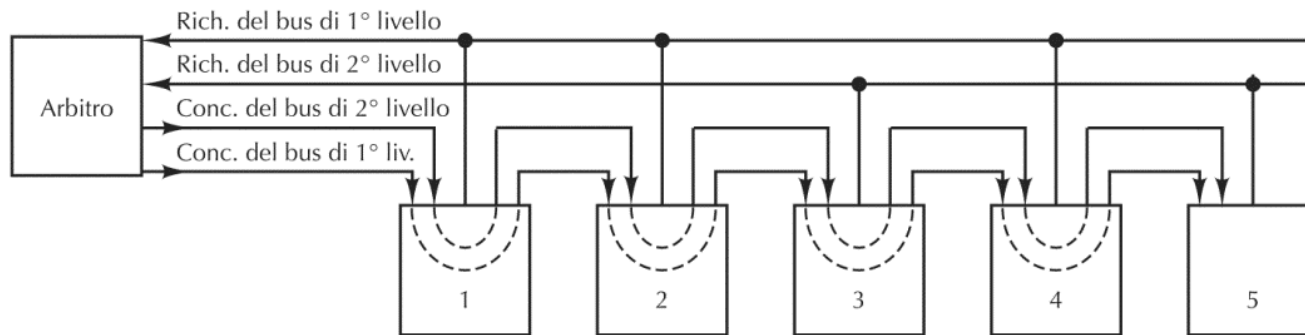


# BUS del calcolatore (BUS Esterni)

## - Arbitraggio centralizzato (daisy chain)



(a)

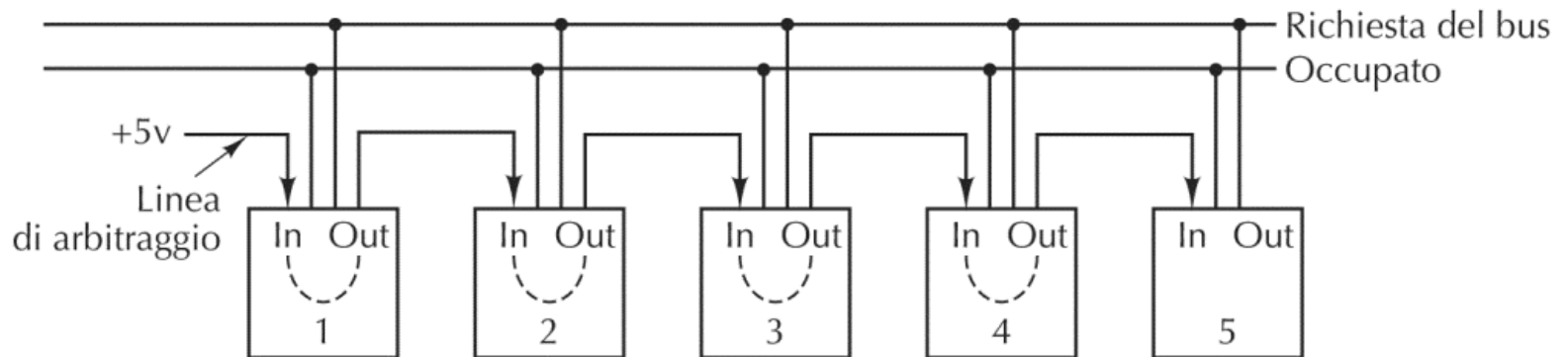


(b)

**Figura 3.40** (a) Arbitro del bus centralizzato e a un livello che utilizza un collegamento a festone. (b) Stesso arbitro, ma a due livelli.

## BUS del calcolatore (BUS Esterni)

- Arbitraggio decentralizzato
- 3 linee (1 per richieste al bus, 1 di BUSY asserita dal master corrente, 1 per arbitrare il bus mediante daisy chain)
- La testa della daisy chain è mantenuta asserita collegandola all'alimentazione.



**Figura 3.41** Arbitraggio decentralizzato del bus.

## BUS del calcolatore (BUS Esterni)

- Arbitraggio decentralizzato - Funzionamento: se nessun dispositivo richiede il bus la linea di arbitraggio che è asserita viene propagata tra tutti i dispositivi.

Un dispositivo che vuole il bus:

- 1) Si chiede se il segnale di arbitraggio in IN è asserito.
- 2) Se IN è negato il dispositivo non può diventare master e nega OUT. Se IN è asserito il dispositivo può avere il controllo del bus e nega OUT.
- 3) Tutti gli altri dispositivi successivi avendo IN negato porranno OUT negato.
- 4) Al termine solo un dispositivo avrà IN asservito e OUT negato. Esso diventa il master del bus e inizia il suo trasferimento.

# BUS del calcolatore (BUS Esterni)

## Operazioni

- Lettura/scrittura di blocchi dati (piuttosto che di byte individuali)
- Operazione di “leggi-modifica-scrivi” per l’accesso di più CPU al bus (sistemi multiprocessore)
- Gestione degli interrupt (mediante controllore es. chip 8259A incorporato nelle CPU Intel).

## BUS del calcolatore (BUS Esterni)

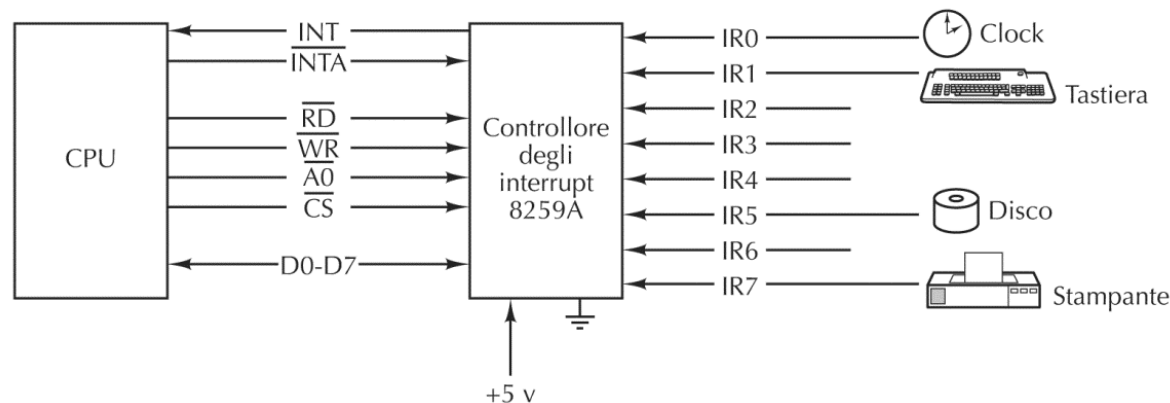
### Operazioni – Gestione degli Interrupt (chip 8259A) (1)

- Il chip 8259A ha 8 input (IRx – Interrupt Request x).
- Quando un Irx è asserito (o più di uno) l'8259° asserisce INT (INTerrupt) che pilota il pin della CPU
- Quando la CPU è in grado di gestire l'interrupt rispedisce all'8259A un INTA (INTerrupt Acknowledge). A questo punto l'8259 deve specificare quale dispositivo ha causato l'interrupt ponendo il suo numero sul bus dati.
- L'hardware della CPU utilizza quel numero (codice dell'interrupt) come indice all'interno di una tabella di puntatori , chiamata vettore di interrupt, per cercare l'indirizzo della procedura di servizio per quel particolare interrupt.

## BUS del calcolatore (BUS Esterni)

### Operazioni – Gestione degli Interrupt (chip 8259A) (2)

- E' possibile unire in cascata fino a 8 chip 8259A per arrivare a poter trattare fino a  $8 \times 8 = 64$  Interrupt.
- Il chip Intel ICH10, uno del chipset Core i7, incorpora 2 controllori di interrupt 8259A e dispone quindi della possibilità di gestire fino a 15 interrupt esterni (non 16 perché un interrupt serve per il collegamento a cascata dei due 8259A).



**Figura 3.43** Utilizzo del controllore degli interrupt 8259A.

# Intel Core i7

Introdotta nel 2008 come diretto discendente CPU 8088 (PC IBM)

Core i7 (Architettura Nahalem – prima architettura): CPU a 4 processori, 731 milioni di transistor, frequenza 3,2 GHz , larghezza di linea 45 nanometri

Core i7 (Architettura Sandy Bridge – architetture recenti): CPU da 2 a 6 processori, 1,16 miliardi di transistor, frequenza 3,5 GHz , larghezza di linea 32 nanometri

- *Retrocompatibilità (stesse funzionalità ISA): 80286, 80486, Pentium, Pentium II, Pentium Pro, Pentium III, Pentium 4 (stessi registri, stesse istruzioni, stesso standard in virgola mobile IEEE 754 su chip, ecc.)*

# Intel Core i7

## Prestazioni:

- Elevato parallelismo: (a) più CPU ; (b) Hypertheaded (multithreading simultaneo)(ovvero possono essere attivi simultaneamente diversi thread hardware sulla stessa CPU)
- Cache a 3 livelli:
  - L1: Cache dati (32KB) + Cache istruzioni (32KB) (per ogni processore)
  - L2: Cache unificata dati e istruzioni (256KB) (per ogni processore)
  - L3: Cache condivisa (tra tutti i processori) (da 4 a 15 MB)

La coerenza delle informazioni nelle cache è assicurata da opportuni meccanismi di "snooping" che agiscono sui bus



# Intel Core i7

Bus:

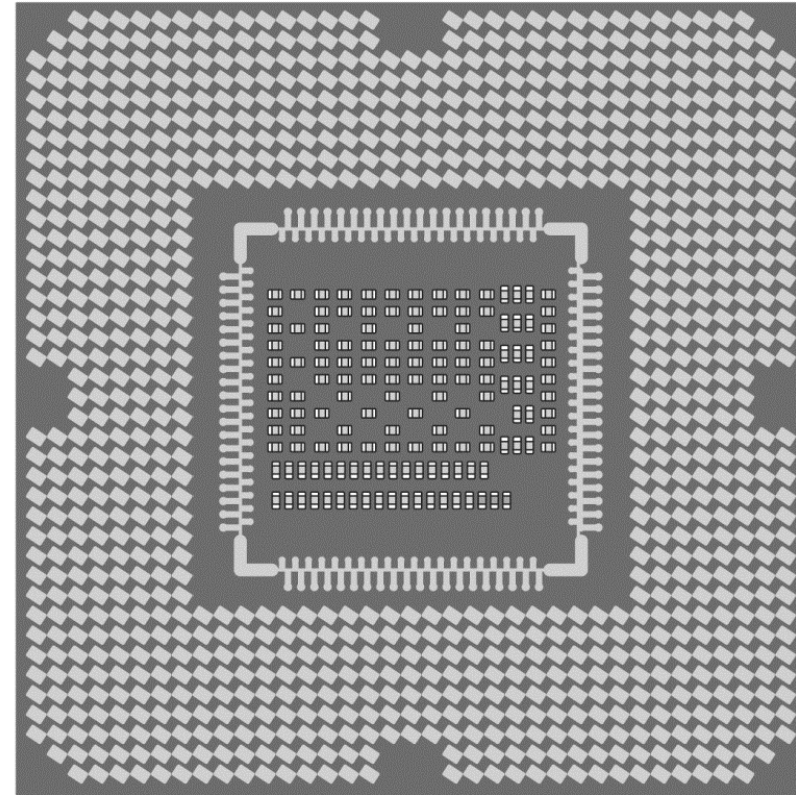
Almeno due bus esterni sincroni:

- Bus di memoria DDR3 per l'accesso alla memoria centrale DRAM
- Bus PCI Express per connettere processore e dispositivi I/O.
- (fascia alta) porta QPI (Quick Path Interconnect) per connettere il processore a un'interconnessione esterna al processore e poter costruire sistemi con più di sei processori.

# Intel Core i7

## Packaging:

- Supporto LGA (Land Grid Array) quadrato (37,5 mm di lato) con 1155 pad posti sul fondo.
- Consuma tra i 17 e i 150 Watt (problemi di dissipazione di calore) → 5 stati di funzionamento x risparmiare energia (da "piena esecuzione a quello di "sonno profondo")



**Figura 3.44** Disposizione fisica dei contatti del Core i7.

# Intel Core i7

## Disposizione Logica Contatti

- **1155 pad:** 286 alimentazione; 360 di messa a terra; 447 segnali; 62 (non utilizzati)
- **DDR #1 e DDR #2:** bidirezionali per DRAM, Clock a 666 MHz (1333 transazioni al secondo x 64 bit x 2 → 20 GB dati al secondo dalla memoria)
- **PCI Express** (Peripheral Component Interconnect Express): interfaccia seriale x16 linee
- **DMI** (Direct Media Interface): collegamento CPU-Chipset (chip P67 con interfacce SATA, USB, Audio, Flash, PCIe, ecc; chip ICH10 con interfacce PCI e controllori di clock real time, DMA-Direct Memory Access, ecc)
- **APIC** (Advanced Programmable Interrupt Controller)

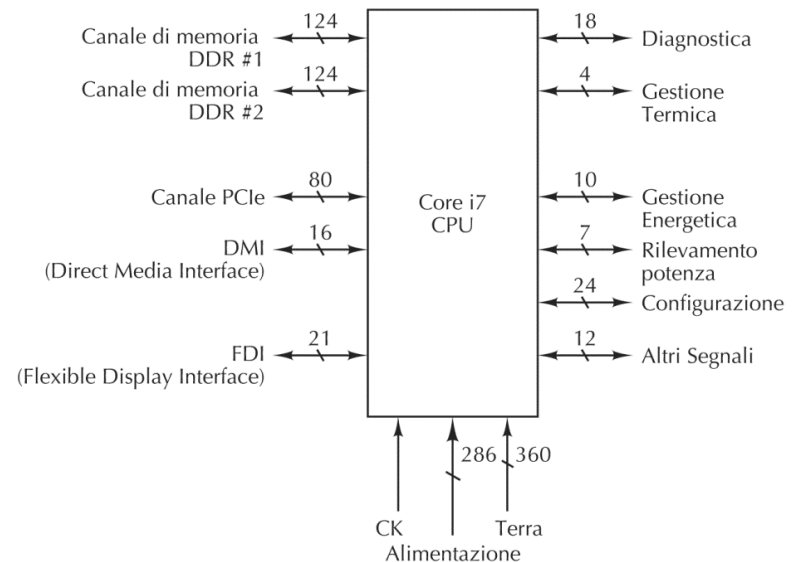


Figura 3.45 Disposizione logica dei contatti del Core i7.

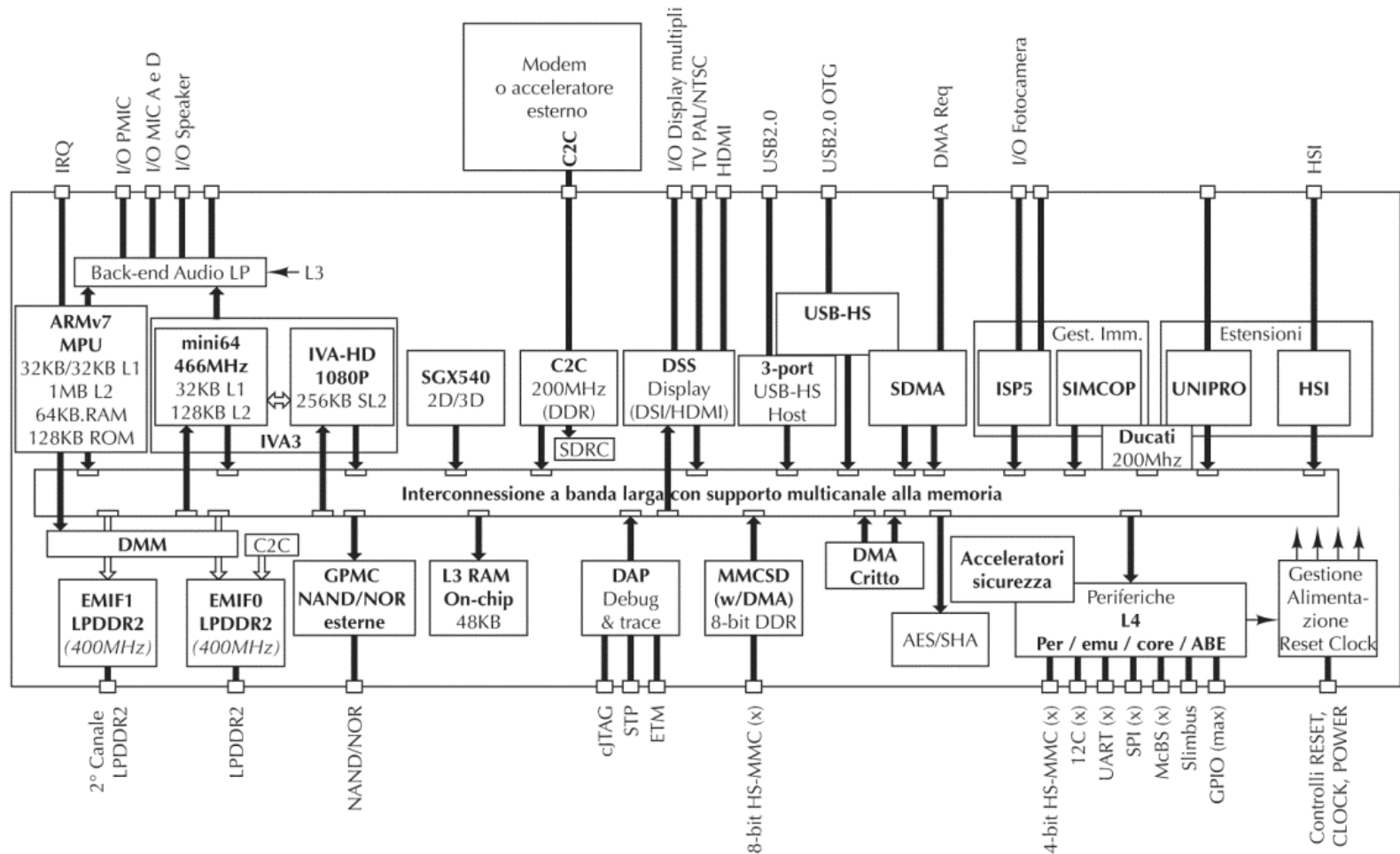
## Pipeline sul bus di memoria DDR3

- Per ottimizzare gli accessi alla memoria il bus di memoria DDR3 del Core i7 è strutturato in pipeline in modo tale da poter supportare fino a 4 transazioni contemporanee.
- Per poter fare questo la DRAM DDR3 è formata da 8 banchi di memoria e la sua interfaccia consente fino a 4 accessi concorrenti.
- Le richieste di memoria sono composte da tre fasi:
  - Fase di ACTIVATE della memoria che apre una riga della DRAM per prepararla a successivi accessi
  - Fase di READ / WRITE della memoria, in cui si possono effettuare accessi multipli a singole parole appartenenti alla riga correntemente aperta della DRAM, oppure accessi multipli a una sequenza di parole appartenenti alla riga corrente della DRAM con l'utilizzo del burst mode
  - La fase di PRECHARGE che chiude la riga corrente della DRAM e prepara la memoria per il prossimo comando ACTIVATE

## System on a Chip (SoC)

- Introdotto nel 2011 implementa set di istruzioni ARM (Advanced RISC Machine) rivolta ad applicazioni mobili ed embedded (smartphone, tablet)
- Il SoC OPAM 4430 include:
  - due Core ARM A9 (a 1GHz, tecnologia 45 nanometri),
  - un acceleratore grafico PowerVR SGX540,
  - un processore di immagini ISP
  - un processore video IVA 3
- Consumo max: 600mW di potenza (1/250 di un Core I7) / Consumo min (in modalità di sospensione): 100microWatt
- Scala dinamica di tensione (meno consumo rallentando la velocità di funzionamento della CPU) / Power gating (esclusione di componenti della CPU che non devono funzionare)

# Texas Instruments OMAP 4430



**Figura 3.47** Organizzazione interna del SoC OMAP4430.

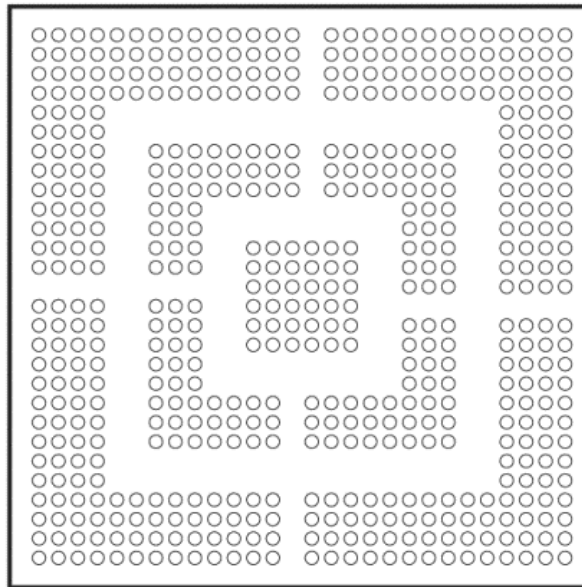
## System on a Chip (SoC)

- L'OMAP 4430 ha due cache interne principali L1 per ogni processore ARM A9, una di 32 KB per le istruzioni ed una di 32 KB per i dati.
- L'OMAP 4430 ha una cache di secondo livello di 1 MB condivisa tra i due core ARM A9.
- La memoria centrale è suddivisa in linee di cache (blocchi) di 32 byte. All'interno di ogni cache di L1 sono mantenute le 1024 linee di istruzioni e le 1024 linee di dati maggiormente utilizzate. Quelle usate frequentemente, ma che non trovano spazio in L1 vengono messe in L2 (dati+istruzioni) che contiene le 32768 linee della memoria principale usate più recentemente.
- Quando si verifica un fallimento (miss) di L1, la CPU spedisce l'identificatore della linea che sta cercando (tag dell'indirizzo) a L2. La risposta (tag dei dati) comunica alla CPU se la linea si trova in L2.
  - Se è in L2 allora può ottenerla (attendendo 19 cicli).
  - Se la linea non è in L2 allora si deve prelevare dalla memoria centrale. La CPU invia prima di tutto la parte alta dell'indirizzo (13 linee di indirizzo) alla DRAM mediante l'operazione ACTIVATE. Questa operazione carica un'intera riga di memoria della DRAM in un buffer di riga. In seguito la CPU può emettere più comandi READ o WRITE inviando la parte restante dell'indirizzo sulle stesse 13 linee e inviando (o ricevendo) il dato sulle 32 linee di dati.

# Texas Instruments OMAP 4430

## System on a Chip (SoC)

- Mentre attende i risultati la CPU può continuare a svolgere altri compiti.
- Alla memoria arrivando quindi i dati 4byte alla volta.
- Il Chip OMAP 4430 è distribuito in un supporto PBGA (Ball Grid Array – simili a LGA) con 547 pin

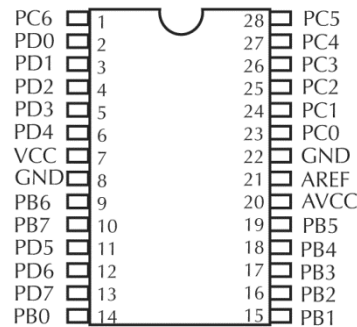


**Figura 3.48** Disposizione fisica dei contatti del SoC OMAP4430.



# Microcontrollore Atmel Atmega 168

- Supporto a 28 pin
- Non vi sono linee dati né linee di indirizzo in quanto tutta la memoria (SRAM o Flash) è contenuta nel processore



**Figura 3.49** Disposizione fisica dei contatti di Atmel ATmega168.

# Microcontrollore Atmel Atmega 168

- Alcune linee possono essere considerate come segnali analogici (all'interno è dotato di A/D converter)
- 16KB di memoria flash interna, 1KB di EEPROM, 1KB di SRAM
- L'ATMER ATMEGA 268 è un processore a 8 bit (registri/dati) che ha un set di 131 istruzioni AVR ognuna di 16 bit.

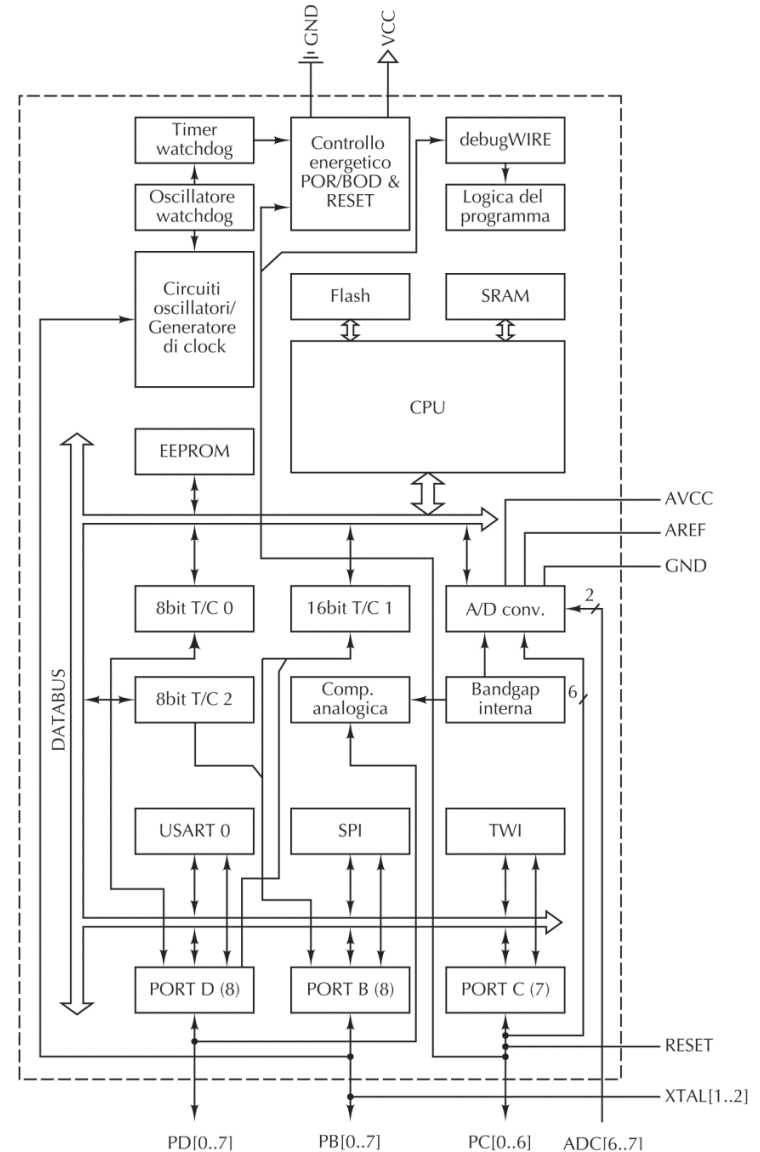
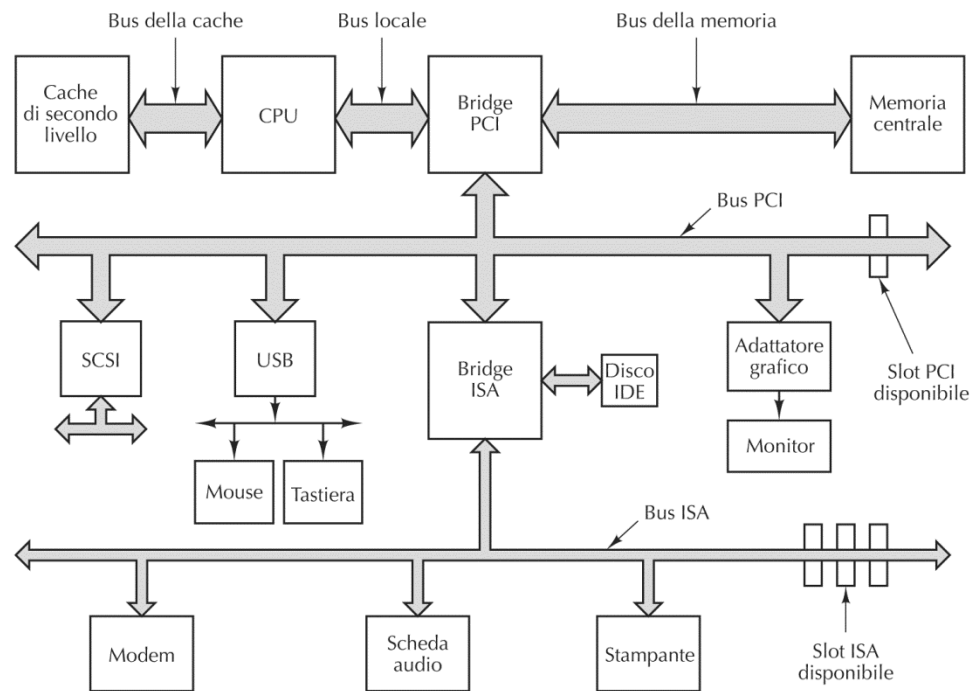


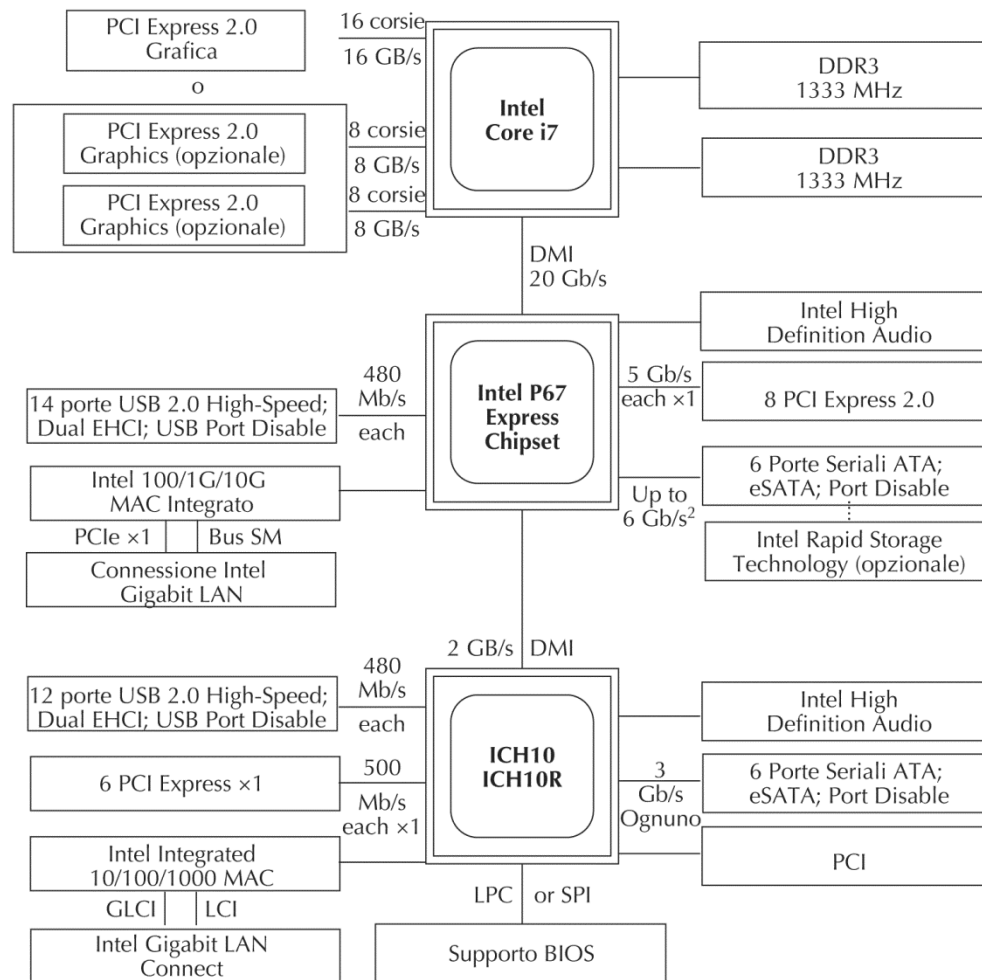
Figura 3.50 Architettura interna e disposizione logica dei contatti dell'ATmega168.



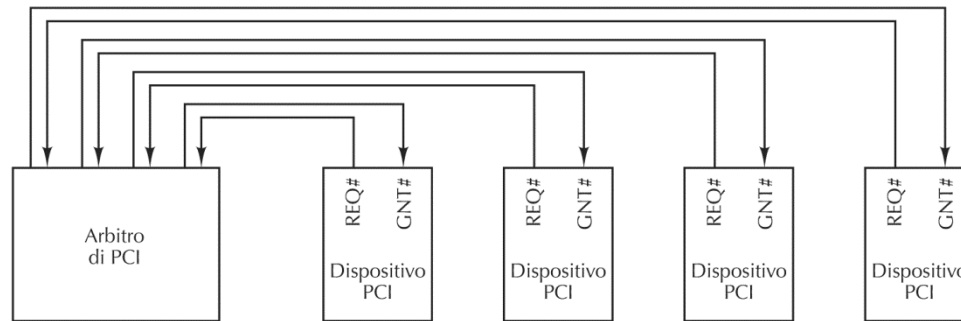




**Figura 3.51** Architettura di uno dei primi Pentium. I bus più spessi hanno una maggiore larghezza di banda rispetto a quelli più sottili (la figura non è in scala).



**Figura 3.52** La struttura del bus di un moderno sistema Core i7.



**Figura 3.53** Il bus PCI utilizza un arbitro del bus centralizzato.

Segnale	Linee	Master	Slave	Descrizione
CLK	1			Clock (33 MHz oppure 66 MHz)
AD	32	×	×	Linee d'indirizzo e dei dati multiplexate
PAR	1	×		Bit di parità dell'indirizzo e dei dati
C/BE	4	×		Comando del bus/bit map per i byte abilitati
FRAME#	1	×		Indica che AD e C/BE sono asserite
IRDY#	1	×		Lettura: il master accetterà i dati; scrittura: i dati sono presenti
IDSEL	1	×		Seleziona lo spazio di configurazione invece che quello di memoria
DEVSEL#	1		×	Lo slave ha decodificato il proprio indirizzo ed è in ascolto
TRDY#	1		×	Lettura: i dati sono presenti; scrittura: lo slave accetterà i dati
STOP#	1		×	Lo slave vuole interrompere immediatamente la transazione
PERR#	1			Il destinatario ha rilevato un errore sulla parità dei dati
SERR#	1			Errore sulla parità dell'indirizzo ed errore di sistema
REQ#	1			Arbitraggio del bus: richiesta di appropriazione del bus
GNT#	1			Arbitraggio del bus: concessione del bus
RST#	1			Reinizializza il sistema e tutti i dispositivi

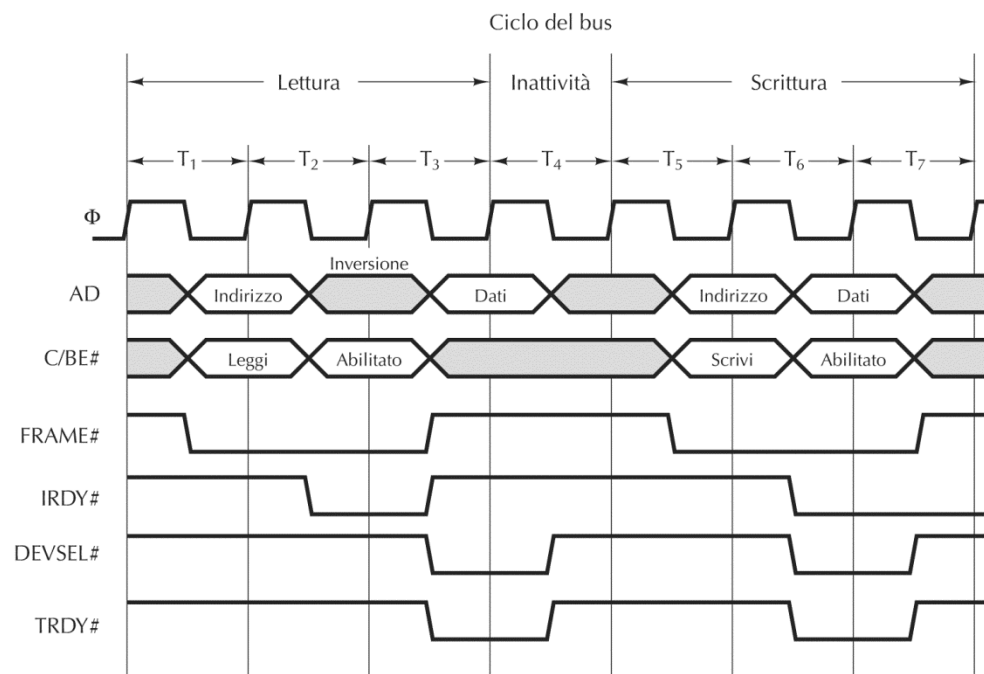
(a)

Segnale	Linee	Master	Slave	Descrizione
REQ64#	1	×		Richiesta di eseguire una transazione a 64 bit
ACK64#	1		×	Concessione per eseguire una transazione a 64 bit
AD	32	×		32 bit aggiuntivi per l'indirizzo o per i dati
PAR64	1	×		Parità per i 32 bit aggiuntivi (indirizzo/dati)
C/BE#	4	×		4 bit aggiuntivi per l'abilitazione dei byte
LOCK	1	×		Blocco del bus per permettere transazioni multiple
SBO#	1			Successo di una cache remota (per un multiprocessore)
SDONE	1			È stato effettuato lo snooping (per un multiprocessore)
INTx	4			Richiesta di un interrupt
JTAG	5			Segnali per i test JTAG IEEE 1149.1
M66EN	1			Collegato all'alimentazione o terra (66 o 33 MHz)

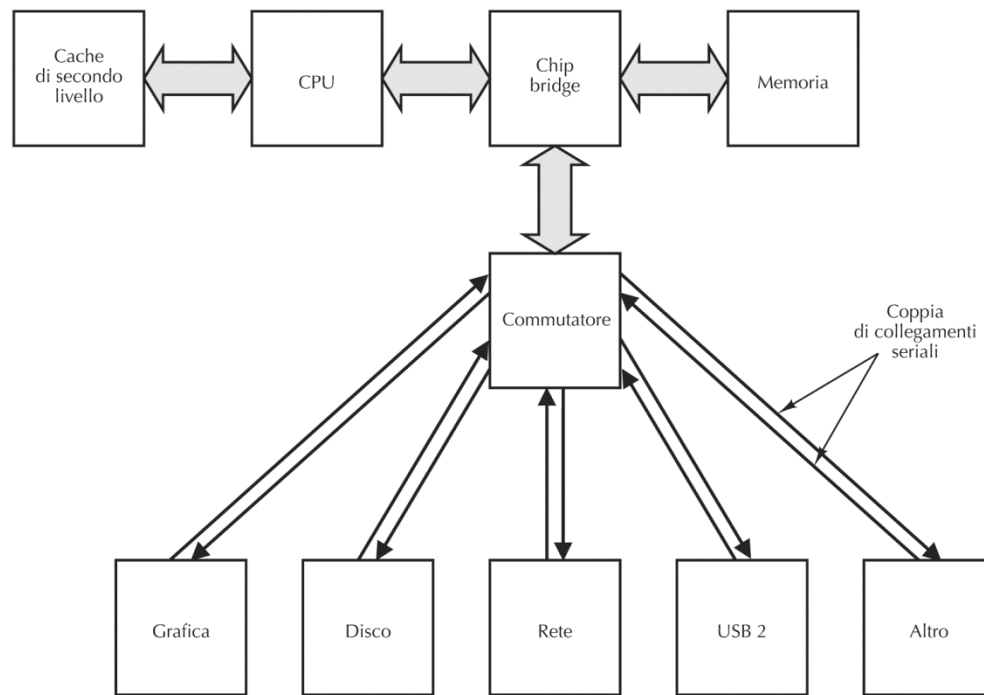
(b)

**Figura 3.54** Segnali (a) obbligatori e (b) opzionali del bus PCI.

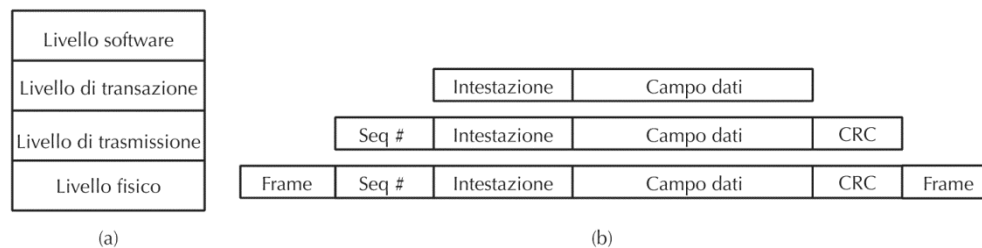




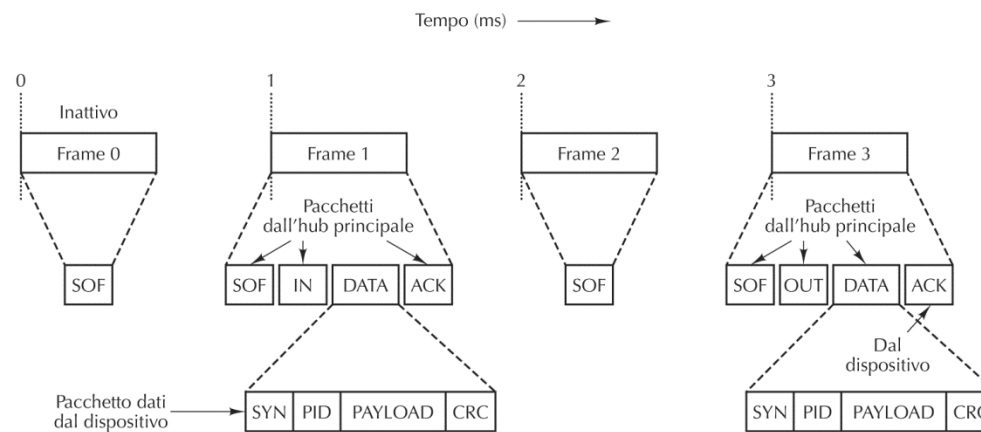
**Figura 3.55** Esempi di transazioni di un bus PCI a 32 bit. I primi tre cicli sono utilizzati per un'operazione di lettura. Segue un ciclo d'inattività e infine tre cicli per un'operazione di scrittura.



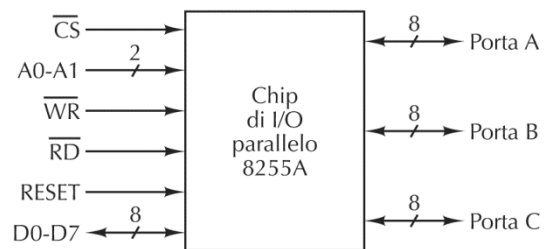
**Figura 3.56** Tipico sistema PCI Express.



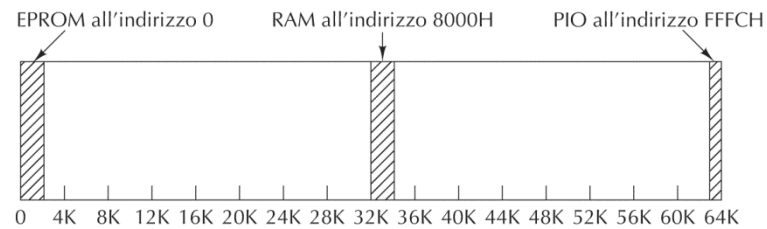
**Figura 3.57** (a) Pila di protocolli di PCI Express. (b) Formato di un pacchetto.



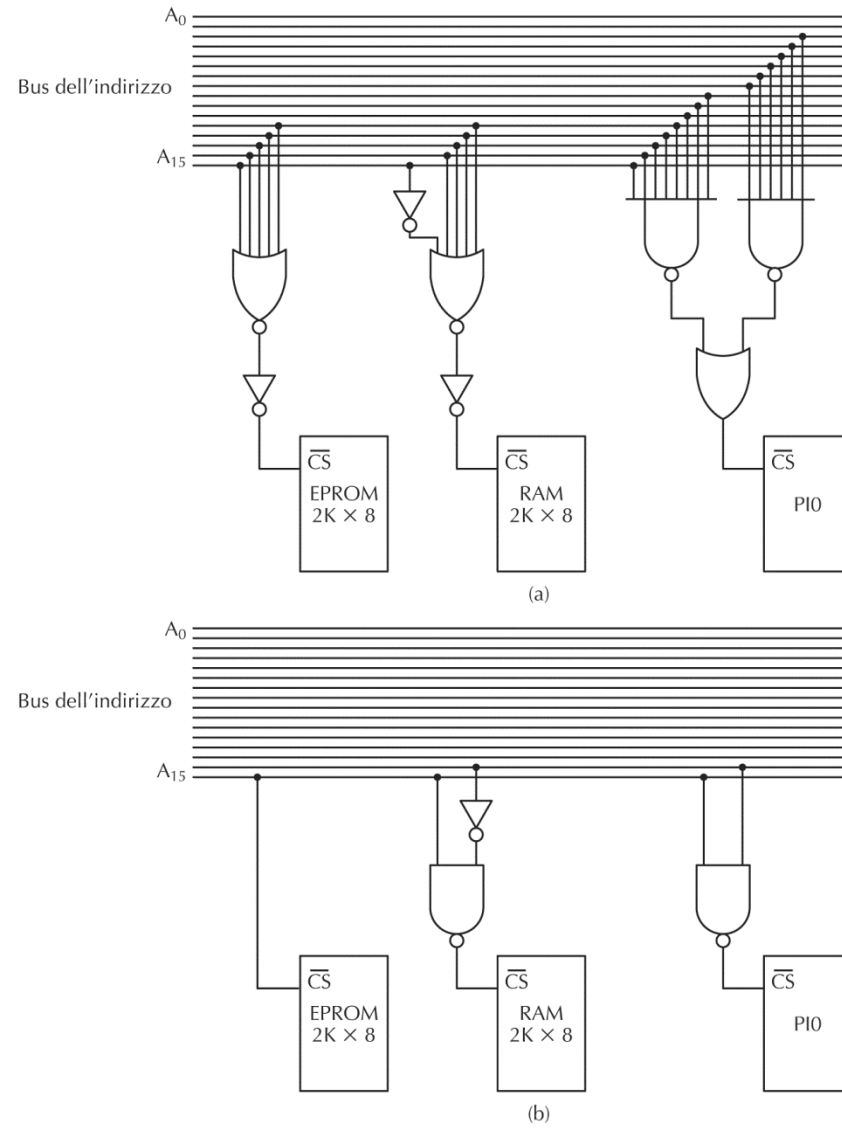
**Figura 3.58** L'hub principale USB spedisce frame ogni millisecondo.



**Figura 3.59** Interfaccia PIO a 24 bit.



**Figura 3.60** Posizione della EPROM, della RAM e del chip PIO nel nostro spazio d'indirizzamento di 64 KB.



**Figura 3.61** Decodifica dell'indirizzo: (a) completa; (b) parziale.