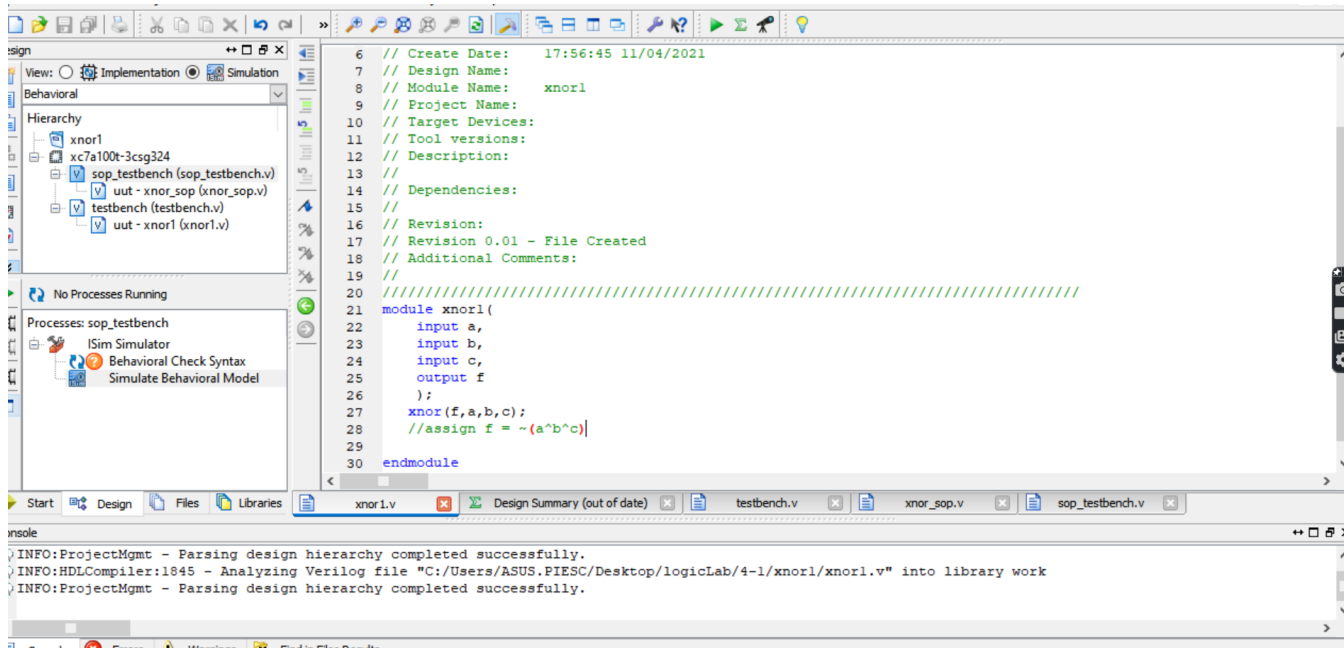


طبق جدول داخل پیش گزارش، وقتی تعداد زوجی یک در ورودی ها داریم، برای مثال در سطر اول صفرتا، خروجی تابع یک هست که طبق جدول تعاریف، یک بیت توازن فرد است.

کد وریلاگ بیت هم به صورت زیر است.



تست بنچ کد هم به صورت زیر است:

The image shows two screenshots of the ISE Project Navigator and ISim simulation engine. The top screenshot shows the Project Navigator with the testbench.v file selected, and the ISim simulation engine GUI launched successfully. The bottom screenshot shows the ISim simulation engine with the testbench.v file open, displaying the Verilog code and the simulation results.

ISE Project Navigator (P.20131013) - C:\Users\ASUS.PIESC\Desktop\logitLab\4-1\Xnor1\Xnor1.xise - [testbench.v]

View: ☐ Implementation ☒ Simulation

Hierarchy

- xnor1
 - xc7a100t-3csg324
 - sop_testbench (sop_testbench.v)
 - testbench (testbench.v)

No Processes Running

Processes: testbench

- ISim Simulator
 - Behavioral Check Syntax
 - Simulate Behavioral Model

```

41 );
42
43 initial begin
44     // Initialize Inputs
45     a = 0;
46     b = 0;
47     c = 0;
48     #50 a=0;b=0;c=0;
49     #50 a=0;b=0;c=1;
50     #50 a=0;b=1;c=0;
51     #50 a=0;b=1;c=1;
52     #50 a=1;b=0;c=0;
53     #50 a=1;b=0;c=1;
54     #50 a=1;b=1;c=0;
55     #50 a=1;b=1;c=1;
56     // Wait 100 ns for global reset to finish
57     #100;
58     $finish;
59     // Add stimulus here
60
61 end
62
63 endmodule
64
65

```

ISim simulation engine GUI launched successfully

Process "Simulate Behavioral Model" completed successfully

ISim (P.20131013) - [testbench.v]

Instances and Processes

Instance and Process Name	Object Name	Value
testbench		
uut		
Initial_43_0		
gbl		

Simulation Objects for Initial_43_0

Object Name	Value
a	0
b	1
c	1

```

44 // Initialize Inputs
45 a = 0;
46 b = 0;
47 c = 0;
48 #50 a=0;b=0;c=0;
49 #50 a=0;b=0;c=1;
50 #50 a=0;b=1;c=0;
51 #50 a=0;b=1;c=1;
52 #50 a=1;b=0;c=0;
53 #50 a=1;b=0;c=1;
54 #50 a=1;b=1;c=0;
55 #50 a=1;b=1;c=1;
56 // Wait 100 ns for global reset to finish
57 #100;
58 $finish;
59 // Add stimulus here
60
61 end
62
63 endmodule
64
65

```

ISim P.20131013 (signature 0x7708f090)

This is a Full version of ISim.

Time resolution is 1 ps

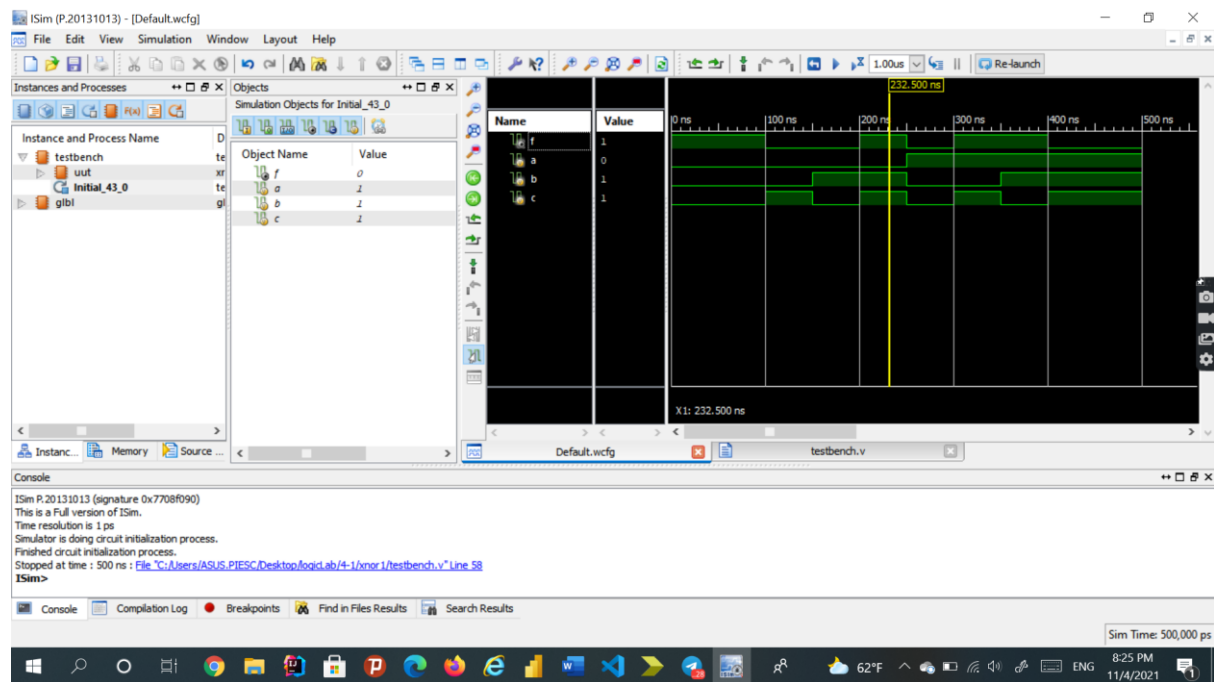
Simulator is doing circuit initialization process.

Finished circuit initialization process.

Stopped at time : 500 ns : File "C:\Users\ASUS.PIESC\Desktop\logitLab\4-1\Xnor1\testbench.v" Line 58

ISim>

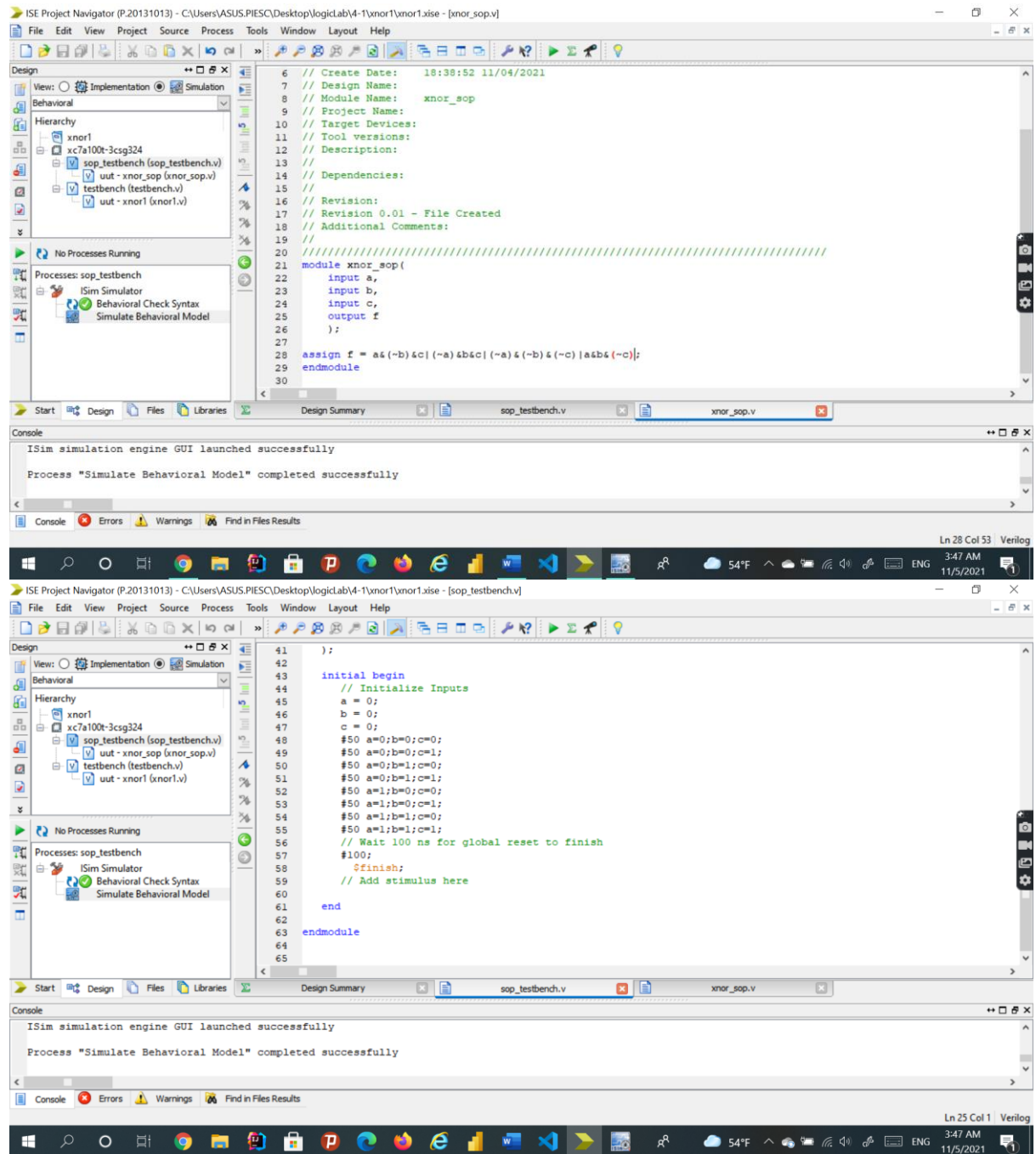
Sim Time: 500,000 ps Ln 58 Col 1 Verilog

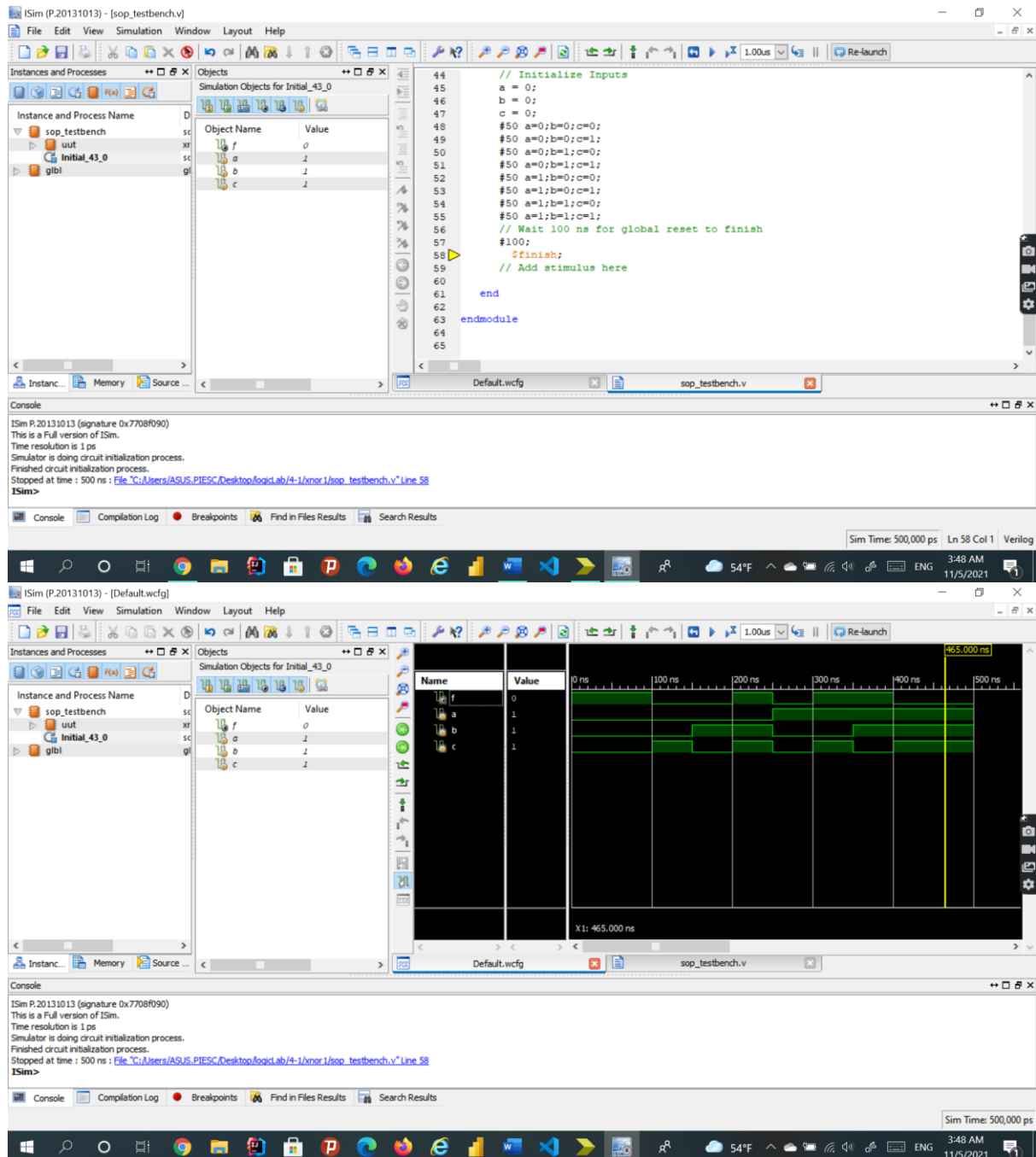


طبق عکس های زیر گیت xnor را به sop تبدیل میکنیم و مراحل بالا را برایش تکرار میکنیم:

$$a \oplus b \oplus c = ((a \oplus b) \oplus c)' = ((a'b + ab') \oplus c)' = ((a'b + a'b')c' + (a'b + a'b')c)'$$

$$= (a'b'c' + a'b'c + a'b'c + abc)' = a'b'c' + a'b'c + a'b'c' + abc'$$





قطعا روش اول را ترجیح میدهم زیرا ساده تر و آسان تر نوشته میشود و احتمال خطا را کاهش میدهد. همچنین به دلیل سادگی فهم کد نوشته شده هم راحت تر است.