

گزارش کار شماره 6 آزمایشگاه مدار منطقی

سروین نامی 9931103

آبتین زندی 9931071

آزمایش شماره 6 بخش اول:

در این آزمایش باید مدار یک مقایسه کننده سه بیتی را پیاده سازی کنیم که عدد A را با عدد B مقایسه کند و سپس با چک کردن مقادیر LT و EQ و GT می توانیم متوجه شویم آیا این دو عدد مساوی هستند یا یکی از دیگری بزرگ تر است مطابق شکل زیر کد را می نویسیم:

3 bit comparator verilog code:

```
module ThreeCopratorModule(  
    input A0,  
    input A1,  
    input A2,  
    input B0,  
    input B1,  
    input B2,  
    output LT,  
    output GRT,  
    output EQ  
);  
  
//LOGICAL CALCULATION 3Bit comporator  
assign GRT = (A2 & (~B2)) || ((~(A2^B2)) & (A1 & (~B1))) || ((~(A2^B2)) & (~(A1^B1)) & (A0 & (~B0)));  
assign LT = (B2 & (~A2)) || ((~(A2^B2)) & (B1 & (~A1))) || ((~(A2^B2)) & (~(A1^B1)) & (B0 & (~A0)));  
assign EQ = (~(A0 ^ B0)) & (~(A1^B1)) & (~(A2^B2));  
endmodule
```

سپس TestBench ها را می نویسیم و شبیه سازی را اجرا می کنیم به علت زیاد بودن حالات در دو تست بنچ این آزمایش را بررسی می کنیم :

3 bit comparator TestBench 1:

```

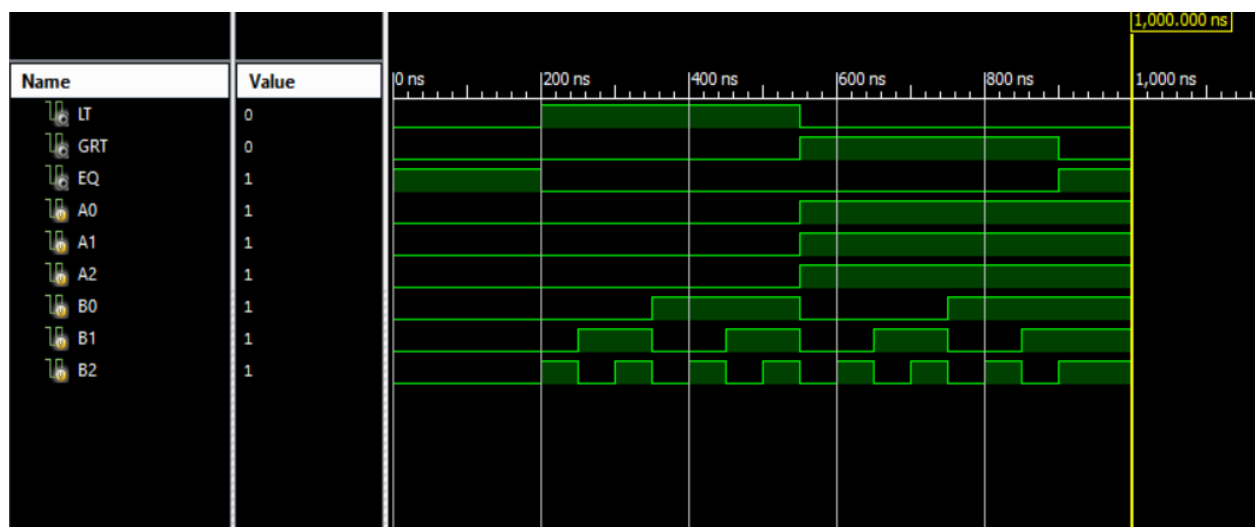
// Wait 100 ns for global reset to finish
#100;
#50 A0=0; A1=0; A2=0; B0=0; B1=0; B2=0;
#50 A0=0; A1=0; A2=0; B0=0; B1=0; B2=1;
#50 A0=0; A1=0; A2=0; B0=0; B1=1; B2=0;
#50 A0=0; A1=0; A2=0; B0=0; B1=1; B2=1;
#50 A0=0; A1=0; A2=0; B0=1; B1=0; B2=0;
#50 A0=0; A1=0; A2=0; B0=1; B1=0; B2=1;
#50 A0=0; A1=0; A2=0; B0=1; B1=1; B2=0;
#50 A0=0; A1=0; A2=0; B0=1; B1=1; B2=1;

#50 A0=1; A1=1; A2=1; B0=0; B1=0; B2=0;
#50 A0=1; A1=1; A2=1; B0=0; B1=0; B2=1;
#50 A0=1; A1=1; A2=1; B0=0; B1=1; B2=0;
#50 A0=1; A1=1; A2=1; B0=0; B1=1; B2=1;
#50 A0=1; A1=1; A2=1; B0=1; B1=0; B2=0;
#50 A0=1; A1=1; A2=1; B0=1; B1=0; B2=1;
#50 A0=1; A1=1; A2=1; B0=1; B1=1; B2=0;
#50 A0=1; A1=1; A2=1; B0=1; B1=1; B2=1;

#100;
$finish;
// Add stimulus here

```

3 bit comparator TestBench 1 Timeline:

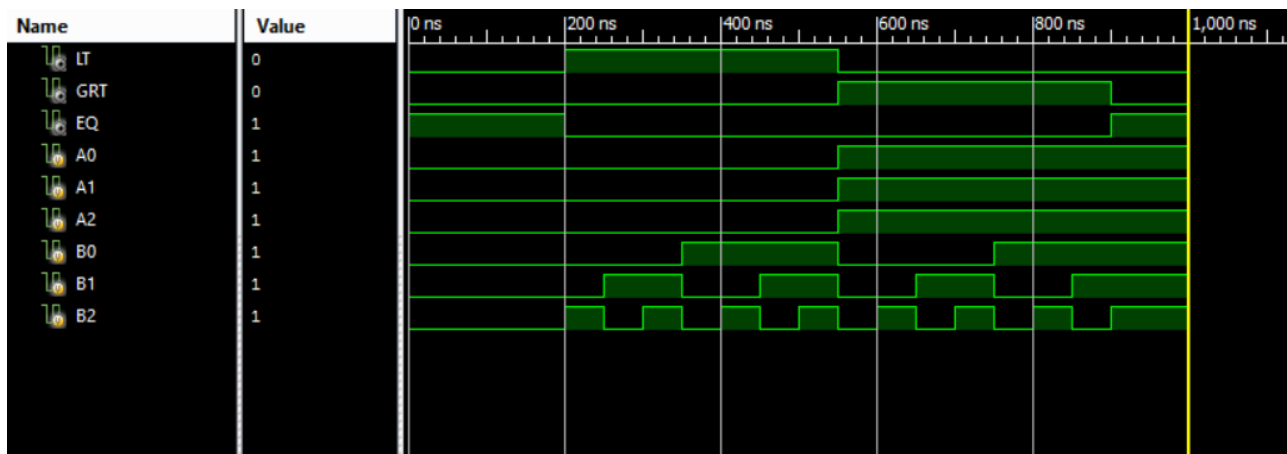


3 bit comparator TestBench 2:

```
// Wait 100 ns for global reset to finish
#100;
#50 A0=0; A1=0; A2=0; B0=0; B1=0; B2=0;
#50 A0=1; A1=1; A2=0; B0=0; B1=0; B2=1;
#50 A0=1; A1=0; A2=1; B0=1; B1=1; B2=0;
#50 A0=0; A1=1; A2=1; B0=0; B1=1; B2=1;
#50 A0=1; A1=0; A2=0; B0=1; B1=1; B2=0;
#50 A0=1; A1=1; A2=0; B0=1; B1=0; B2=1;
#50 A0=0; A1=1; A2=0; B0=1; B1=1; B2=0;
#50 A0=0; A1=0; A2=1; B0=1; B1=1; B2=1;

#100;
$finish;
```

3 bit comparator TestBench 2 Timeline:



3.2)

8 bit comparator using 2 3 bit comparators

```

13 //
14 // Dependencies:
15 //
16 // Revision:
17 // Revision 0.01 - File Created
18 // Additional Comments:
19 //
20 ///////////////////////////////////////////////////////////////////
21 module comparator_3_bit(
22     input A0,
23     input A1,
24     input A2,
25     input B0,
26     input B1,
27     input B2,
28     output LT,
29     output GRT,
30     output EQ
31 );
32 assign LT = (B2 & (~A2)) || ((~(A2^B2)) & (B1 & (~A1))) || ((~(A2^B2)) & (~(A1^B1)) & (B0 & (~A0)));
33 assign GRT = (A2 & (~B2)) || ((~(A2^B2)) & (A1 & (~B1))) || ((~(A2^B2)) & (~(A1^B1)) & (A0 & (~B0)));
34 assign EQ = (~(A0 ^ B0)) & (~(A1^B1)) & (~(A2^B2));
35
36 endmodule
37
38 module comparator_7_bit(
39     input b1,
40     input b2,
41     input b3,
42     input b4,
43     input b5,
44     input b6,
45     input b7,
46     output LT,
47     output GRT,
48     output EQ
49 );
50 wire lt1;
51 wire lt2;
52 wire grt1;
53 wire grt2;
54 wire eql;
55 wire eq2;
56 comparator_3_bit c1(a5,a6,a7,b5,b6,b7,lt1,grt1,eql);
57 comparator_3_bit c2(a2,a3,a4,b2,b3,b4,lt2,grt2,eq2);
58
59 assign LT = lt1|(lt2&eq1)|(eq1&eq2&((~a1)&b1)|((~(a1^b1))&(~a0)&b0));
60 assign GRT = grt1|(grt2&eq1)|(a1&(~b1)&eq1&eq2)|(a0&(~b0)&eq1&eq2&(~(a1^b1)));
61 assign EQ = eql&eq2&(~(a1^b1))&(~(a0^b0));
62
63 endmodule
64
65

```

```

80 0;
81 0;
82 0;
83 0;
84 0;
85 0;
86 0;
87 0;
88 0;
89 0;
90 0;
91
92 ait 100 ns for global reset to finish
93
94 a0 = 0;a1 = 0;a2 = 0;a3 = 0;a4 = 1;a5 = 1;a6 = 0;a7 = 0;b0 = 0;b1 = 0;b2 = 0;b3 = 0;b4 = 1;b5 = 1;b6 = 0;b7 = 0;
95 a0 = 0;a1 = 0;a2 = 0;a3 = 0;a4 = 1;a5 = 0;a6 = 1;a7 = 0;b0 = 0;b1 = 0;b2 = 0;b3 = 1;b4 = 0;b5 = 0;b6 = 0;b7 = 1;
96 a0 = 0;a1 = 0;a2 = 0;a3 = 0;a4 = 1;a5 = 1;a6 = 1;a7 = 1;b0 = 0;b1 = 0;b2 = 0;b3 = 0;b4 = 0;b5 = 1;b6 = 0;b7 = 1;
97 a0 = 0;a1 = 0;a2 = 0;a3 = 1;a4 = 1;a5 = 0;a6 = 0;a7 = 0;b0 = 0;b1 = 0;b2 = 0;b3 = 1;b4 = 1;b5 = 0;b6 = 0;b7 = 0;
98
99 ish;
100 dd stimulus here
101
102
103
104

```

