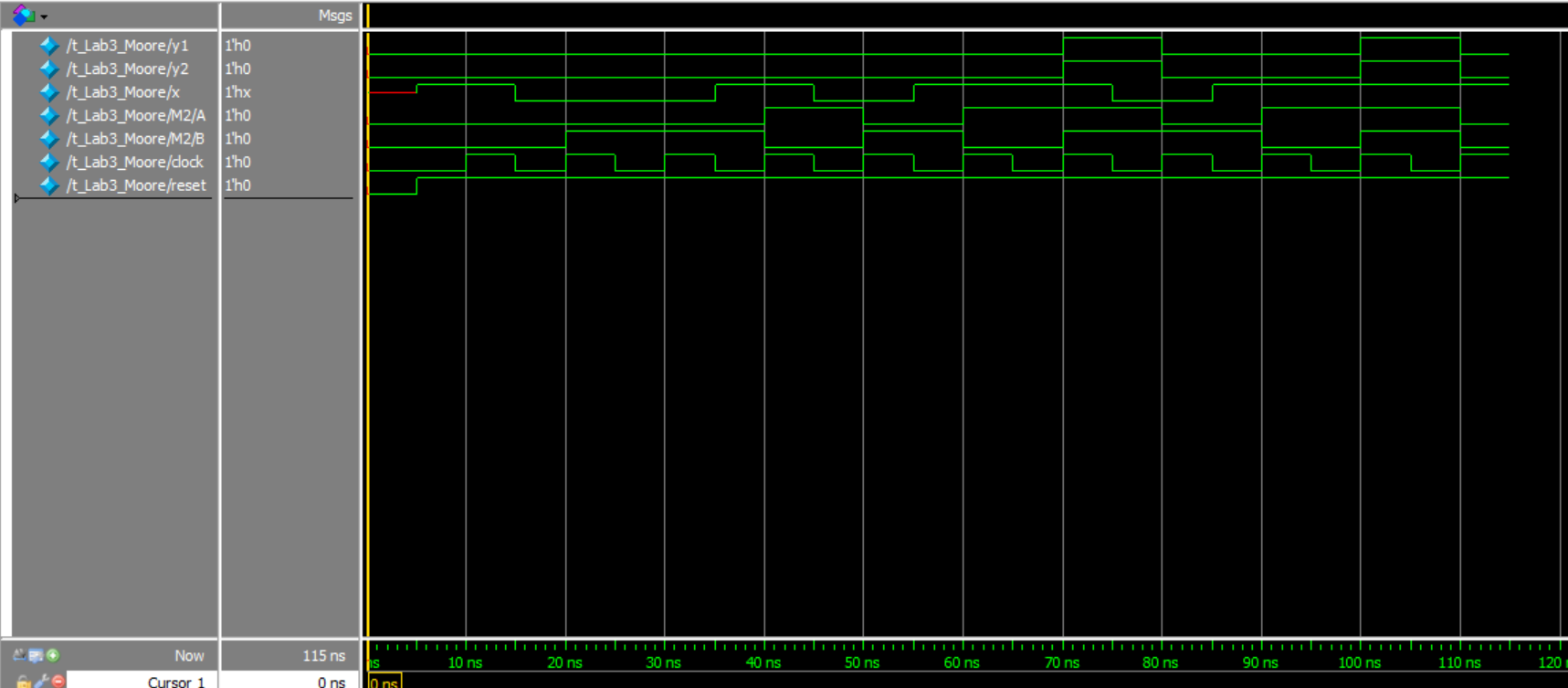
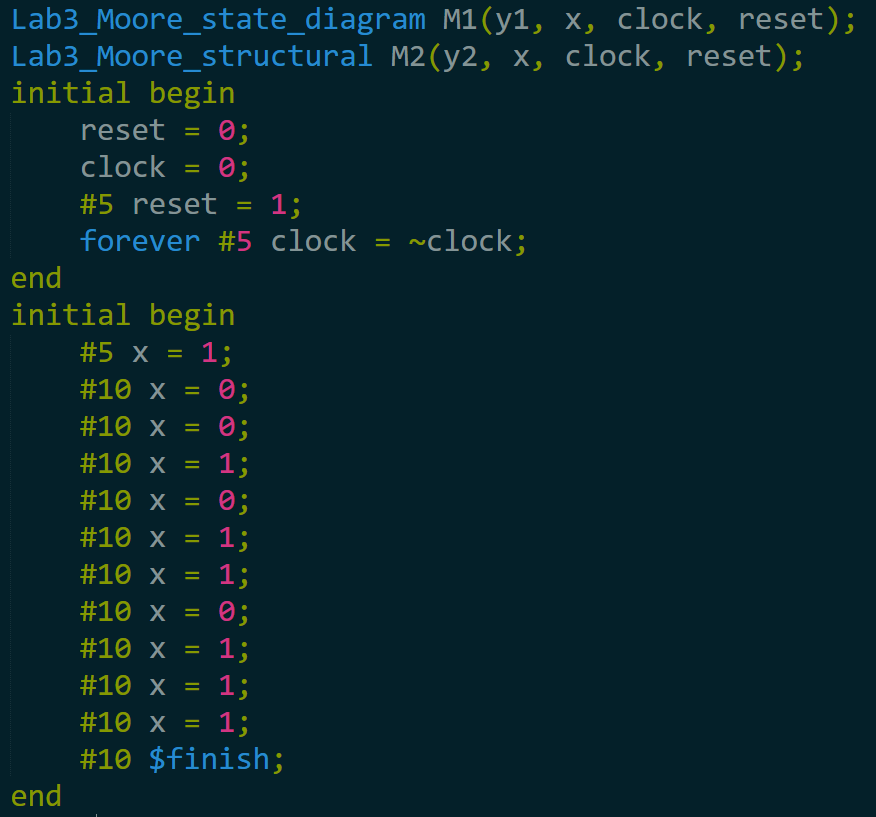
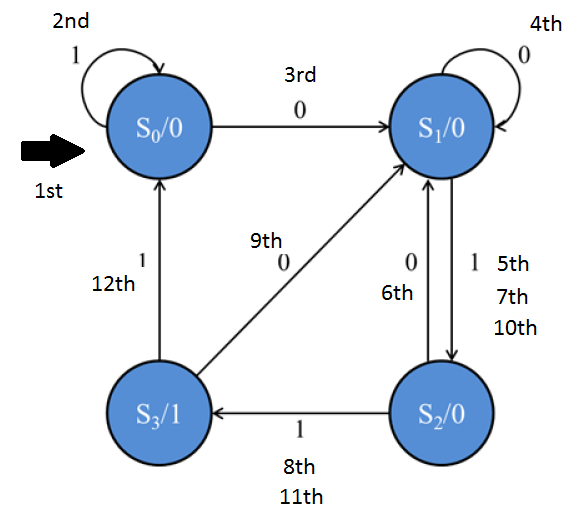
1. 2C模擬結果波形圖



Testbench設計

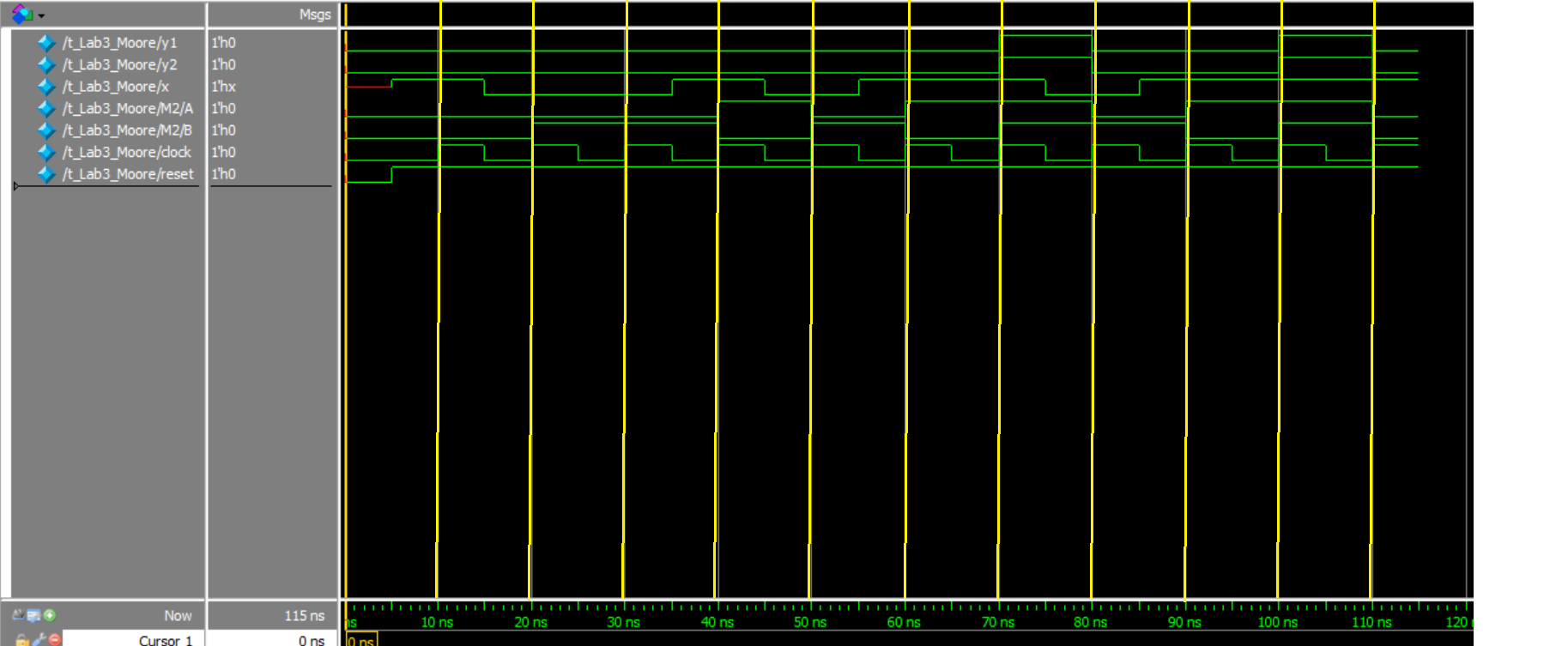


把狀態圖中的每條邊都至少走過一次



5ns前reset的訊號為0，之後reset為1。

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 時間ns | ~5 | 10 | 20 | 30 | 40 | 50 | 60 | 70 | 80 | 90 | 100 | 110 | 115 |
| 輸入 | X | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 狀態 | S0 | S0 | S0 | S1 | S1 | S2 | S1 | S2 | S3 | S1 | S2 | S3 | S0 |
| 輸出 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |



在所有狀態與輸入組合下，2A、2B模擬結果波形圖與狀態圖和電路圖的結果相符，故正確。

1. 在這次作業中，我學會了同步順序電路設計的方法與原理，以state-diagram-based model與structural model等不同方式撰寫Verilog電路模組及測試模組。老師的講義中的範例也幫助我快速的理解設計的原理及testbench撰寫的方法。