

Ricardo Alexandre Ventura Matos

43321

2º Trabalho Prático

Samuel Sampaio Costa

43552

1-12-2016

Pedro Miguel Carvalho Rocha

43884

Grupo 4

Introdução

O presente relatório, referente ao segundo de três trabalhos práticos (Examinador), acompanha a realização do projeto de um examinador, de acordo com o enunciado proposto. Ao longo do documento apresenta-se (i) a descrição da solução adotada, tendo como ponto de partida o diagrama de blocos do sistema; (ii) breves conclusões sobre o funcionamento do sistema e a natureza das opções tomadas durante a realização do trabalho; (iii) o esquema de ligações da PAL; e, por fim, (iv) uma reprodução do ficheiro .PLD com o código CUPL gravado na PAL. Na figura 1 apresenta-se o diagrama de blocos do sistema.

O Examinador consiste num sistema para apoio à avaliação de álgebra de Boole, onde o examinador seleciona uma de três funções logicas através de três bits (um para cada função), estabelece as entradas da função A e B, estabelece a entrada R que corresponde ao resultado esperado da operação selecionada entre as entradas A e B, e que quando é ativada entrada VALIDAR obtém-se em OK a indicação de que R é ou não o resultado correto da função selecionada.

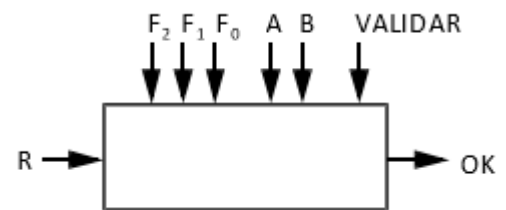


Figura 1

As funções a validar são $(A + B)$, $(A \cdot B)$ e $(A \oplus B)$.

O Examinador deverá manter a saída OK com o valor logico 1 enquanto o examinador não ativar VALIDAR ou enquanto não for escolhido nenhuma função (NF).

Para tal propõe-se a implementação de três módulos:

- Modulo Priority Function
- Modulo Function Result
- Modulo Validar Result

, tal como representado no diagrama de blocos da figura 2:

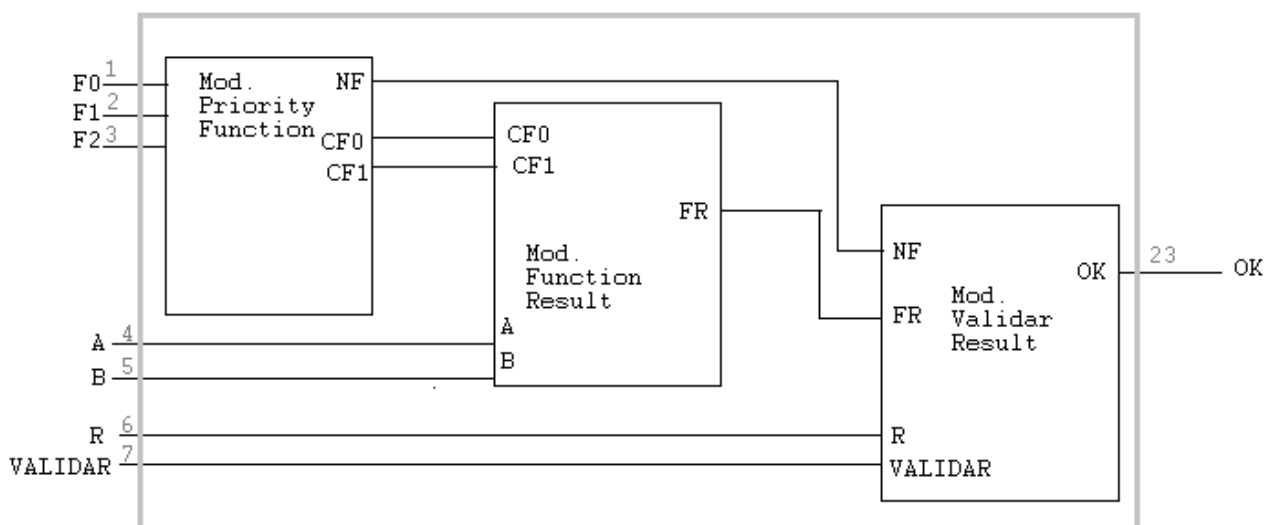


Figura 2

Modulo Priority Function

Dadas três entradas F0, F1 e F2, é pretendido que o módulo indique a operação a realizar. No caso de ser ativada mais do que uma entrada, estabelece-se qual a operação prioritária. Optou-se por associar F0 à operação AND (•), F1 à operação OR (+) e F2 a XOR (⊕). Na álgebra de Boole, a operação AND é mais prioritária em relação quer a OR, quer a XOR, seguida de OR, que é prioritária em relação a XOR, e de XOR, que é a menos prioritária das três. Codificou-se como CF0 e CF1 os dois bits de saída do módulo que indicam a operação a ser realizada pelo módulo seguinte.

Adicionalmente, se não for ativada nenhuma das entradas, o módulo fornece o sinal NF, que, quando ativo, indica que nenhuma operação é realizada. A importância da inclusão deste sinal é explicitada na explicação do funcionamento do Módulo “Validar Result”.

Fez-se a tabela de verdade para as variáveis do módulo, por forma a que seja respeitada a prioridade das operações.

F2	F1	F0	CF1	CF0	NF	Operação
0	0	0	0	0	1	Ver mód. Validar Result
-	-	1	0	1	0	AND
-	1	0	1	0	0	OR
1	0	0	1	1	0	XOR

Donde se obtém que:

$$CF0 = F0 + \overline{F0} \cdot \overline{F1} \cdot F2$$

$$CF1 = \overline{F0} \cdot F2 + F1 \cdot \overline{F0}$$

$$NF = \overline{F0} \cdot \overline{F1} \cdot \overline{F2}$$

Modulo Function Result

Com este modulo pretende-se realizar a operação determinada pelo modulo *Priority Function* CF0 e CF1, para as entradas A e B e indicar o resultado na saída FR. De referir que quando CF0 e CF1 igual a ‘0’, não existe operação definida. Para tal elaborou-se a seguinte tabela de verdade:

Aplicando o teorema de Karnaugh, obteve-se a seguinte expressão:

$$FR = \overline{CF0} \cdot CF1 \cdot B + CF1 \cdot A \cdot \overline{B} + CF0 \cdot \overline{CF1} \cdot A \cdot B + CF1 \cdot \overline{A} \cdot B$$

CF1	CF0	B	A	FR	Operação
0	0	--	--	--	NF
0	1	0	0	0	AND
0	1	0	1	0	
0	1	1	0	0	
0	1	1	1	1	OR
1	0	0	0	0	
1	0	0	1	1	
1	0	1	0	1	
1	0	1	1	1	XOR
1	1	0	0	0	
1	1	0	1	1	
1	1	1	0	1	
1	1	1	1	0	

Modulo Validar Result

Este módulo recebe como input os sinais FR (resultado da operação realizada entre operandos A e B), R (introduzido pelo examinando; valor lógico correspondente à função selecionada com os valores de entrada anteriores), NF, que é ativo quando não é indicado qual a operação a realizar e VALIDAR (que atualiza o valor de OK). Fornece como output o sinal OK, que indica se o resultado da operação realizada corresponde ao resultado introduzido pelo examinando.

Pretende-se que quando NF esteja ativo, i.e. não tenha sido indicada nenhuma operação a realizar, o valor de RESULT seja 1, por forma a que OK também seja 1. Pretende-se também que RESULT seja 1 quando o resultado da operação realizada coincida com o valor de R introduzido pelo examinando. Assim, foi preferida a utilização da função XNOR, que é um comparador por excelência. Obteve-se então que $RESULT = \overline{FR} \oplus \overline{R} + NF$.

Nas condições propostas, OK está ativo em duas situações: quando VALIDAR não está ativo; e quando o examinando introduziu corretamente o resultado da operação realizada e VALIDAR está ativo. Assim, foi obtida a seguinte expressão para OK. $OK = \overline{VALIDAR} + VALIDAR \cdot RESULT \equiv OK = RESULT + \overline{VALIDAR}$.

Conclusões

O projeto do Examinador foi implementado e montado em sala de aula (ver esquema de ligações na PAL). Os resultados obtidos encontram-se em conformidade com o enunciado.

Do ponto de vista da conceção, foi proposto o desafio de desenvolver um projeto partindo de um estágio anterior ao do primeiro trabalho prático (ALU), o que representou tanto uma novidade como um desafio acrescido. Para tal, revelaram-se úteis ferramentas como a divisão do projeto em módulos e a elaboração de tabelas de verdade e mapas de Karnaugh. Este relatório e a sua estrutura acabou por revelar-se um bom guião para o projeto.

Um dos requisitos a respeitar pela solução adotada era manter a saída OK ao valor lógico 1 enquanto o examinando não tivesse indicado a resposta, ou seja, enquanto a entrada VALIDAR estivesse inativa. Esta exigência foi respeitada na arquitetura do módulo Validar Result (ver mod. Validar Result), com recurso a uma porta XNOR e a introdução do sinal NF, gerado no módulo Priority Function.

F0	I1	1	24	5V	VCC
F1	I2	2	23	IO10	OK
F2	I3	3	22	IO9	
A	I4	4	21	IO8	
B	I5	5	20	IO7	NF
R	I6	6	19	IO6	RESULT
VALIDAR	I7	7	18	IO5	
	I8	8	17	IO4	
	I9	9	16	IO3	FR
	I10	10	15	IO2	
	I11	11	14	IO1	
GROUND	GND	12	13	I12	

Esquema de Ligações na PAL

Lógica e Sistemas Digitais

Área Departamental de Engenharia de Eletrónica e Telecomunicações e de Computadores

```
Name          EXAMINADOR ;
PartNo         0 ;
Date          17-10-2016 ;
Revision      01 ;
Designer      G04 ;
Company       CCISEL ;
Assembly      None ;
Location      ;
Device        p22v10 ;

/***** INPUT PINS *****/
PIN 1 = F0 ;
PIN 2 = F1 ;
PIN 3 = F2 ;
PIN 4 = A ;
PIN 5 = B ;
PIN 6 = R;
PIN 7 = VALIDAR;

/***** OUTPUT PINS *****/
PIN 16 = FR;
PIN 19 = RESULT ;
PIN 20 = NF;
PIN 23 = OK;

/*****MÓDULO PRIORITY FUNCTION*****/

CF0 = F0 # !F0 & !F1 & F2 ;

CF1 = !F0 & F2 # F1 & !F0;

NF = !F0 & !F1 & !F2;

/*****MÓDULO FUNCTION RESULT*****/

FR = !CF0 & CF1 & B #
      CF1 & A & !B #
      CF0 & !CF1 & A & B #
      CF1 & !A & B;

/*****MÓDULO VALIDAR RESULT*****/
RESULT = !(FR$R)# NF;

OK = RESULT # !VALIDAR;
```

Reprodução do ficheiro .PLD com código CUPL gravado na PAL