



ISEL

INSTITUTO SUPERIOR
DE ENGENHARIA DE LISBOA

Ano Letivo 2016/2017 – 1º Semestre

ELETRÓNICA

Preparação 3º Trabalho de Laboratório

Curso

Licenciatura de Engenharia Informática e de Computadores (LEIC)

Docente

Engenheiro António Maçarico

Alunos

Tiago Castro, Nº 42647

Samuel Costa, Nº 43552

1.

Foi construído um circuito CMOS para a implementação da função $Y = \bar{A} + BC$. Começou-se por esboçar a rede *pull-up* (PUN) de transístores PMOS, cujas entradas foram negadas em relação à função a implementar. Assim, a rede pull-up implementa $Y = f(A, \bar{B}, \bar{C})$. Portanto, como temos BC na função a implementar, esta rede apresenta **MPB MPC** em série, cujas entradas gate recebem os sinais de \bar{B} e \bar{C} respetivamente, obtidos com recurso a dois circuitos inversores; e **MPA** (a cuja gate se aplica o sinal de A) em paralelo com estes.

Para a construção da rede pull-down (PDN) de transístores NMOS, passou a considerar-se $Y = f(\bar{A}, B, C)$. Pretendeu-se obter a função complementar daquela implementada pela rede pull-up. Assim, **MNB** encontra-se em paralelo com **MNC** e estes em série com **MNA**.

Apresenta-se de seguida um esquema do circuito CMOS construído:

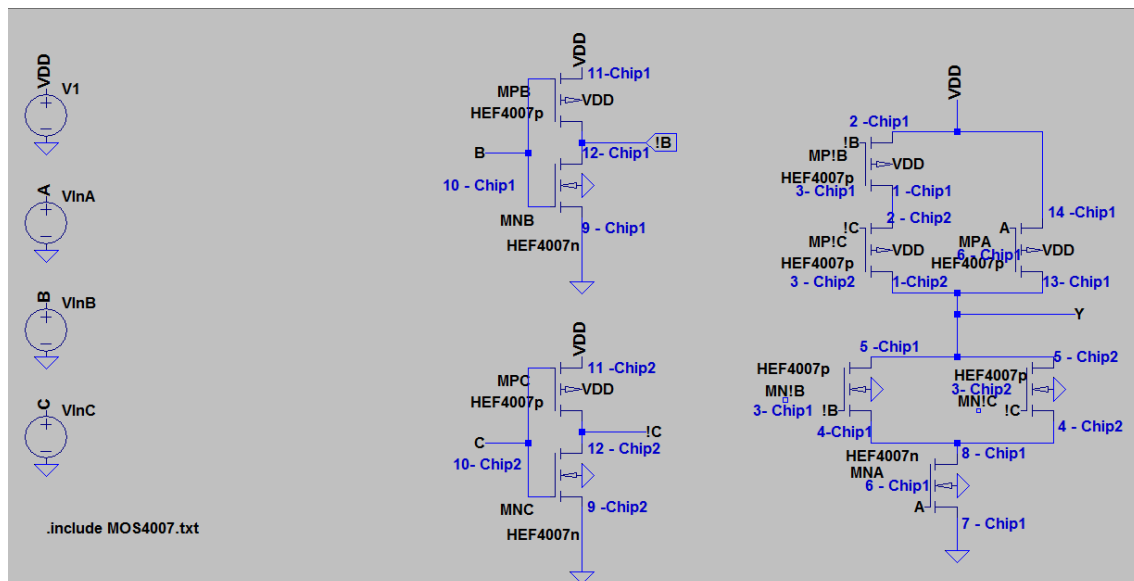
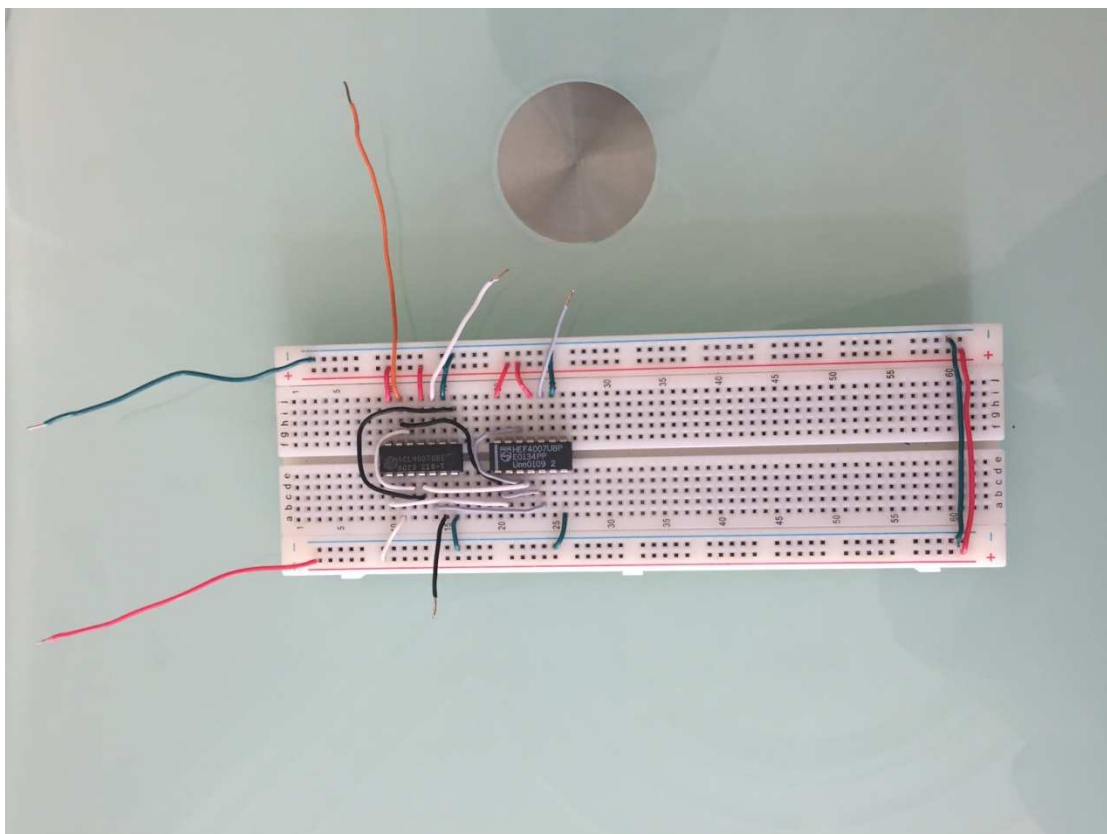


Diagrama do circuito CMOS com rede pull-up e pull-down sem dados de simulação (ver ficheiro Gate-CMOS-esquema.asc)

Neste diagrama incluíram-se referências ao PIN-OUT da montagem, tarefa que se relata de seguida.

Para a montagem do circuito em breadboard, foram utilizados 2 circuitos integrados CI 4007. Devido às especificidades destes integrados, optou-se por utilizar, em cada um, o par P_3/N_3 como inversores para os sinais B e C. No chip 1, o par P_1/N_1 , foi utilizado para o sinal de A, em PUN e PDN, uma vez que as entradas Source de N1 e P1 estão ligadas a VSS e a VDD respetivamente, i.e a entrada source deste transistor terá que estar ligada à massa. Os transistores P_2 no chip 1 e 2 foram utilizados para os sinais \bar{B} e \bar{C} na rede PUN e N_2 foi utilizado para os mesmos sinais na rede PDN.

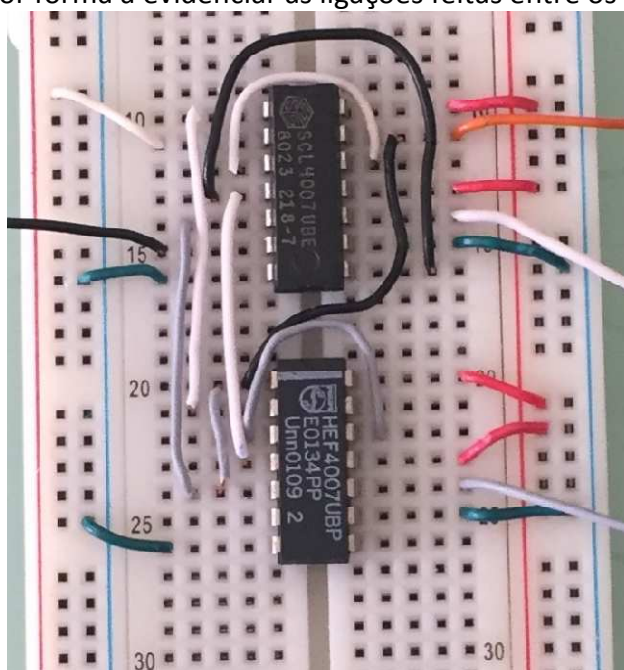
Na imagem a seguir apresenta-se a montagem do circuito na breadboard, obedecendo ao Pin-Out sugerido anteriormente. A informação presente no diagrama anterior surge completada.



montagem do circuito CMOS em breadboard

Tal como se encontra montado, o circuito está pronto a ser ligado à fonte de tensão (fio verde à “massa”, vermelho a VDD). Quanto ao fio laranja, é usado na leitura de V_y em relação a VDD ou a GND conforme seja o caso. Os três condutores restantes são alimentados com os sinais de A (fio preto), B (fio branco) e C (fio cinzento) nas margens verticais da breadboard (as duas linhas horizontais superiores e inferiores na fotografia).

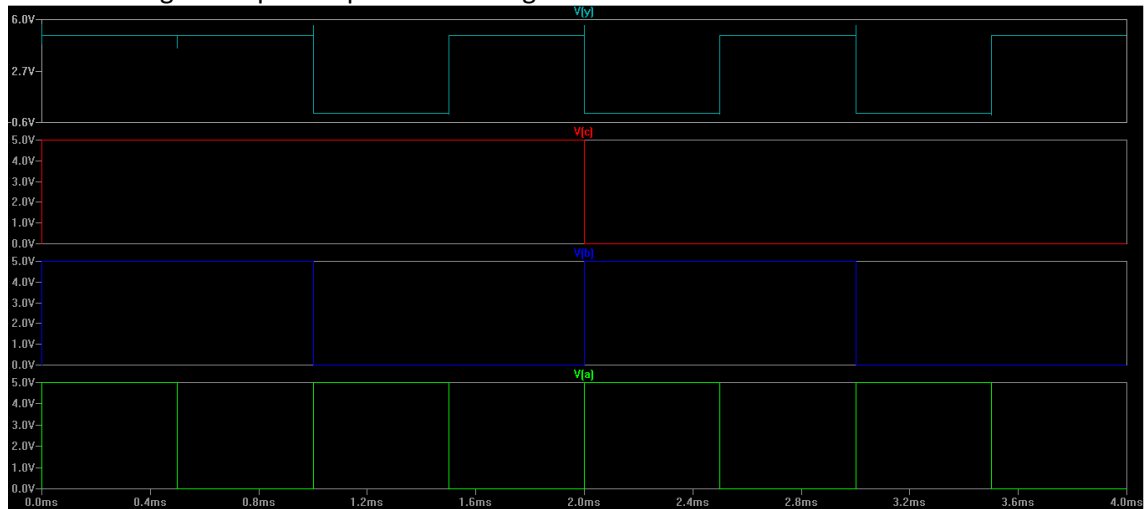
De seguida apresenta-se um detalhe da fotografia anterior, rodada 90° para a direita, por forma a evidenciar as ligações feitas entre os PINs dos CI 4007:



2.

Neste ponto fez-se corresponder a V_A , V_B , V_C e $V_Y=5V$ o valor lógico 1 e o valor lógico 0 quando o valor de tensão do sinal é 0V.

Foi simulado o funcionamento do circuito de acordo com as condições propostas no enunciado. Obteve-se o gráfico que se apresenta de seguida:



Verde: $V_A(t)$; azul: $V_B(t)$; vermelho: $V_C(t)$; ciano: $V_Y(t)$

Como $T_C = 2 T_B = 4 T_A$, o gráfico da simulação para um período de C ($T_C=4ms$), permite observar o comportamento do sinal Y para cada um dos estados possíveis do circuito.

Elaborou-se uma tabela de verdade que tem como entradas as variáveis A, B e C e como saída a função $Y = \bar{A} + BC$.

C	B	A	$\bar{A} + BC$
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Observou-se o comportamento do sinal V_Y ao longo do tempo (linha a ciano no gráfico), comparando os dados obtidos com os valores na tabela. Assim, em três intervalos de tempo diferentes, a linha que representa V_Y no gráfico cai abruptamente, aproximando-se do seu mínimo. No primeiro deles, $V_A = 5V$, $V_B = 0V$ e $V_C = 5V$, isto é, $A=1$, $B=0$ e $C=1$. Este estado do circuito corresponde à 7ª linha da tabela acima, em que o valor da função toma o valor 0. Da mesma forma, quando $V_A = 5V$, $V_B = 5V$ e $V_C = 0V$, i.e $A=1$, $B=1$ e $C=0$, a função Y toma o valor 0 (5ª linha da tabela de verdade) e, por fim, o mesmo ocorre quando $V_A = 5V$, $V_B = 0V$, $V_C = 0V$, i.e $A=1$, $B=0$, $C=0$ (3ª linha da tabela). Em todos os outros períodos de tempo, isto é, para todos os outros valores lógicos de A, B e C, Y toma o valor 1. Constatou-se que tal era coerente tanto com o gráfico observado como com a tabela elaborada.

3.

Neste ponto foi considerado o número 6 em base decimal, 110 em base 2, em que A=1, B=1 e C=0.

Foram adicionadas *labels* ao circuito por forma a permitir leitura da tensão em certos pontos do gráfico e feita uma simulação *operating point* a partir do qual foi elaborada a seguinte tabela (*consultar ficheiro gate-CMOS-op.asc para observar posição das labels*).

A partir dos valores obtidos na simulação foi possível estudar o funcionamento do circuito nas condições descritas.

VDD	5	V
V(a)	5	V
V(b)	5	V
Vc	0	V
V(!b)	$3,18 \times 10^{-9}$	V
V(!c)	5	V
V(j)	$1,27 \times 10^{-8}$	V
V(g)	5	V
V(k)	$6,35 \times 10^{-9}$	V

Como $V_A = V_B = V_{\bar{C}} = 5V$, MPA, MPB e MPC estão OFF e MNA, MNA e MN \bar{C} estão ON.

Como $V_C = V_{\bar{B}} = 0V$, MPC e MP \bar{B} estão ON e MNC e MN \bar{B} estão OFF.

	<i>MPA</i>	<i>MPB</i>	<i>MPC</i>	<i>MP\bar{B}</i>	
<i>VGS</i> (V)	$V_A - V_{DD} = 0V$	$V_b - V_{DD} = 0V$	$V_c - V_{DD} = -5V$	$V_{\bar{B}} - V_{DD} = -5V$	$V_{\bar{C}} - V_{DD} = 0V$
<i>VDS</i> (V)	$V_k - V_{DD} = -5V$	$V_h - V_{DD} = -5V$	$V_{\bar{C}} - V_{DD} = 0V$	$V_g - V_{DD} = 0V$	$V_h - V_g = -5V$
Estado on/off	OFF	OFF	ON	ON	OFF
	<i>MNA</i>	<i>MNB</i>	<i>MNC</i>	<i>MN\bar{B}</i>	<i>MN\bar{C}</i>
<i>VGS</i> (V)	$V_A - V_{GND} = 5V$	$V_B - V_{GND} = 5V$	$V_c - V_{GND} = 0V$	$V_{\bar{B}} - V_k = 0V$	$V_{\bar{C}} - V_j = 5V$
<i>VDS</i> (V)	$V_{GND} - V_l = 0V$	$V_{GND} - V_{\bar{B}} = 0V$	$V_{GND} - V_{\bar{C}} = 5V$	$V_k - V_j = 0V$	$V_k - V_j = 0V$
Estado on/off	ON	ON	OFF	OFF	ON

$V_Y = 0V$

Foi verificado que, neste caso, existe um e um só caminho entre GND ou VDD e Y.

Na rede pull-up, não existe nenhum caminho de VDD para Y, pois apesar de *MP \bar{B}* estar ON, *MP \bar{C}* não está. Como *MPA* também está OFF, conclui-se que não há caminho na rede pull-up que ligue VDD a Y.

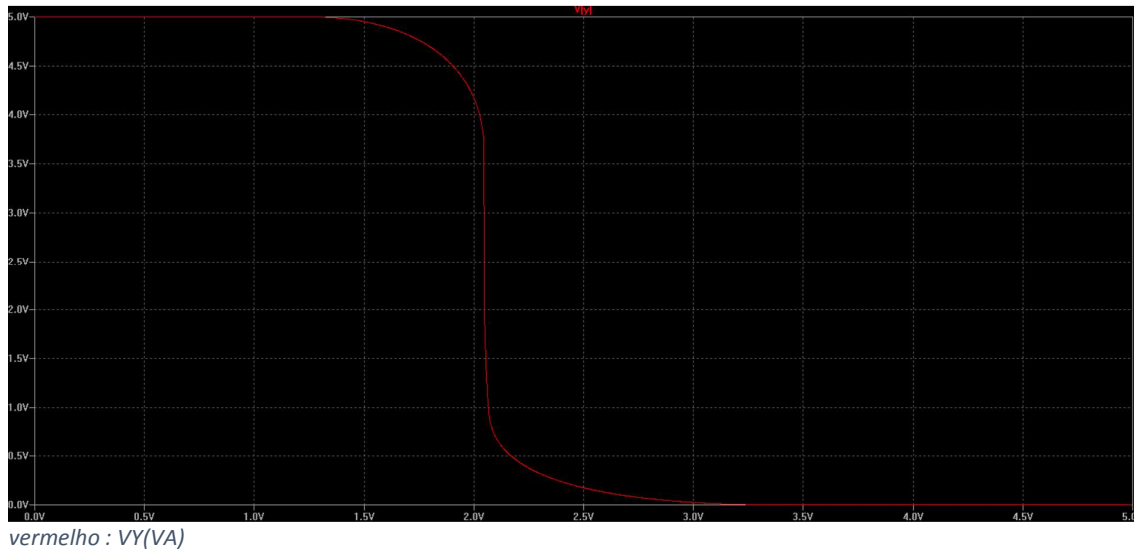
Por outro lado, na rede pull-down *MNA* está ON, bem como *MN \bar{C}* , o que estabelece um caminho entre Y e GND.

Como não há ligação entre VDD e Y, por forma a criar uma diferença de potencial entre Y e VDD e V_{GND} é 0V, tem-se que $V_Y = 0V$.

Portanto, no caso da palavra binária $ABC = 101$, para o circuito CMOS que implementa a função lógica $Y = \bar{A} + BC$ temos que $Y = 0$. Constata-se também que o resultado obtido durante este procedimento está em conformidade com o esperado tendo em conta a tabela de verdade elaborada no ponto 2.

4.

Tornando o sinal de B e o sinal de C constantes ($V_B=V_C=0V$) é possível converter este circuito num circuito inversor, pois V_Y fica a depender somente do sinal de A e do comportamento dos transístores **MPA** e **MNA**. O sinal de A é composto por uma onda quadrada de período 1ms que toma valor $V_{A,max}=5V$ (valor lógico 1) e $V_{A,min}=0V$ (valor lógico 0). O gráfico que se apresenta de seguida expressa V_Y em função de V_A . Observa-se a transferência de tensão antes, durante e depois do ponto de comutação:



Com o auxílio da ferramenta *cursor* do LTSpice, leram-se:

Valores de saída *high* e *low*

$V_{OH}=5V$ $V_{OL}=0V$

Valores de entrada *high* e *low*

$V_{IH} = 2,22V$ $V_{IL} = 1,93V$

Com base nesses valores, calculou-se margem de ruído para valores high e low

$NM_H = V_{OH} - V_{IH} = 5 - 2,22 = 2,78V$

$NM_L = V_{IL} - V_{OL} = 1,93 - 0 = 1,93V$

Do que se tem que : $NM_H > NM_L$

Ponto de Comutação

$V_{SP} = 2,15V$

Este é o ponto do gráfico em que $V_Y = V_A$, isto é, em que **MNA** e **MPA** estão em saturação ($|V_{GS}| = |V_{DS}|$, i.e. $V_{GS} = V_{DS}$ para **MNA**, e $V_{GS} = -V_{DS}$ para **MPA**).

Neste caso, como esperado, a característica de transferência de tensão é bem diferente da de um inversor lógico ideal. P/ ex., o valor de entrada *high* é bastante inferior a 5V e o valor de entrada *low* é bastante superior a 0V. Mesmo assim, é possível considerar que antes de V_{IL} e depois de V_{IH} , os valores de V_Y correspondem a um valor lógico definido, sendo que entre esses dois valores isso não acontece. Assim, antes de V_{IL} , Y toma valor lógico 1 e depois de V_{IH} , Y toma o valor lógico 0. Também se observa que a velocidade de transferência de tensão se acentua de $V_A = 0V$ a V_{SP} (o declive da curva de transferência aumenta bruscamente em módulo ligeiramente depois de V_{IL}) e diminui de V_{SP} a $V_A = 5V$ (o declive da curva de transferência diminui bruscamente em módulo ligeiramente antes de V_{IH}).