Reference: 《计算机组成原理(第2版)》唐朔飞主编高等教育出版社

Web course: <https://www.bilibili.com/video/av15123338?from=search&seid=6730582517100530016>

1. Ep 1: 1.1, 计算机系统简介课程简介; 这门课程讲什么; 计算机, 组成(计算机硬件系统的逻辑实现), 原理; 基本部件的结构和组织方式, 基本运算的操作原理, 基本部件和单元的设计思想; book structure; 机器, 数字, CPU; (2019-7-23)
2. Ep 2:1.1a, 计算机系统简介; 各种类型计算机; 物联网, 传感器嵌入设备; 硬件, 软件(程序); 系统软件(语言处理, 操作系统, 服务性程序, 数据库管理系统, 网络软件), 应用软件(游戏); (2019-7-23)
3. Ep 3:1.1b, 计算机系统简介; 层次结构; 抽象; 逻辑层, 微体系结构层; 微指令系统(微程序机器)<=机器语言(实际机器)<=操作系统<=汇编语言<=高级语言; 计算机体系结构(有无指令), 计算机组成(如何实现指令); (2019-7-23)
4. Ep 4:1.2a1, 计算机的基本组成; 冯诺依曼计算机, 五大部分, 指令数据地位同等, 指令数据均为二进制, 指令由操作码和地址码组成, 存储程序, 以运算器为中心; 冯诺依曼硬件框图; (2019-7-23)
5. Ep 5:1.2a2, 计算机的基本组成; 以存储器为中心的计算机硬件框图; ALU+CU=CPU, input+output=I/O; 层次化, 模块化(有明确定义的功能和接口), 规则性(模块更容易被重用); (2019-7-23)
6. Ep 6:1.2b, 计算机的基本组成; 建立数学模型, 确定计算方法, 编程(运算的全部步骤); 取数, 存数, 加, 乘, 打印, 停机; (2019-7-23)
7. Ep 7:1.2c, 计算机的基本组成; 存储体, 存储单元, 存储元件; 存储单元, 存储字, 存储字长; MAR, 存储器地址寄存器, 反映个数; MDR, 存储器数据寄存器, 反映字长; (2019-7-24)
8. Ep 8:1.2d, 计算机的基本组成; 运算器的基本组成和操作过程; 加减只用ACC, 乘除要用MQ(乘商寄存器); (2019-7-24)
9. Ep 9:1.2e, 计算机的基本组成; 控制器的功能, 解释指令,保证指令的按序执行; 完成一条指令, 取指令(Program Counter), 分析指令(Instruction Register), 完成指令(Control Unit); 取数, 存数; ax^2+bx+c的运行过程; (2019-7-25)
10. Ep 10:1.3, 计算机硬件的主要技术指标, 机器字长(寄存器位数); 运算速度, 主频, 核数, 吉布森法, 执行一条指令所需的时钟周期数(CPI), 每秒执行百万条指令(MIPS), 每秒浮点运算次数(FLOPS); 主存容量, MAR\*MDR, 字节数; 辅存容量; (2019-7-25)
11. Ep 11:2.1a1, 计算机发展史; 现代计算机产生的驱动力, 需求需求还是需求; 硬件技术对计算机更新换代的影响; IAS的逻辑结构; IBM system 360; (2019-7-25)
12. Ep 12:2.1a2, 计算机发展史; 微型计算机的出现和发展; 微处理器芯片, 存储器芯片; 摩尔定律; (2019-7-25)
13. Ep 13:2.1b, 计算机发展史; 软件技术的兴起和发展; 机器语言, 汇编语言(面向机器), 高级语言(面向问题); 系统软件, 语言处理程序, 操作系统, 服务性程序, 数据库管理系统, 网络软件; 软件发展的特点, 开发周期长, 制作成本昂贵, 检测软件产品质量的特殊性; (2019-7-26)
14. Ep 14:2.2-2.3, 计算机的应用和展望, application, 科学计算和数据处理, 工业控制和实时控制, 网络技术(电子商务, 网络教育), 虚拟现实, 办公自动化, CAD/CAM/CIMS, 多媒体技术, 人工智能; 展望, 超级智能, 芯片集成度的提高; 替代传统硅芯片; (2019-7-26)
15. ep 15:3.1, 总线的基本概念; 都做在印刷电路板上成本非常高, 接口很难做; 连接各个部件的信息传输线, 是各个部件共享的传输介质; 总线上信息的传送, 串行, 并行; 单总线结构框图; 面向CPU的双总线框图, M总线, I/O总线; 以存储器为中心的双总线结构框图, 系统总线, 存储总线; (2019-7-26)
16. ep 16:3.2, 总线的分类, 片内总线(芯片内部), 系统总线(计算机各部件之间)(数据总线, 地址总线, 控制总线), 通信总线; (2019-7-26)
17. Ep 17:3.3, 总线特性(机械, 电气, 功能, 时间); 总线的性能指标, 数据线的根数, 每秒传输的最大字节数, 同步异步, 地址线数据线复用, 信号线数, 总线控制方式; 总线标准; (2019-7-26)
18. Ep 18:3.4, 单总线结构; 多总线结构; 双总线结构, 存储总线, I/O总线, 通道; 三总线结构, 四总线结构; 传统微型机总线结构; VL-BUS结构; PCI总线结构; 多层PCI总线结构; (2019-7-26)
19. Ep 19:3.5a, 总线控制; 总线判优控制; 主设备, 从设备; 集中式, 分布式; 链式查询, 总线忙, 总线请求, 总线同意; 计数器定时查询, 设备地址; 独立请求方式; (2019-7-27)
20. Ep 20:3.5b, 总线通信控制; 目的, 通信双方协调配合; 总线传输周期, 申请分配, 寻址阶段, 传数阶段, 结束阶段; 同步通信(统一时标), 异步通信(请求, 应答)(不互锁, 半互锁, 全互锁), 半同步通信, 分离式通信; (2019-7-30)
21. Ep 21:3.5c, 半同步通信(增加一条等待); 共同点, 主模块发地址命令(占用总线), 从模块准备数据, 从模块向主模块发数据(占用总线); 分离式通信, (子周期1)主模块申请占用总线放弃总线, 从模块申请占用总线; (2019-7-30)
22. ep 22:4.1a, 存储器分类; 存储介质(半导体, 磁表面, 磁芯, 光盘); 存取方式, 随机访问, 随机存储器, 只读存储器; 串行访问, 顺序存取, 直接存取; 主存储器(RAM, ROM), 辅助存储器(磁盘, 磁带, 光盘), flash memory, cache; (2019-7-30)
23. Ep 23:4.1b, 存储器的层次结构; 寄存器->缓存->主存->磁盘; 缓存-主存层次, 主存-缓存层次(虚拟存储器); 各模块速度不一致; (2019-7-31)
24. ep 24:4.2a1, 主存的组成; 主存和CPU的联系, 数据总线, 地址总线; 主存中存储单元的地址分配, 高位字节地址为字地址; 主存的技术指标, 存储容量, 存储速度(存取时间, 存取周期), 存储器的带宽; (2019-8-3)
25. Ep 25:4.2a2, 主存储器半导体芯片的基本结构, 译码驱动, 存储矩阵, 读写电路; 地址线(单向), 数据线(双向), 片选线, 读写控制线; 存储芯片片选线的作用; (2019-8-3)
26. Ep 26:4.2a3, 半导体存储芯片的译码驱动方式; 线选法; 重合法(X地址译码器, Y地址译码器); 随机存取存储器RAM; 静态RAM(SRAM); 静态RAM基本电路的读操作; 静态RAM基本电路的写操作; (2019-8-4)
27. Ep 27:4.2b, SRAM的写操作; Intel 2114外特性; 怎么实现选一次4列; intel 2114 RAM矩阵读; 写; (2019-8-4)
28. Ep 28:4.2c, Intel 2114 write; DRAM, 基本单元电路(读出与原存信息相反, 写入与输入数据相同); 动态RAM芯片举例; Intel 1103, read; intel 1103 write; 单管动态RAM4116外特性; (2019-8-6)
29. Ep 29:4.2d1, 4116 read; (2019-8-6)
30. Ep 30:4.2d2, 动态RAM刷新; 集中刷新; 分散刷新; 异步刷新; 动态RAM和静态RAM的比较; DRAM, 电容, 高集成, 少引脚, 功耗小, 低价, 慢速, 需要刷新; SRAM, 触发器, 低集成, 多引脚, 功耗大, 高价, 快速, 不需要刷新; (2019-8-7)
31. Ep 31:4.2e, 只读存储器ROM; 早期ROM, 在厂家就写好了内容, 可以自己写, 可以多次写, 电可擦写; Mask ROM; PROM, Programmable read-only memory, 一次性编程; EPROM, erasable programmable read-only memory, 多次性编程; EEPROM; flash memory; (2019-8-7)
32. Ep 32:4.2f1, 主存与CPU的连接; 存储器容量的扩展; 位扩展, 增加存储字长; 字扩展, 增加存储字的数量; 字位同时扩展; (2019-8-20)
33. Ep 33:4.2f2, 存储器与CPU的连接; 地址线连接; 数据线连接; 读写命令线的连接; 片选线的连接; 合理选择存储芯片; example 4.1, 写出对应的二进制地址码, 确定芯片的数量及类型, 分配地址线, 确定片选信号; (2019-8-20)
34. Ep 34:4.2f3, ex 4.2; 写出对应的二进制地址码; 确定芯片的数量及类型; 分配地址线; 确定片选信号; (2019-8-22)
35. Ep 35:4.2g1, 存储器的校验; 为什么要对存储器的信息进行校验; 为了能够校验出信息是否正确, 如何进行编码; 纠错或检错能力与什么因素有关; 校验出信息出错后是如何进行纠错; 合法代码集合; 编码的检测能力和纠错能力和什么有关; 任一两组合法代码之间二进制位的最少差异数; (2019-8-22)
36. Ep 36:4.2g2, 存储器的校验; 编码的最小距离, 任意两组合法代码之间二进制位数的最少差异; 编码的纠错检错能力与编码的最小距离有关; L(最小距离)-1=D(检测)+C(纠正); 汉明码是具有一位纠错能力的编码; 汉明码的组成; 汉明码采用奇偶校验; 汉明码采用分组校验; 汉明码分组是一种非划分方式; 给出了出错的位置; (2019-8-22)
37. Ep 37:4.2h, 第一组, XXXX1; 第二组, XXX1X; 第三组, XX1XX; 第四组, X1XXX; 第五组, 1XXXX; 汉明码的组成; 组成汉明码的三要素; 检测位个数, 2^k>=n+k+1; 检测位的位置, 2^i; 检测位的取值, 根据分组的情况, 与承担的奇偶校验任务有关; (2019-8-22)
38. Ep 38:4.2i1, C1检测的g1小组包含1, 3, 5, 7, 9, 位置的二进制代码XXX1; C2的检测的g2小组包含2, 3, 6, 7, 位置的二进制编码为XXX1X; C4检测的g3包含第4, 5, 6, 7, 12, 13, 位置的二进制编码为XXX1XX; C8检测的g4小组包含第8, 9, 10, 11, 12, 13位置的二进制编码为X...1XXX; gi小组独占第2^(i-1)位; ex 4, 求0101按偶校验配置的汉明码; 练习1, 按配偶原则配置0011的汉明码; 汉明码的纠错过程; 形成新的检测位Pi, 其位数与新增添的检测位有关; 如增添3位, 新的检测位是P4P2P1; 偶校验配置的汉明码不出错时, P1=0, P2=0, P4=0; ex 4.5, 已知接受汉明码0100111, 求原信息; 写出按偶校验配置的汉明码0101101的纠错过程; 校验位出错, 可以不纠正; 按配奇原则配置0011的汉明码; 汉明编码的最小距离是3; (2019-8-23)
39. Ep 39:4.2i2, 提高访存速度的措施; 采用高速器件; 采用层次结构, cache-主存; 调整主存结构; 单体多字系统; 增加存储器带宽; 多体并行系统; 高位交叉, 顺序编址; 高位交叉, 各自工作; (2019-8-23)
40. Ep 40:4.2i3, 低位交叉, 各个体轮流编址; 低位交叉的特点, 在不改变存取周期的前提下, 增加存储器的带宽; 高位扩展容量, 低位扩展带宽速度; 高性能存储芯片; SDRAM(同步DRAM); 在系统时钟的控制下进行读出和写入; CPU无需等待; RDRAM, 主要解决存储器带宽问题; 带cache的DRAM, 在DRAM的芯片内集成一个由SRAM组成的cache, 有利于猝发式读取; (2019-8-23)
41. Ep 41:4.3a1, 高速缓冲存储器; 概述; 问题的提出; 避免CPU空等现象; CPU和主存DRAM的速度差异; 程序访问的局部性原理; CPU-缓存-主存; Cache的工作原理; 主存和缓存的编址; 命中与未命中; 命中, 主存块调入缓存; 未命中, 主存块未调入缓存; 用标记记录与某缓存块建立了对应关系的主存块号; cache的命中率; CPU欲访问的信息在cache中的比率; 命中率与cache的容量与块长有关; 块太小则没有充分利用局部性原理; 块大则容纳的块数就少了; 一般每块取4-8个字; 块长取一个存取周期内从主存调出的信息长度; CRAY\_1, 16体交叉, 块长取16个存储字; IBM370, 4体交叉, 块长取4个存储字; 一个字=64位; (2019-8-25)
42. Ep 42:4.3a2, cache-主存系统的效率; 效率e与命中率有关, e=访问cache时间/平均访问时间\*100%; e=tc/[h\*tc+(1-h)\*tm]\*100%; cache的基本结构; (2019-8-25)
43. Ep 43:4.3b1, cache的读写操作; 读操作; 写操作; cache和主存的一致性; 写直达法write-through, 写数据既写入主存又写入cache; 写回法write-back, 当cache数据被替换出去时才写回主存; cache的改进; 增加cache的级数; 片载cache; 片外cache; 统一缓存和分立缓存; 指令cache, 数据cache; 与指令执行的控制方式有关; 是否流水; (2019-8-25)
44. Ep 44:4.3b1, cache-主存的地址映射, 直接映射, 全相连映射, 组相连映射; 直接映射; 每个缓存块对应若干个主存块, 每个主存块对应一个缓存块; 全相连映射; (2019-8-26)
45. Ep 45:4.3b2, 组相连映射; 某一主存块j按模Q映射到缓存的第i组中的任一块; 替换算法; 先进先出FIFO算法; 近期最少使用LRU算法; 小结, 直接(某一个主存块只能固定映射到某一缓存块), 全相连(某一主存块能映射到任一缓存块), 组相连(某一主存块只能映射到某一缓存组中的任一缓存块); (2019-8-26)
46. Ep 46:4.4, 辅助存储器; 概述; 特点, 不直接与CPU交换信息; 磁表面存储器的技术指标; 记录密度(道密度, 位密度); 存储容量, C=n\*k\*s; 平均寻址时间, 寻道时间+等待时间; 数据传输率; 误码率; 磁记录原理和记录方式; 磁记录原理; 写; 读; 硬盘存储器; 硬磁盘存储器类型; 固定磁头和移动磁头; 可换盘和固定盘; 硬磁盘存储器结构; 主机-磁盘控制器-磁盘驱动器-盘片; 磁盘驱动器, 主轴, 定位驱动, 数据控制; 磁盘控制器; 接收主机发来的命令, 转换成磁盘驱动器的控制命令; 实现主机和驱动器之间的数据格式转换; 控制磁盘驱动器读写; 磁盘控制器是主机与磁盘驱动器之间的接口; 盘片, 由硬质铝合金材料制成; 软磁盘存储器; 概述; 硬盘速度高, 软盘低; 磁头硬盘固定活动, 软盘活动; 硬盘浮动, 软盘解除盘面; 硬盘固定盘盘组大部分不可换, 软盘可换盘片; 硬盘价格高, 软盘低; 环境硬盘苛刻; 软盘片; 光盘存储器; 概述; 采用光存储技术, 利用激光写入和读出; 第一代光存储技术, 采用非磁性介质, 不可擦写; 第二代光存储技术, 采用磁性介质, 可擦写; 光盘存储原理; 只读型和只写一次型; 可擦写光盘, 热磁效应; (2019-8-27)
47. Ep 47:5.1a1, 输入输出系统; 概述; 输入输出系统的发展概况; 早期; 分散连接; CPU和IO设备串行工作, 程序查询方式; 接口模块和DMA阶段; 总线连接; CPU和IO设备并行工作, 中断方式, DMA方式; 具有通道结构的阶段; 具有IO处理机的阶段; 输入输出系统的组成; IO软件, IO指令(CPU指令的一部分, 操作码, 命令码, 设备码), 通道指令(通道自身的指令, 指出数组的首地址, 传送字数, 操作命令); IO硬件; 设备, IO接口; 设备, 设备控制器, 通道; (2019-8-27)
48. Ep 48:5.1a2, IO设备与主机的联系方式; IO设备编址方式; 统一编址, 用取数存数指令; 不统一编址, 有专门的IO指令; 设备选址, 用设备选择电路识别是否被选中; 传送方式, 串行, 并行; 联络方式; 立即响应; 异步工作采用应答信号; 并行, CPU-IO接口-IO设备; 串行, 命令字, 数据字, 命令字; 同步工作采用同步时标; IO设备与主机的链接方式; 辐射式连接, 分散连接; 每台设备都配有一套控制线路和一组信号线, 不便于增删设备; 总线连接, 便于增删设备; (2019-8-28)
49. Ep 49:5.1b1, IO设备与主机信息传送的控制方式; 程序查询方式, 程序中断方式, DMA方式; 程序查询方式; 程序中断方式; IO工作, 自身准备(CPU不查询), 与主机交换信息(CPU暂停现行程序); 程序中断流程; (2019-8-28)
50. Ep 50:5.1b2, DMA方式; 主存和IO设备之间有一条直接数据通道, 不中断现行程序, 周期挪用(窃取); CPU和IO并行工作; 三种方式的CPU工作效率比较; 程序查询方式, 程序中断方式, DMA方式; (2019-8-29)
51. Ep 51:5.2, 外部设备; IO设备; 概述; 主机-IO接口-外部设备(设备控制器, 光部分); 外部设备大致分三类, 人机交互设备, 计算机信息存储设备, 机机通信设备; 输入设备; 键盘, 按键, 判断哪个键按下, 将此键翻译成ASCII码; 鼠标, 机械式, 光电式; 输出设备; 显示器, 字符显示, 图形显示, 图像显示; 打印机, 击打式(点阵式), 非击打式(激光, 喷墨); 其他; A/D, D/A, 模拟数字转换器; 终端, 由键盘和显示器组成, 完成现世控制与存储键盘管理及通信控制; 汉字处理, 汉字输入, 汉字存储, 汉字输出; 多媒体技术; 什么是多媒体; 多媒体是计算机的关键技术; (2019-8-29)
52. Ep 52:5.3, IO接口; 概述; 为什么设置接口; 实现设备的选择, 实现数据缓冲达到数据匹配, 实现串并格式转换, 实现电平转换, 传送控制命令, 反映设备的状态; 接口的功能和组成; 总线连接方式的IO接口电路, 设备选择线, 数据线, 命令线, 状态线; 接口的功能和组成; 功能, 选址功能, 传送命令功能, 传送数据的功能, 反映设备状态的功能; 组成, 设备选择电路, 命令寄存器命令译码器, 数据缓冲寄存器, 设备状态标记; 完成触发器D, 工作触发器B, 中断请求触发器INTR, 屏蔽触发器MASK; IO接口的基本组成; 设备选择电路, 命令寄存器和命令译码器, 数据缓冲寄存器DBR, 设备状态标记, 控制逻辑电路; CPU, 数据线, 地址线, 命令线, 状态线; 外部设备, 数据线, 命令, 状态; 接口类型; 按数据传送方式分类, 并行接口, 串行接口; 按功能选择的灵活性分类, 可编程接口, 不可编程接口; 按通用性分类, 通用接口, 专用接口; 按数据传送的控制方式分类; 中断接口, DMA接口; (2019-8-30)
53. Ep 53:5.4, 程序查询方式; 程序查询方式的流程, 程序查询方式的接口电路; 程序查询流程; 查询流程, 单个设备, 多个设备; 程序流程; 保存, 寄存器内容; 设置计数值, 设置主存缓冲区首地址, 启动外设, 准备好, 传送一个数据, 修改主存地址, 修改计数值, 传送完, 结束IO传送; 保存寄存器内容; 程序查询方式的接口电路; (2019-8-30)
54. Ep 54:5.5a, 程序中断方式; 中断的概念; IO中断的产生; 以打印机为例, CPU与打印机部分并行工作; 程序中断方式的接口电路; 配置中断请求触发器和中断屏蔽触发器, 排队器, 中断向量地址形成部件, 程序中断方式接口电路的基本组成; 配置中断请求触发器INRT和中断屏蔽触发器MASK; 排队器; 排队, 硬件(在CPU内或在接口电路中, 链式排队器), 软件; (2019-8-31)
55. Ep 55:5.5b, 中断向量地址形成部件; 入口地址, 由软件产生, 硬件向量法(由硬件产生向量地址, 再由向量地址找到入口地址); 中断向量地址形成部件; 排队器输出, 向量地址, 设备编码器; 主存, 向量地址, 入口地址; 程序中断方式接口电路的基本组成; (2019-8-31)
56. Ep 56:5.5c1, IO中断处理过程; CPU响应中断的条件和时间; 条件, 允许中断触发器EINT=1, 用开中断指令将EINT置1, 用关中断指令将EINT置0或硬件自动复位; 时间, 当D=1(随机)且MASK=0时, 在每条指令执行阶段的结束前, CPU发中断查询信号(将INTR置1); IO中断处理过程; 中断服务流程; 保护现场, 程序断点的保护(中断隐指令完成), 寄存器内存的保护(进栈指令); 中断服务, 对不同的IO设备具有不同内容的设备服务; 恢复现场, 出栈指令; 中断返回, 中断返回指令; (2019-9-1)
57. Ep 57:5.5c2, 单重中断, 不允许中断现行的中断服务程序; 多重中断, 允许级别更高的中断源中断现行的中断服务程序; 单重中断和多重中断的服务程序流程; 单重, 取指令, 执行指令, 中断否, 中断周期; 多重, 取指令, 执行指令, 中断否, 中断周期, 保护现场, 开中断, 设备服务, 恢复现场, 中断返回; 主程序和服务程序抢占CPU示意图, 宏观上CPU和IO并行, 微观上CPU中断现行程序为IO服务; (2019-9-1)
58. Ep 58:5.6a1, DMA方式; DMA方式的特点, DMA和程序中断两种方式的数据通路; DMA与主存交换数据的三种方式, 停止CPU访问主存(控制简单, CPU处于不工作状态或保持状态, 未充分发挥CPU对主存的利用率), 周期挪用(DMA访问主存有三种可能, CPU此时不访存, CPU正在访存, CPU与DMA同时请求访存; 此时CPU将总线控制权让给DMA), DMA与CPU交替访问; CPU工作周期, C1专供DMA访存, C2专供CPU访存; 不需要申请建立和归还总线的使用; (2019-9-2)
59. Ep 59:5.6a2, DMA接口的功能和组成; DMA接口功能; 向CPU申请DMA传送, 处理总线控制权的转交, 管理系统总线控制数据传送, 确定数据传送的首地址和长度; 修正传送过程中的数据和长度; DMA传送结束时, 给出操作完成信号; DMA接口组成; (2019-9-2)
60. Ep 60:5.6b1, DMA的工作过程; DMA传送过程; 预处理, 数据传送, 后处理; 预处理, 通过几条输入输出指令预置如下信息, 通知DMA控制逻辑传送方向, 设备地址DMA的DAR, 主存地址DMA的AR, 传送字数DMA的WC; DMA传送过程示意; 数据传送过程(输入); 数据传送过程(输出); 后处理; 校验送入主存的数是否正确, 是否继续用DMA, 测试传送过程是否正确, 错则转诊断程序; 由中断程序完成; (2019-9-2)
61. Ep 61:5.2, DMA接口与系统的连接方式; 具有公共请求线的DMA请求; 独立的DMA请求; DMA方式与程序中断方式的比较, 数据传送, 中断方式程序, DMA硬件, 响应时间, 中断方式指令执行结束, DMA方式存取周期结束, 处理异常, 中断方式能, DMA方式不能, 中断请求, 传送数据, 后处理, 优先级, 低, 高; DMA接口的类型; 选择型, 在物理上连接多个设备, 在逻辑上只允许连接一个设备; 多路型, 在物理上连接多个设备, 在逻辑上允许连接多个设备同时工作; 多路型DMA接口的工作原理; (2019-9-2)
62. Ep 62:6.1a1, 数字; 计算机中数的表示, 计算机的运算方法, 运算器的设计; 计算机的运算方法; 无符号数和有符号数; 无符号数; 有符号数, 机器数和真值, 原码表示法, 补码表示法, 反码表示法, 移码表示法; 机器数与真值的转换; 不同机器数形式之间的转化; 机器数表示的范围与字长有关; (2019-9-3)
63. Ep 63:6.1a2, 无符号数和有符号数; 无符号数; 寄存器的位数; 反映无符号数的表示范围; 有符号数; 机器数与真值; 真值带符号的数, 机器数符号数字化的数; +0.1011; 0, 小数点的位置, 1011; -0.1011, 1, 小数点的位置, 1011; +1100, 0, 1100, 小数点位置; -1100, 1, 1100, 小数点的位置; 原码表示法; 定义, 整数; 如x=+1110, x原=0, 1110; x=-1110, x原=1, 1110; 用逗号将符号位和数值部分隔开; 原码是带符号的绝对值表示; (2019-9-3)
64. Ep 64:6.1a3, 小数; 将小数点将符号位和数值部分隔开; 举例; ex 6.1, x原=1.0011, x=-0.0011; ex 6.2, x原=1, 1000, 则x=-1100; ex 6.3, x原=0.1101, x=0.1101; ex 6.4, x=0, x原=0或1; 原码的特点; 简单直观; 用原码做加法, 会出现问题; 能否只做加法? 找一个与负数等价的正数来代替这个负数; (2019-9-5)
65. Ep 65:6.1b1, 补码表示法; 补的概念; 时钟, 逆时针, 顺时针, 时钟以12为模, 9是-3以12为模的补; 结论; 一个负数加上模得到该负数的补; 一个正数和一个负数互补时, 它们的绝对值之和是模; 计数器, mod 16; 正数的补就是自己; 补码定义; 整数; (2019-9-5)
66. Ep 66:6.1b2, 小数; 考虑位数, 长度的规定; 用小数点将符号位和数值部分隔开; 求补码的快捷方式; 补码 = 反码 + 1, 当真值是负值时; ex 6.5, 0.0001补=+0.0001; ex 6.6, x补=1.0001, x=-0.1111; ex 6.7, x补=1,1110, 则x=-0010; 原码=补反+1; (2019-9-6)
67. Ep 67:6.1b3, 练习, 求真值的补码; +0和-0补码相同; 补码的好处是把减法转成加法; (2019-9-6)
68. ep 68:6.1c, 反码表示法; 定义; 整数; 用逗号将符号位和数值位隔开; 小数; 用小数点将符号位和数值位分隔开; -0.1010反 = 1.0101; 举例; ex 6.8; ex 6.9, x反=1,1110, 则x=-0001; ex 6.10, +0.0000反=0.0000, -0.0000反=1.1111; +0反=0,0000, -0反=1,1111; +0反!=-0反; 三种机器数的小结; 最高位为符号位, 书写上用”,”(整数)或”.”(小数)将数值部分和符号位隔开; 对于正数, 原码=补码=反码; 对于负数, 符号位1; ex 6.11, 当机器数字长8位, 无符号数0～255, 原码对应的真值+0～+127, -0~-127, 补码对应的真值+0～+127, -1~-128, 反码对应的真值+0～+127, -0~-127; ex 6.12, 已知y补, 求-y补; (2019-9-11)
69. Ep 69:6.1d, 移码表示法; 补码表示很难直接判断其真值大小; 十进制, 二进制; 移码定义, |x|移=2^n+x, x是真值, n为整数的位数; 如x=10100, x移=2^5+10100=1,10100; x=-10100, x移=2^5-10100=0,01100; 移码和补码的比较; 移码和补码符号位不一样, 数值位相同; 真值, 补码和移码的对照表; 姨妈的特点; +0移码=-0移码; 最小真值的移码为全0; 用移码表示浮点数的阶码, 能方便判断浮点数的阶码大小; (2019-9-11)
70. Ep 70:6.2a, 数的定点表示和浮点表示; 定点表示; 小数点按约定方式标出; 数符, 小数点位置, 数值部分; 数符, 数值部分, 小数点位置; 定点机, 小数定点机, 整数定点机, 表示范围; (2019-9-12)
71. Ep 71:6.2b, 浮点表示; 为什么要引入浮点数表示, 编程困难, 程序员要调节小数点的位置; 数的表示范围小, 为了能表示两个大小相差很大的数据, 需要很长的机器字长; 数据存储单元的利用率往往很低; 浮点表示; N=S\*r^j, 浮点数的一般形式, S尾数, j阶码, r尾数的基值; 计算机中r取2, 4, 8, 16等; 计算机中S小数, 可正可负; j整数, 可正可负; 浮点数的表示形式; 阶符, 阶码的数值部分, 小数点位置, 数符, 尾数的数值部分; 浮点数的表示范围; 上溢出, 负数区, 下溢出, 正数区, 上溢出; 上溢出, 出错, 下溢出, 归零; (2019-9-12)
72. Ep 72:6.2c, 练习; 浮点数的规格化形式; r=2, 尾数最高位是1; r=4, 尾数最高2位不全为0; r=8, 尾数最高3位不全为0; 基数不同, 浮点数的规格化形式不同; 浮点数的规格化; r=2, 左规, 尾数左移1位, 阶码减一; 右规, 尾数右移1位, 阶码加1; r=4, 左归, 尾数左移2位, 阶码减1, 右规, 尾数右移2位, 阶码加1; r=8, 左规, 尾数左移3位, 阶码减1, 右规, 尾数右移3位, 阶码加1; 基数r越大, 可表示浮点数的范围越大; 基数r越大, 浮点数的精度降低; ex, 设m=4, n=10, r=2, 尾数规格化后的浮点数表示范围, 最大正数2^(+1111)\*0.1111111111, 最小正数2^(-1111)\*0.1000000000, 最大负数2^(-1111)\*(-0.1000000000), 最小负数-2^(+1111)\*0.1111111111; (2019-9-13)
73. Ep 73:6.2d, 举例; ex 6.13, x=+19/128, 写成二进制形式0.0010011, 定点表示x=0.0010011000, 浮点规格化形式x=0.100110000\*2^(-10), 定点机中, x原=x补=x反, 浮点机中, x原=1,0010; 0.1001100000; x补=1,1110; 0.1001100000; x反=1,1101; 0.1001100000; ex 6.14, 设x=-58, 二进制形式x=-111010, 定点表示x=-0000111010, 浮点规格化形式x=-0.1110100000\*2^110, 定点机中, x原=1,0000111010, x补=1,111000110, x反=1,1111000101, 浮点机中, x原=0,0110; 1.1110100000, x反=0,0110; 1.0001100000; x补=0,0110; 1.0001011111; 机器零; 当浮点数尾数为0时, 不论阶码, 按机器零处理; 当浮点数阶码等于或小于它所表示的最小数时, 不论尾数为何值, 按机器零处理; ex, m=4, n=10, 当阶码和尾数都用补码表示, 机器零为x, xxxx; 0.00...0; 1,0000; x.xx..x; 当阶码用移码, 尾数用补码, 机器零0.0000; 0.00...0; 有利于机器中判0电路的实现; IEEE 754标准; 数符, 阶码, 小数点位置, 尾数; 尾数为规格化表示; 非0的有效位最高位是1(隐含); 短实数; 长实数; 临时实数; (2019-9-13)
74. Ep 74:6.3a1, 定点运算; 移位运算; 移位的数学意义; 15m=1500cm, 15相对于小数点左移2位(小数点不动); 左移, 绝对值扩大; 右移, 绝对值缩小; 计算机中, 移位与加减配合, 能够实现乘除; 算数移位规则; 符号位不变; 正数, 原码补码反码, 添加代码0; 负数原码, 添加代码0; 负数反码, 添加代码1; 负数补码, 左移添0, 右移添加1; ex 6.16, A=+26=+11010, A原=A补=A反=0,0011010, 移位前, 左移1位, 左移2位, 右移1位, 右移2位; (2019-9-26)
75. Ep 55: ex 6.17, A=-26=-11010, 原码, 左移一位, 机器数0，0110100, 真值-52, 左移2位, 机器数1,1101000, 真值-104, 右移1位, 1,0001101, 对应-13, 右移2位1,0000110, 真值-6; 补码, 1,1100110, -26; 左移1位, 机器数1,1001100, 真值-52, 左移2位, 机器数1,0011000, 对应的真值-104, 右移1位, 机器数1,1110011, 对应真值-13, 右移2位, 机器数1,1111001, 对应真值-7; 反码同理; 算数移位的硬件实现; 真值为正, 负数的原码, 负数的补码, 负数的反码; 真值正, 左移丢1, 出错, 右移丢1, 影响精度; 负数的原码, 左移丢1, 出错, 右移丢1, 影响精度; 负数的补码, 左移丢1, 正确, 右移丢1, 影响精度; 负数的反码, 左移丢1, 正确, 右移丢1, 正确; 算数移位和逻辑移位的区别; 算数移位, 有符号数的移位; 逻辑移位, 无符号数的移位; 逻辑左移, 低位添0, 高位丢弃; 逻辑右移, 高位添0, 低位丢弃; ex 01010011, 逻辑左移, 10100110, 算数左移, 00100110; 高位1移丢; (2018-9-10)
76. Ep 56: 加减法运算; 补码加减法运算公式; 加法; 整数, A补+B补, mod 2^n+1; 小数, A补+B补, mod 2; 减法; A-B=A+(-B); (A-B)补=A补+(-B)补, mod 2^n+1; 小数|A-B|补=A补+(-B)补, mod 2; 连同符号位一起相加, 符号位产生的进位自然丢掉; 举例; ex 6.18, A=0.1011, B=-0.0101, 求(A+B)补; (A+B)补=A补+B补, 进位自然丢弃; ex 6.19, 同理; ex 6.20, 用补码求A-B; 练习1, 用补码求x+y, 溢出; 练习2, 用补码求A-B, 溢出; (2018-9-10)
77. Ep 57: 溢出判断; 一位符号位判断溢出, 参加操作的两个数符号相同, 其结果的符号与原操作数的符号不同, 即为溢出; 硬件实现, 最高有效位进位异或符号位的进位=1; 不同则溢出, 相同不溢出; 两位符号位判断溢出; 结果的双符号位相同, 未溢出; 结果的双符号位不同, 溢出; 最高符号位代表其真正的符号; 补码加减法的硬件配置; 溢出判断, 加法器, 求补控制逻辑; (2018-9-10)
78. Ep 58: 乘法运算; ;;;;;
79. // 计算机组成原理第二版, 唐朔飞;
80. Chapter 1: 计算机系统概论;
81. Node 1.1: 计算机系统简介;
82. List 1.1.1: 计算机的软硬件概念;
83. 硬件, 软件; 系统软件, 应用软件; (2018-5-26)
84. List 1.1.2: 计算机系统的层次结构;
85. 源程序, 目标程序; 汇编语言, 虚拟机; 编译程序, 解释程序; 硬件, 传统机器和微程序机器; 软件, 操作系统以上的各级虚拟机; (2018-5-26)
86. List 1.1.3: 计算机组成和计算机体系结构;
87. 相同的结构, 可能有不同的组成(实现方式); (2018-5-26)
88. Node 1.2: 计算机的基本组成;
89. List 1.2.1: 冯诺依曼计算机的特点;
90. 运算器, 存储器, 控制器, 输入设备, 输出设备; 指令和数据同等地位; 二进制; 指令由操作码和地址码组成; 指令按顺序存放; 以运算器为中心; (2018-5-26)
91. List 1.2.2: 计算机硬件框图;
92. 运算器完成算术运算和逻辑运算; 存储器存放数据和程序; 控制器控制指挥; 输入设备转换机器能识别; 输出设备转换人们熟悉; 运算器+控制器=中央处理器; 输入设备+输出设备=I/O设备; (2018-5-26)
93. List 1.2.3: 计算机的工作步骤;
94. 上机前的准备, 建立数学模型, 确定计算方法, 编制解题程序; 计算机的工作过程; 主存储器; 按地址访问存储器; Memory Address Register, 存储器地址寄存器; Memory Data Register, 存储器数据寄存器; 运算器; ACC, accuulator, 累加器; MQ, 乘商寄存器; X, 操作数寄存器; 加法操作过程; 减法操作过程; 乘法操作过程; 除法操作过程; 控制器; 取指过程, 分析过程, 执行过程; 程序计数器PC, 指令寄存器IR, 控制单元CU; I/O子系统; (2018-6-21)
95. Node 1.3: 计算机硬件的主要技术指标;
96. List 1.3.1: 机器字长;
97. 机器字长是指CPU一次能处理数据的位数; (2018-6-21)
98. List 1.3.2: 存储容量;
99. 主存容量=存储单元个数\*存储字长; 辅存, 硬盘; (2018-6-21)
100. List 1.3.3: 运算速度;
101. 吉普森法, 综合考虑每条指令的执行时间以及它们在全部操作中所占的百分比; (2018-6-21)
102. Chapter 2: 计算机的发展及应用;
103. Node 2.1: 计算机的发展史;
104. List 2.1.1: 计算机的产生和发展;
105. 第一代电子管计算机; 第二代晶体管计算机; 第三代集成电路计算机; (2018-6-22)
106. List 2.1.2: 微型计算机的出现和发展;
107. 摩尔定律; 芯片集成度和处理器主频; 指令集的并行性; 处理器与主存之间的接口; 进一步提高复杂度来提高处理器性能, 通过线程/进程级的开发提高处理器的性能, 将处理器集成到处理器芯片内来提高处理器性能, 发展嵌入式处理器; (2018-6-22)
108. List 2.1.3: 软件技术的兴起和发展;
109. 高级语言; 操作系统; 开发周期长, 制作成本昂贵, 检测软件产品质量的特殊性; (2018-6-22)
110. Node 2.2: 计算机的应用;
111. List 2.2.1: 科学计算和数据处理;
112. 科学计算; 数据处理; (2018-6-22)
113. List 2.2.2: 工业控制和实时控制;
114. 传感器将物理信号转换成数字信号; (2018-6-22)
115. List 2.2.3: 网络技术的应用;
116. 电子商务; 网络教育; 敏捷制造; (2018-6-22)
117. List 2.2.4: 虚拟现实;
118. 虚拟演播室; 飞行员与汽车驾驶员的仿真训练系统; (2018-6-22)
119. List 2.2.5: 办公自动化和管理信息系统;
120. List 2.2.6: CAD/CAM/CIMS;
121. CAD, 计算机辅助设计; CAM, 计算机辅助制造; CIMS, 计算机集成制造系统; (2018-6-22)
122. List 2.2.7: 多媒体技术;
123. List 2.2.8: 人工智能;
124. 模式识别; 文字语音识别, 语言翻译; 专家系统; 机器人; (2018-6-22)
125. Node 2.3: 计算机的展望;
126. 努力提高处理器的主频; 量子计算机; (2018-6-22)
127. Chapter 3: 系统总线;
128. Node 3.1: 总线的概念;
129. 分散连接, 总线连接; 在某一时刻, 只允许有一个部件向总线发送信息, 而多个部件可以同时从总线上接受相同的信息; 存储总线; 输入/输出总线; 以存储器为中心的双总线结构; (2018-6-23)
130. Node 3.2: 总线的分类;
131. List 3.2.1: 片内总线;
132. 芯片内部的总线; (2018-6-23)
133. List 3.2.2: 系统总线;
134. 系统总线是CPU主存I/O设备各大部件之间的信息传输线; 数据总线, 数据总线宽度; 地址总线; 控制总线; (2018-6-23)
135. List 3.2.3: 通信总线;
136. Node 3.3: 总线特性及性能指标;
137. List 3.3.1: 总线特性;
138. 机械特性; 电气特性, 信号的传递方向和有效的电平范围; 功能特性, 每根传输线的功能; 时间特性, 总线中的任一根线在什么时间有效; (2018-6-23)
139. List 3.3.2: 总线性能指标;
140. 总线宽度, 8位, 64位; 总线带宽, 总线的数据传输速率, MBps; 时钟同步异步; 总线复用, 一条信号线上分时传送两种信号; 信号线数, 地址总线, 数据总线, 控制总线数量之和; 总线控制方式, 突发工作, 自动配置, 仲裁方式, 逻辑方式, 计数方式; 其他指标, 负载能力, 电源电压; (2018-6-24)
141. List 3.3.3: 总线标准;
142. ISA总线; EISA总线; VESA总线; PCI总线, 高性能, 良好的兼容性, 支持即插即用, 支持多主设备能力, 具有与处理器和存储器子系统完全并行操作的能力, 支持数据和地址奇偶校验功能, 支持两种电压标准, 可扩充性好, 软件兼容性好, 采用多路复用技术; AGP总线; RS-232C总线; USB总线, 具有真正的即插即用特征, 具有很强的连接能力, 数据传输率有两种, 标准统一, 连接电缆轻巧电源体积缩小, 生命力强; (2018-6-24)
143. Node 3.4: 总线结构;
144. List 3.4.1: 单总线结构;
145. 将CPU, 主存, I/O设备都挂在一组总线上; (2018-6-24)
146. List 3.4.2: 多总线结构;
147. 将速度较低的I/O设备从单总线上分离出来, 形成主存总线和I/O总线分开的结构; 将速率不同的I/O设备进行分类, 将它们连接在不同的通道上; 四总线结构, 高速总线; (2018-6-24)
148. List 3.4.3: 总线结构举例;
149. 传统微型计算机的总线结构; 局部总线结构; PCI桥路, 多层结构; (2018-6-24)
150. Node 3.5: 总线控制;
151. List 3.5.1: 总线判优控制;
152. 主设备, 对总线有控制权; 从设备, 只能响应从主设备发来的总线命令; 若多个主设备同时使用总线, 则由总线控制器的判优仲裁逻辑按一定的优先等级顺序确定哪个主设备能使用总线; 集中式, 分布式; 链式查询, 离总线控制部件最近的设备具有最高的优先级; 计数器定时查询; 独立请求方式; (2018-6-24)
153. List 3.5.2: 总线通信控制;
154. 申请分配阶段, 寻址阶段, 传数阶段, 结束阶段; 同步通信; 读命令的传输周期, 写命令的传输周期; 优点, 规定明确统一, 模块间的配合简单一致; 缺点, 必须按最慢速度的部件来设计公共时钟; ex 3.1, 求总线的数据传输率; 异步通信; 当主模块发出请求信号时, 一直等待从模块反馈回来响应信号后, 才开始通信; CPU向主存写信息; 不互锁方式; 半互锁方式, CPU访问共享存储器; 全互锁方式, 网络通信; 并行传输, 串行传输; 波特率, bps(位/秒); ex 3.2, 计算波特率; ex 3.3, 画图说明异步串行传输方式; ex 3.4, 由波特率计算比特率; 半同步通信, 增设一条等待响应信号线; 缺点, 对系统时钟频率不能要求太高; (2018-6-24)
155. Chapter 4: 存储器;
156. Node 4.1: 概述;
157. List 4.1.1: 存储器分类;
158. 按存储介质分类, 半导体存储器, 磁表面存储器, 磁芯存储器, 光盘存储器; 按存取方式分类, 随机存储器RAM, 只读存储器ROM, 串行访问存储器; 按在计算机中的作用分类, 主存储器, 辅助存储器, 缓冲存储器; (2018-6-25)
159. List 4.1.2: 存储器的层次结构;
160. 速度, 容量, 每位价格; 寄存器, 缓存, 主存, 磁盘, 磁带; 缓存主存层次主要解决CPU和主存速度不匹配的问题; 主存辅存层次主要解决存储系统的容量问题; 虚拟存储系统; (2018-6-25)
161. Node 4.2: 主存储器;
162. List 4.2.1: 概述;
163. 主存的实际结构; 主存中存储单元地址的分配; 主存的技术指标; 存储容量; 存储速度; 存储器带宽; 提高带宽, 缩短存取周期, 增加存储字长, 增加存储体; (2018-6-26)
164. List 4.2.2: 半导体存储芯片简介;
165. 半导体存储芯片的基本结构; 地址线和数据线共同反映存储芯片的容量; 控制线主要有读写控制线和片选线两种; 半导体存储芯片的译码驱动方式; 线选法; 重合法, 被选方向是由XY两个方向的地址决定的; (2018-6-26)
166. List 4.2.3: 随机存取存储器;
167. 静态RAM; 静态RAM基本单元电路; 静态RAM芯片举例; Intel 2144 RAM; 静态RAM读/写时序; 读周期时序; 写周期时序; (2018-6-26)
168. 动态RAM; 动态RAM的基本单元电路; 动态RAM芯片举例; 三管动态RAM芯片; 单管动态RAM芯片; 动态RAM时序; 读时序; 写时序; 动态RAM的刷新; 集中刷新; 分散刷新, 对每行存储单元的刷新分散到每个存取周期内完成; 异步刷新; (2018-6-26)
169. 动态RAM与静态RAM的比较; 集成度高, 尺寸小, 功耗小, 价格便宜, 速度低, 需配置再生电路; (2018-6-26)
170. List 4.2.4: 只读存储器;
171. 掩模ROM; PROM, 一次性编程的只读存储器; EPROM, 浮动栅雪崩注入型MOS管; flash memory做成固态盘替代磁盘; (2018-6-26)
172. List 4.2.5: 存储器与CPU的连接;
173. 存储容量的扩展; 位扩展, 增加存储字长; 字扩展, 增加存储字的数量; 字位扩展, 既增加存储字的数量, 又增加存储字长; (2018-6-26)
174. 存储器与CPU的连接; 地址线的连接, 总是将CPU地址线的低位与存储芯片的地址线相连; 数据线的连接; 读写命令线的连接, CPU读写命令线一般可直接与存储芯片的读写控制端相连; 片选线的连接; 合理选择存储芯片, 系统程序区选ROM, 用户程序区选RAM; ex 4.1, 画出CPU和存储器的连接图; ex 4.2, 画出CPU和存储器的连接图; ex 4.3, 画出CPU和存储器的连接图; (2018-6-27)
175. List 4.2.6: 存储器的校验;
176. 汉明码的组成; 汉明码的纠错过程; ex 4.4, 根据汉明码判断想传送的信息; ex 4.5, 按配奇原则配置汉明码; (2018-6-27)
177. List 4.2.7: 提高访存速度的措施;
178. 单体多字系统, 指令和数据在主存内必须是连续存放的; 多体并行系统; ex 4.6, 顺序存储和交叉存储的带宽; 高性能存储芯片; SDRAM(同步DRAM); RDRAM, 采用专门的DRAM和高性能的芯片接口取代现有的存储器接口; 带Cache的DRAM(CDRAM), 在通常的DRAM芯片中又集成了一个小的SRAM; (2018-6-27)
179. Node 4.3: 高速缓冲存储器;
180. List 4.3.1: 概述;
181. 问题的提出; 在多体并行的存储系统中, 由于I/O设备向主存请求的级别高于CPU访存, 这就出现了CPU等待I/O设备访存的现象; (2018-6-30)
182. Cache工作原理; CPU访问Cache命中, CPU访问Cache不命中; 命中率; ex 4.7, 求Cache-主存系统的命中率, 效率和平均访问时间; 当Cache的总量达到一定值时, 命中率已不因容量的增大而有明显的提高; 当块由小到大增长时, 起初会因局部性原理使命中率有所提高; (2018-6-30)
183. Cache的基本结构;
184. Cache存储体; 多体结构, 且Cache访存的优先级最高; 地址映射变换机构; 将CPU送来的主存地址转换为Cache地址; 主存的块号与Cache块号之间的转换; 替换机构; 当Cache内容以满, 无法接受来自主存块的信息时, 就由Cache内的替换机构按一定的算法来确定应从Cache内移出哪个块返回主存, 而把新的主存块调入Cache; Cache的读写操作; 写直达法(write-through); 写操作时数据既写入Cache又写入主存; 写回法(write-back); 写操作时只把数据写入Cache而不写入主存, 但当Cache数据被替换出去时才写回主存; Cache一致性问题; (2018-6-30)
185. Cache的改进; 单一缓存和两级缓存; 片内缓存; 片外缓存, 由静态RAM组成; 统一缓存和分立缓存; 如果主存统一, 则cache统一; 超前控制, 在当前指令执行过程尚未结束时就提前将下一条准备执行的指令取出; 流水线控制, 多条指令同时执行; Pentium 4处理器框图; PowerPC 620处理器框图; (2018-6-30)
186. List 4.3.2: Cache-主存地址映射;
187. 直接映射; 直接映射方式主存块和缓存块的对应关系; 不够灵活; (2018-6-30)
188. 全相连映射; 允许主存中每一字块映射到Cache中的任何一块位置上; 所需的逻辑电路甚多; (2018-6-30)
189. 组相连映射; 把Cache分成Q组, 每组有R块; ex 4.8, (1)log2(n), 1位 = 1Byte; Byte字节, bit比特, 1 Byte = 8 bit; 4Byte/字, 16字/块; 直接映射类似于哈希表; ex 4.9, 设计主存的地址格式; ex 10, 注意要减一; ex 11, 设计Cache组织; (2018-6-30)
190. List 4.3.3: 替换策略;
191. 当新的主存块需要调入Cache并且它的可用空间位置又被占满; FIFO算法, 选择最早调入Cache的字块进行替换; 近期最少使用算法LRU, 只记录每个块最近一次使用的事件; 随机法; (2018-7-23)
192. Node 4.4: 辅助存储器;
193. List 4.4.1 概述;
194. 辅助存储器的特点, 容量大, 速度慢, 价格低; 外存; 主存, 速度快, 成本高, 容量小; 硬盘, 磁带, 光盘; 磁表面存储器; 磁表面存储器的主要技术指标; 记录密度, 单位长度内存储的二进制信息量; 相邻两条磁道中心线之间的距离称为道距; Dt=1/P; Db=1/(pi\*d); 存储容量; 格式化容量, 按某种特定的记录格式所能存储信息的的总量; 平均寻址时间; Ta=平均找道事件tsa+平均等待时间twa; 数据传输率Dr=记录密度Db\*介质运动速度V; 误码率; (2018-7-23)
195. List 4.4.2: 磁记录原理和记录方式;
196. 磁记录原理; 通过磁头和记录介质的相对运动完成读写操作; 电磁感应; 磁表面存储器的记录方式; 归零制RZ, 记录1, 通正向脉冲电流, 记录0, 通反向脉冲电流; 不归零制NRZ, 始终有驱动电流, 不是正向就是反向; 见1就翻的不归零制NRZ1; 调相制PM, 记录1或0的相位相反, 在磁带存储器中较多; 调频制FM, 以驱动电流变化的频率不同来区别记录0还是1, 硬盘和软盘; 改进型调频制MFM; 记录1时, 在位记录时间的中间时刻电流发生一次变化; 评价记录方式的主要指标; 编码效率, 位密度与磁化翻转密度的比值; 自同步能力, 最小磁化翻转间隔和最大磁化翻转间隔的比值; (2018-7-23)
197. List 4.4.3: 硬磁盘存储器;
198. 硬磁盘存储器类型; 固定磁头磁盘存储器, 移动磁头磁盘存储器; 可换盘磁盘存储器, 固定盘磁盘存储器; 磁盘上的每一个磁道都对应一个磁头; 磁头在盘面上做径向运动; 多个盘片装在一个同心主轴上; 盘片可以脱机保存; 更换时要把头盘组合体一起更换; 温盘; 硬盘存储器的结构; 磁盘驱动器; 主轴, 定位驱动, 数据控制; 驱动定位系统, 带有速度和位置反馈的闭环调节自控系统; 写操作, 首先接收选头选址信号, 用以确定信道地址和扇段地址, 再根据写命令和写数据选定的磁记录方式, 并将其转化为按一定变化规律的驱动电流注入磁头的写线圈中; (2018-7-23)
199. 硬磁盘存储器的结构; 磁盘控制器, 接受主机发来的命令, 将它转换成磁盘驱动器的控制命令, 实现主机和驱动器之间的数据格式转换和数据传送, 并控制驱动器的读写; 对主机的接口, 对硬盘的接口; 数据的发送和接收都是通过总线完成的; 盘片; (2018-7-23)
200. 硬磁盘存储器的发展动向; 半导体盘; flash memory; 提高磁盘记录密度, 采用高密度记录磁头; 提高磁盘的数据传输率和缩短平均存取时间, 提高主轴转速, 采用Cache芯片作为读写操作控制电路; 采用磁盘阵列RAID; 使用多台小型温盘构成同步化的磁盘阵列, 将数据展开存放在多台盘上; 硬磁盘的磁道记录格式; 定长记录格式; 柱面号就是磁道号, 磁头号则是盘面号; 扇段是磁盘寻址的最小单位; 台号, 磁道号, 盘面号, 扇段号; ISOT盘的磁道记录格式; ex 4.12, 计算存储容量, 平均等待时间和磁盘转速有关; ;;;;
201. -