

Quartus II

軟體基礎操作

前提說明

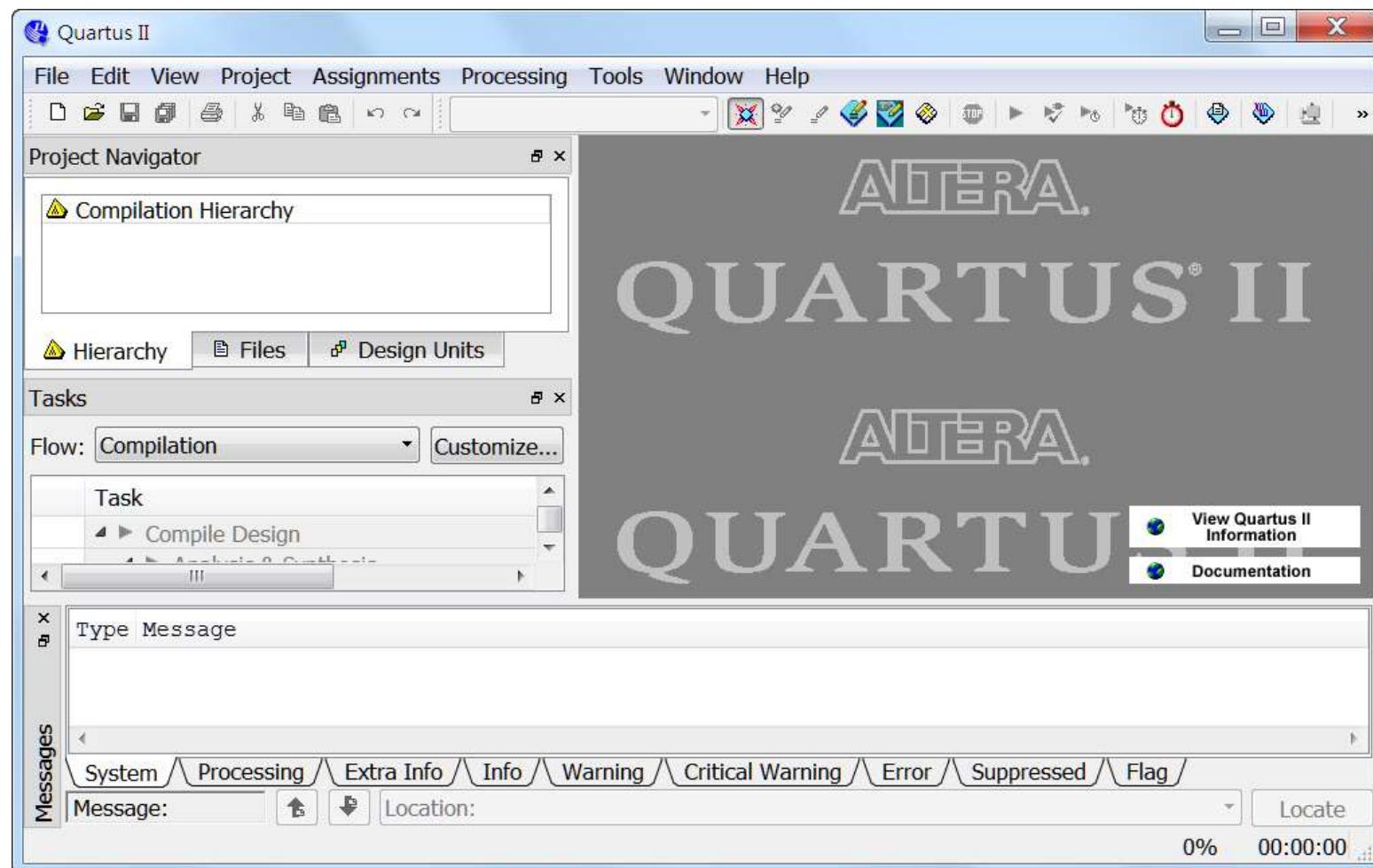
- **QuartusII**是一款強大的**EDA**設計軟體，其軟體使用手冊1~2000千頁。
- 而市售的書籍也只會針對一些基本的軟體操作介紹而已。
- 如果關於**FPGA**設計一些進階的軟體設定，則需具備相關背景才知道該設定些什麼。
- 故本份投影片只會針對一些常用的功能作說明，足供一般數位邏輯課程與實驗平台的操作使用。

硬體開發流程

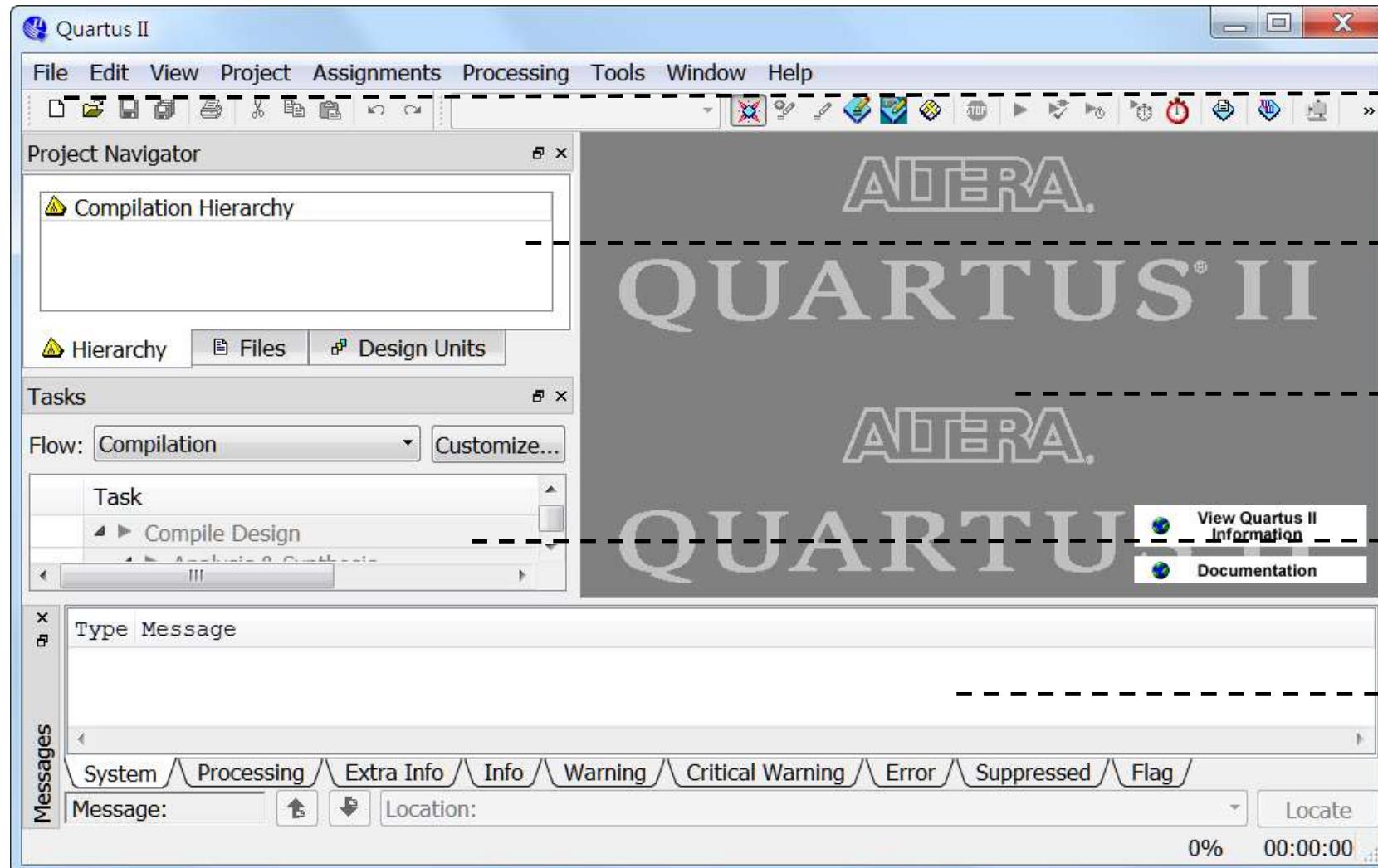


如何新件一個空白專案？

打開Quartus II軟體



畫面介紹



Menu與圖示按鈕

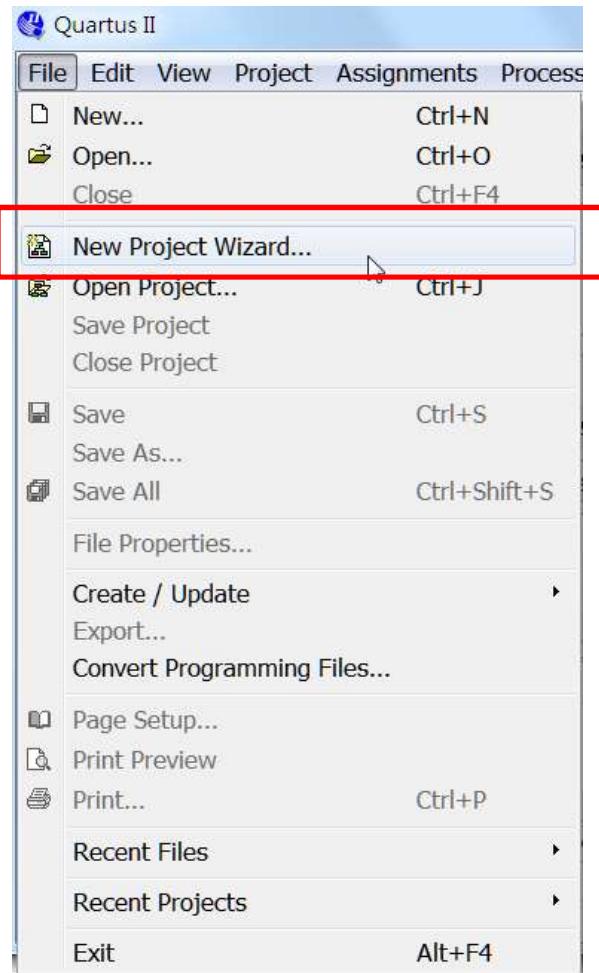
專案管理

編輯操作

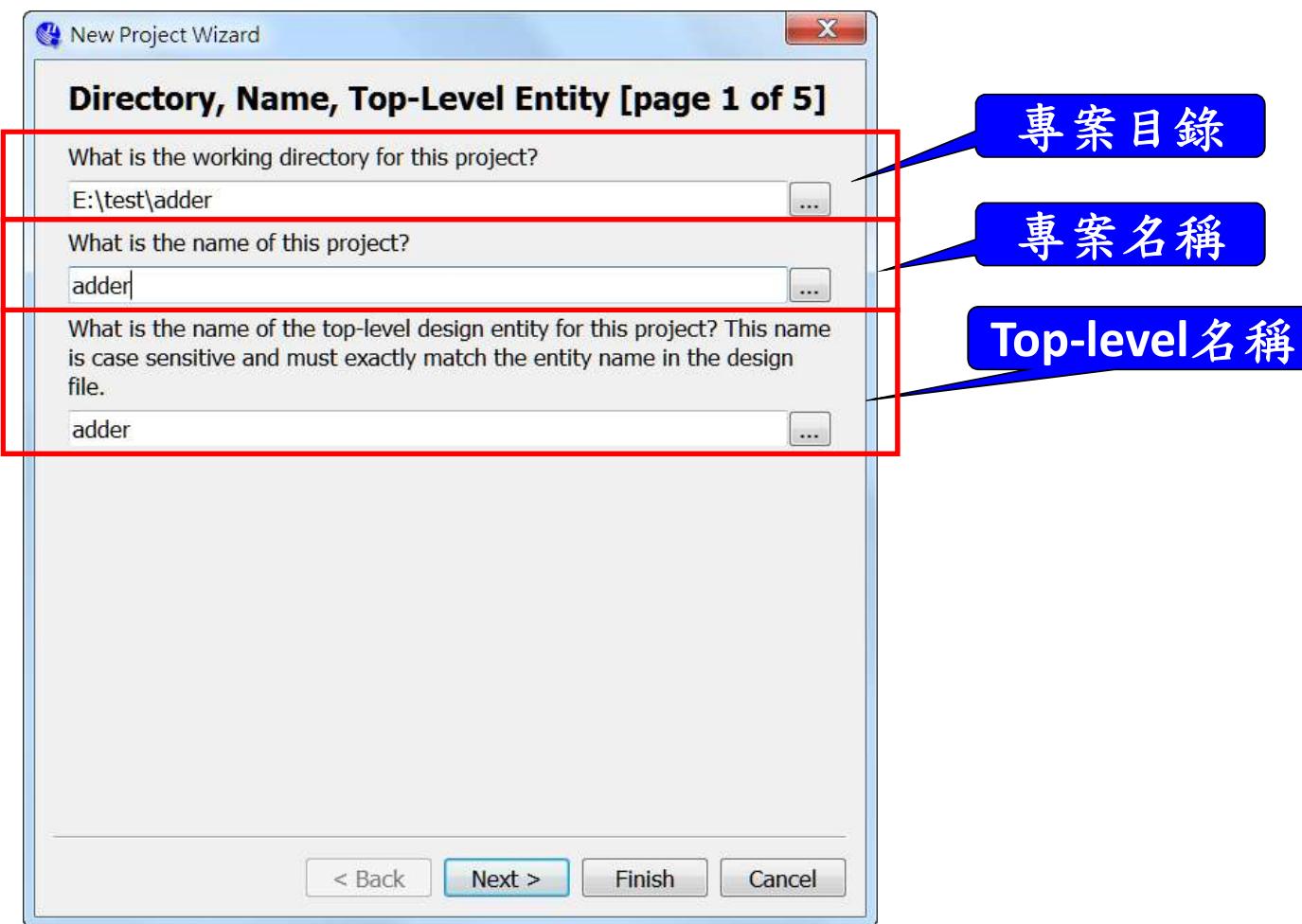
處理狀態顯示

訊息顯示

新建專案精靈



Step1:

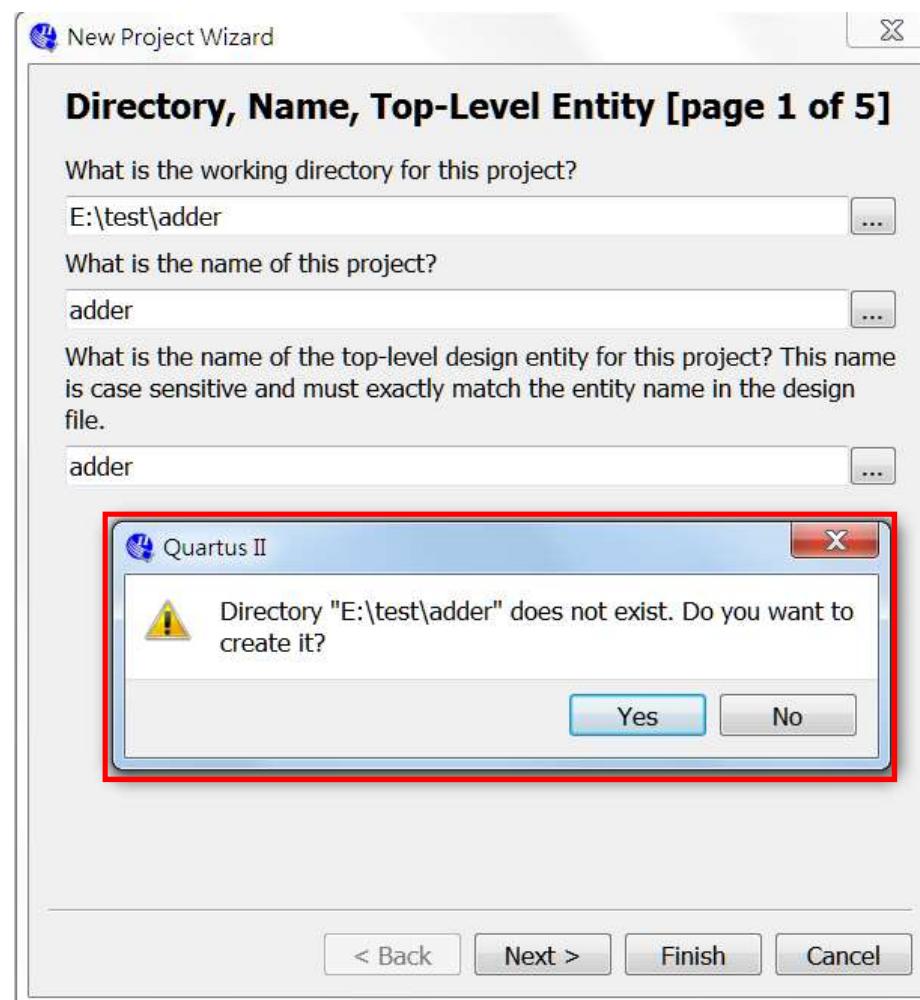


Step1:

- 專案目錄請務必建立一個目錄供存放。因為在系統設定、編譯時所產的檔案、原始檔，不會只有一個，所以需用目錄來管理。

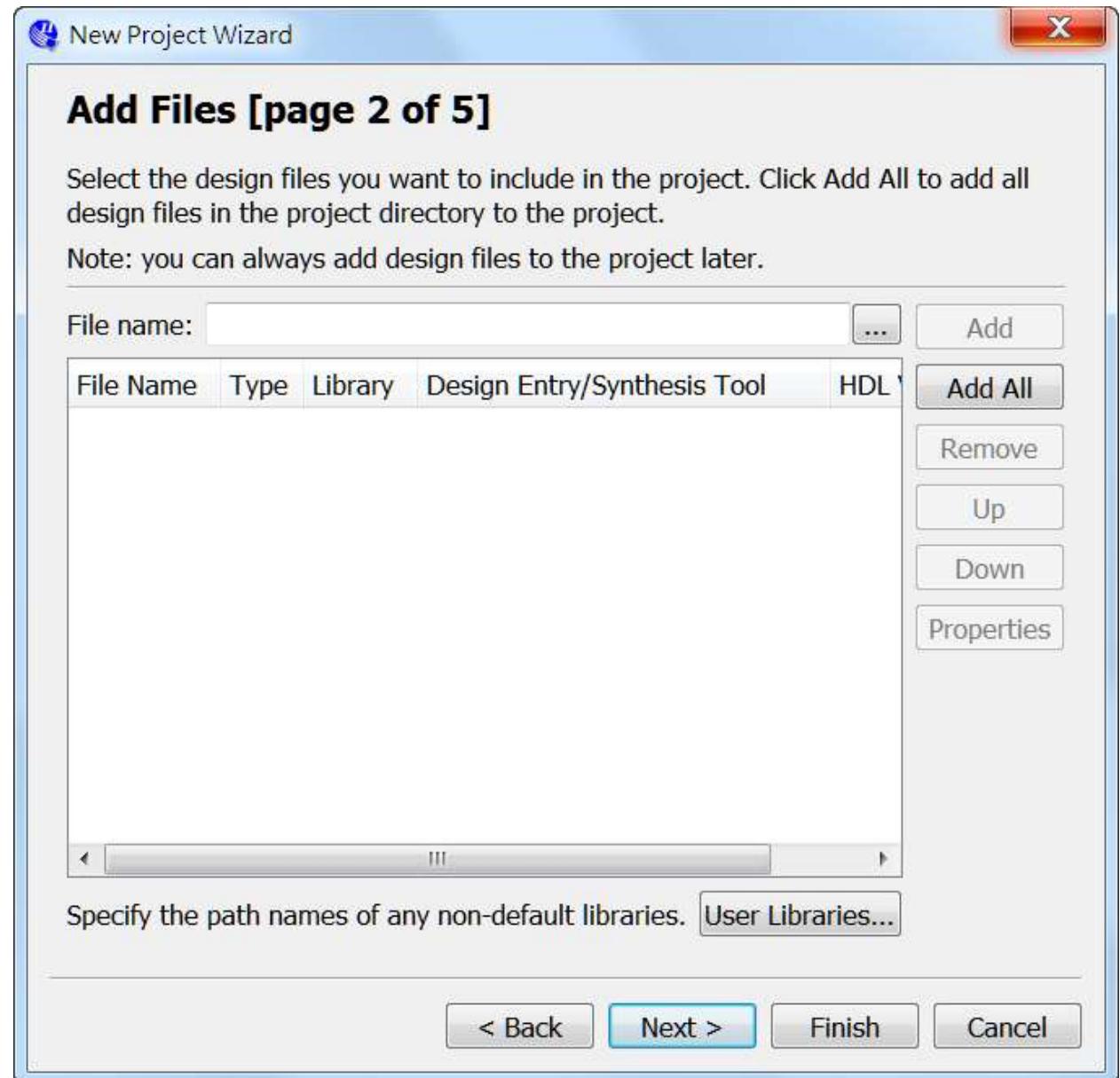
Step2:

- 建立新目錄，按YES



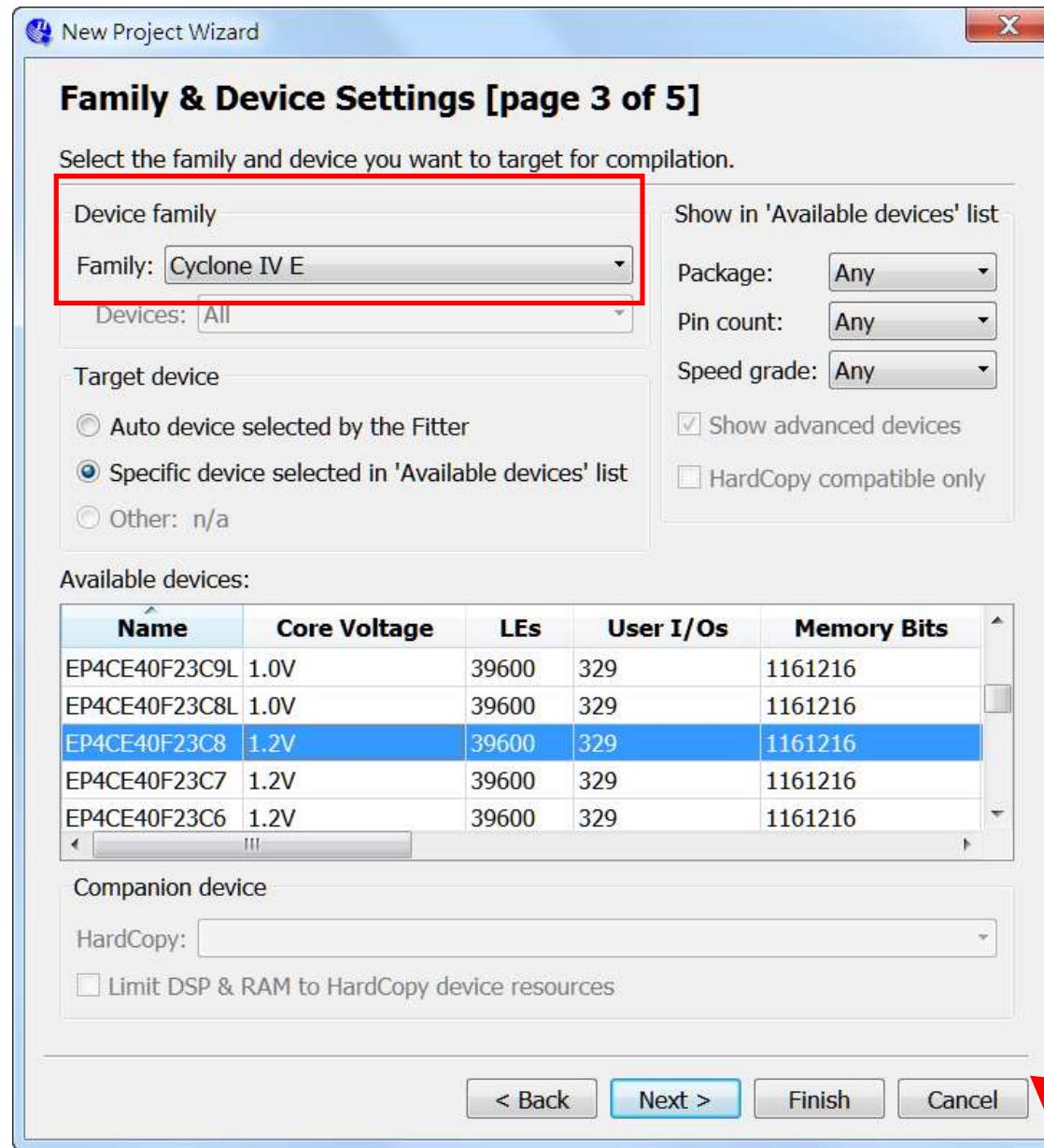
Step3:

- 這畫面用途是加入已設計好的檔案。但目前我們沒任何設計檔，故請按：**Next**按鈕。



Step4:

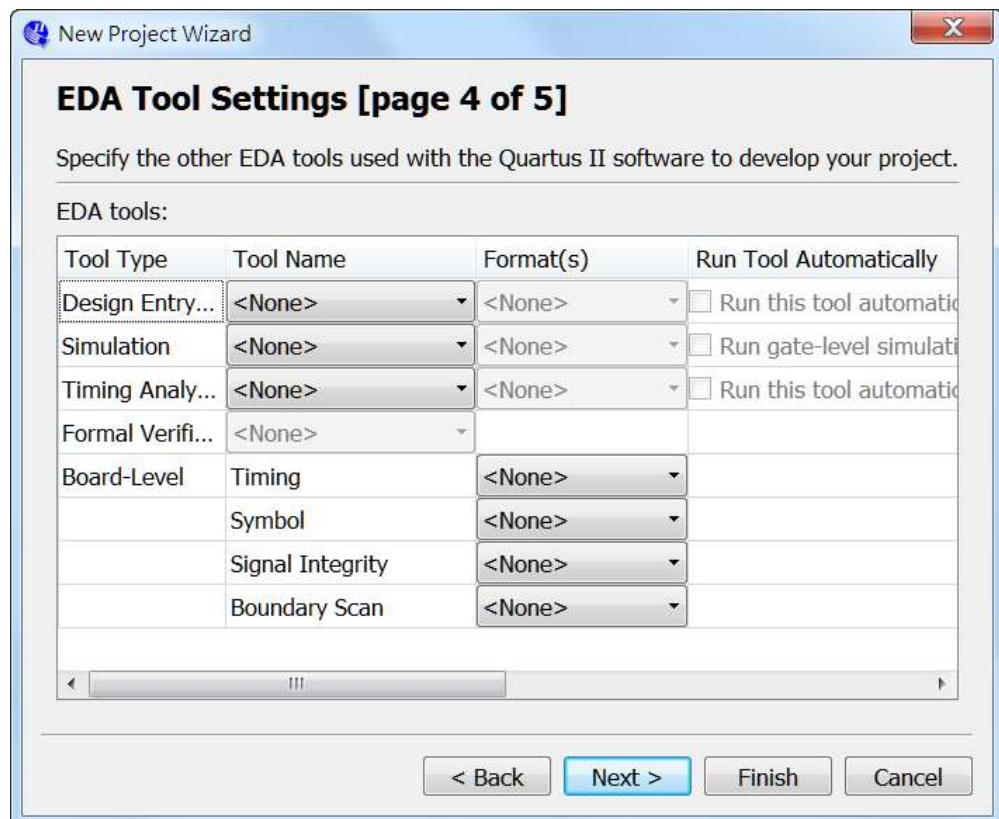
- 選擇Cyclone IV E ,
EP4CE40F23C8



用滑鼠伸縮視窗

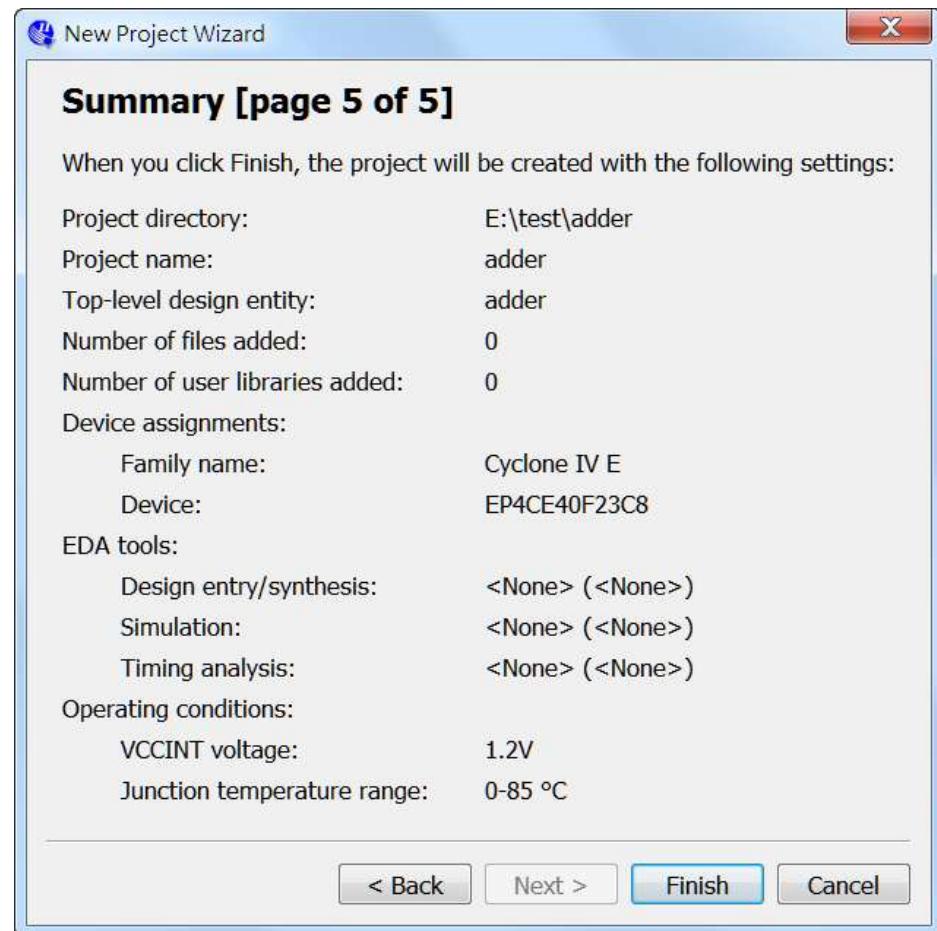
Step5:

- 這畫面用途是引入第三方設計工具軟體。在此，我們只用Quartus II工具本身，故請按：Next按鈕。



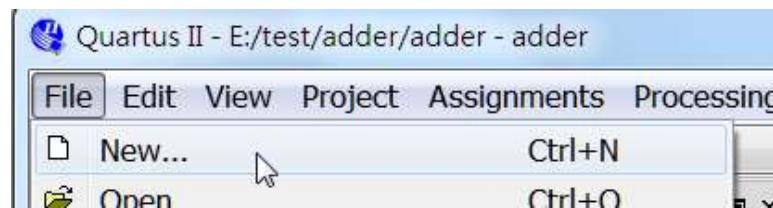
完成

- 摘要報告
- 按 **Finish** 完成精靈設置。

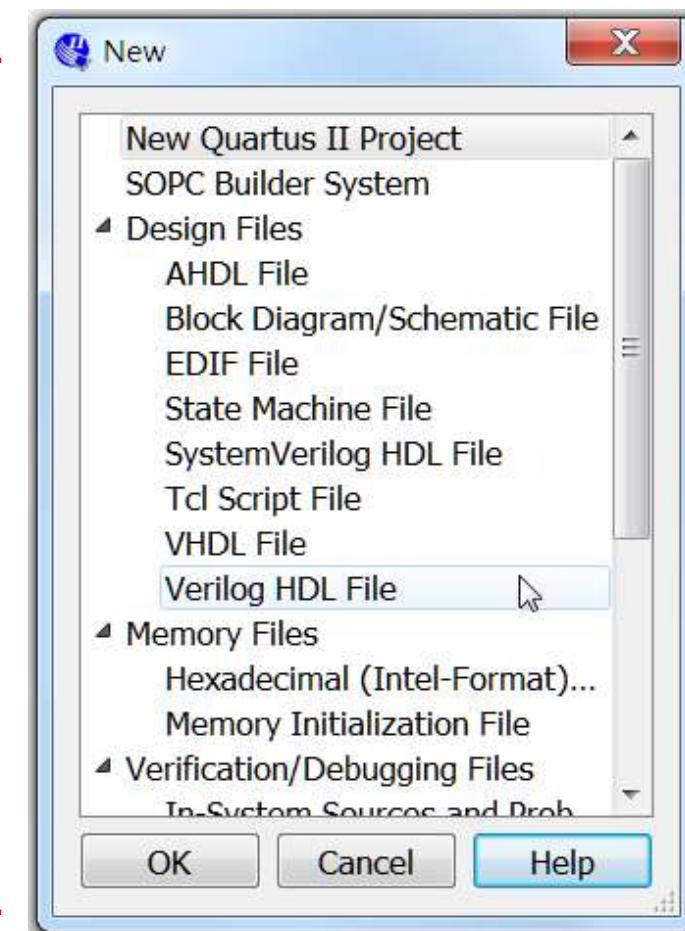
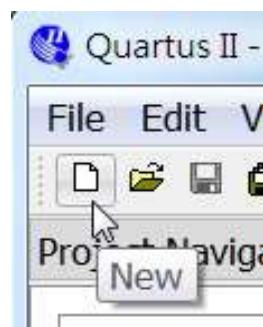


新建空白專案結束

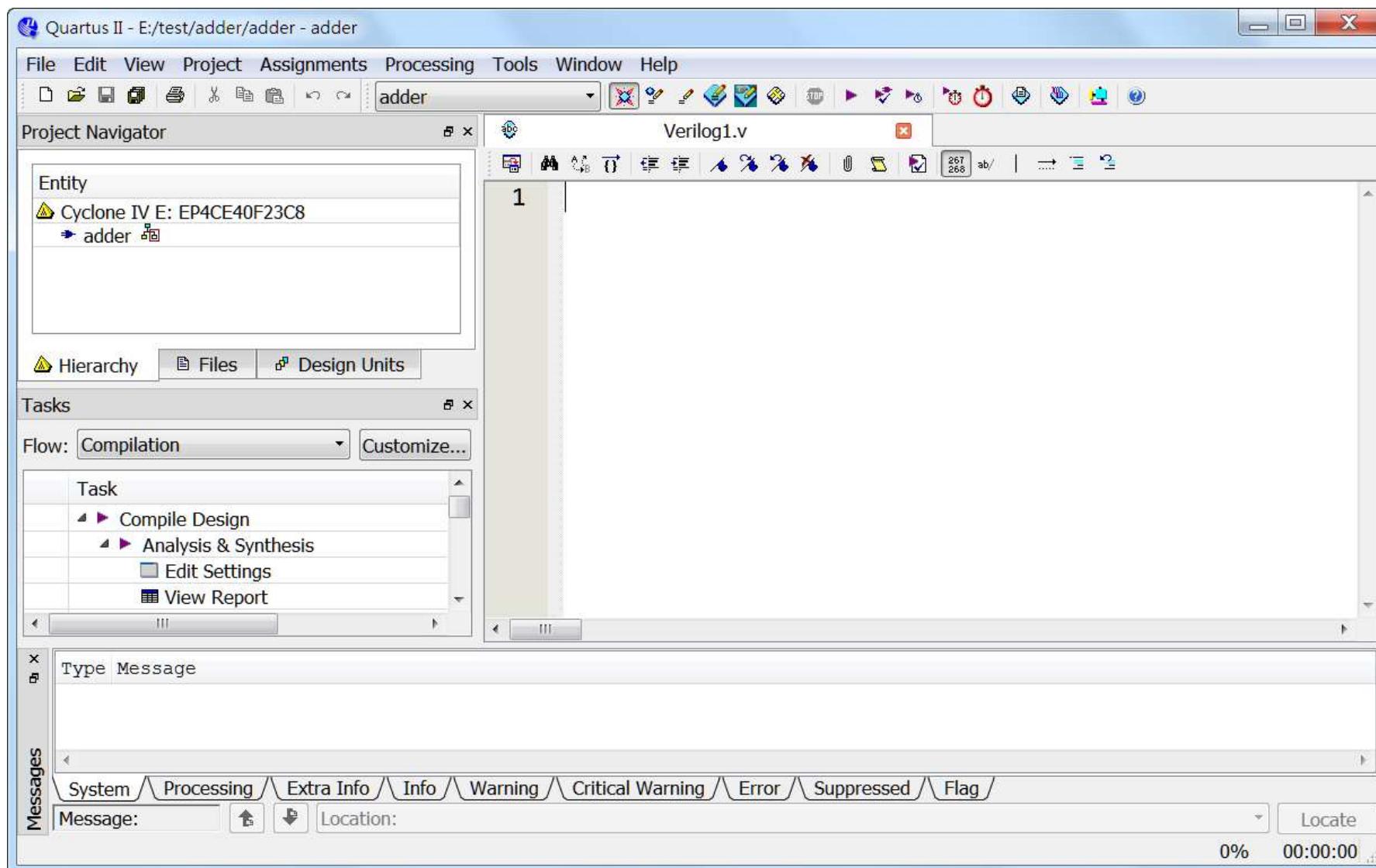
如何新增一個Verilog檔案？



- 或

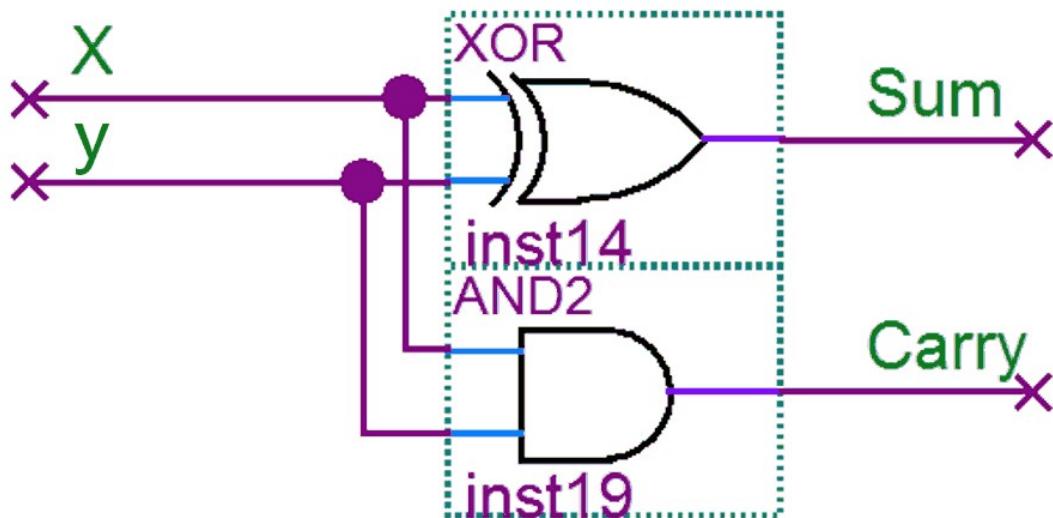


- 會產生一個未命名的Verilog檔案。



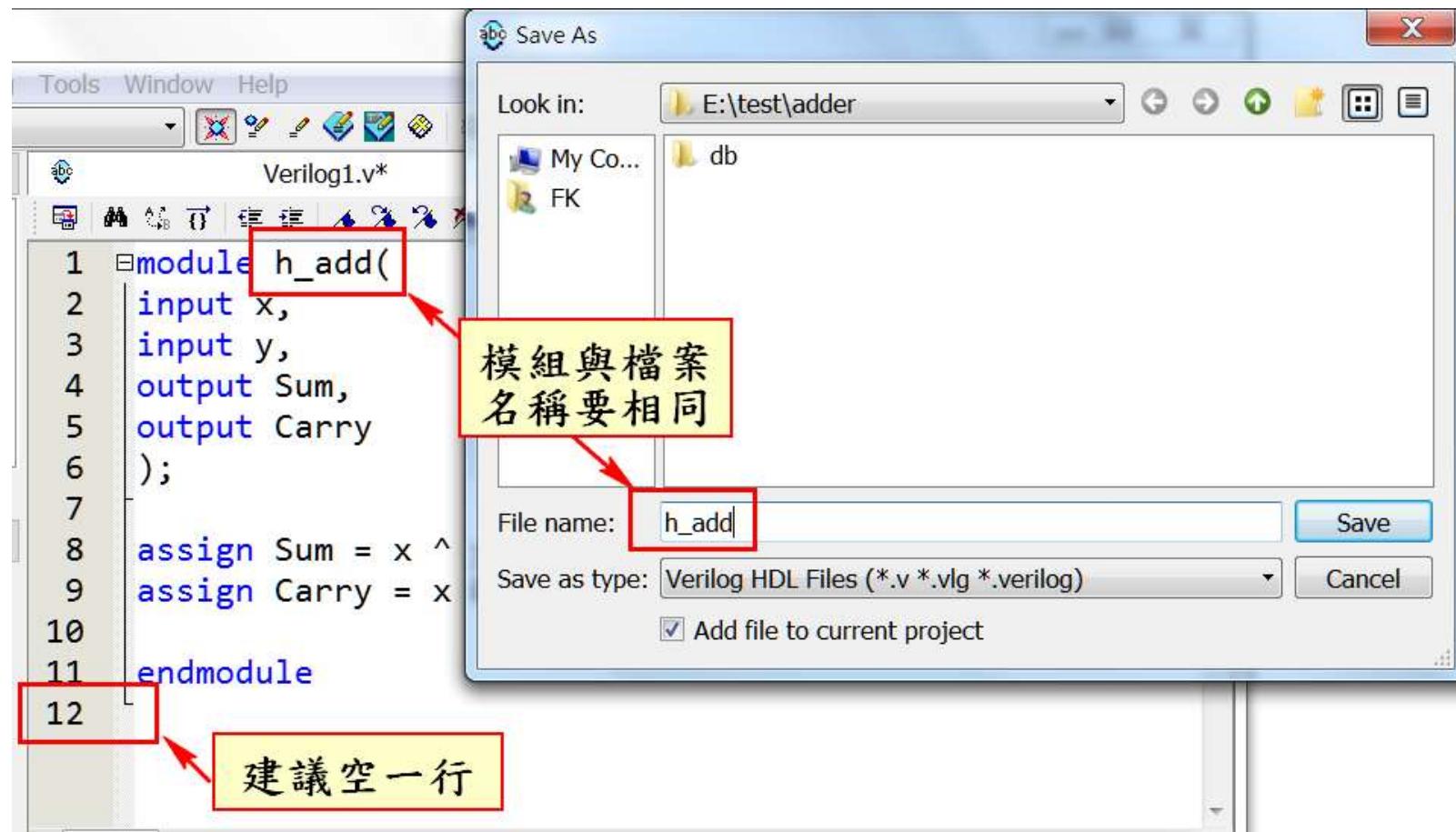
先設計一個半加器

- 已知半加器的邏輯電路與真值表如下：

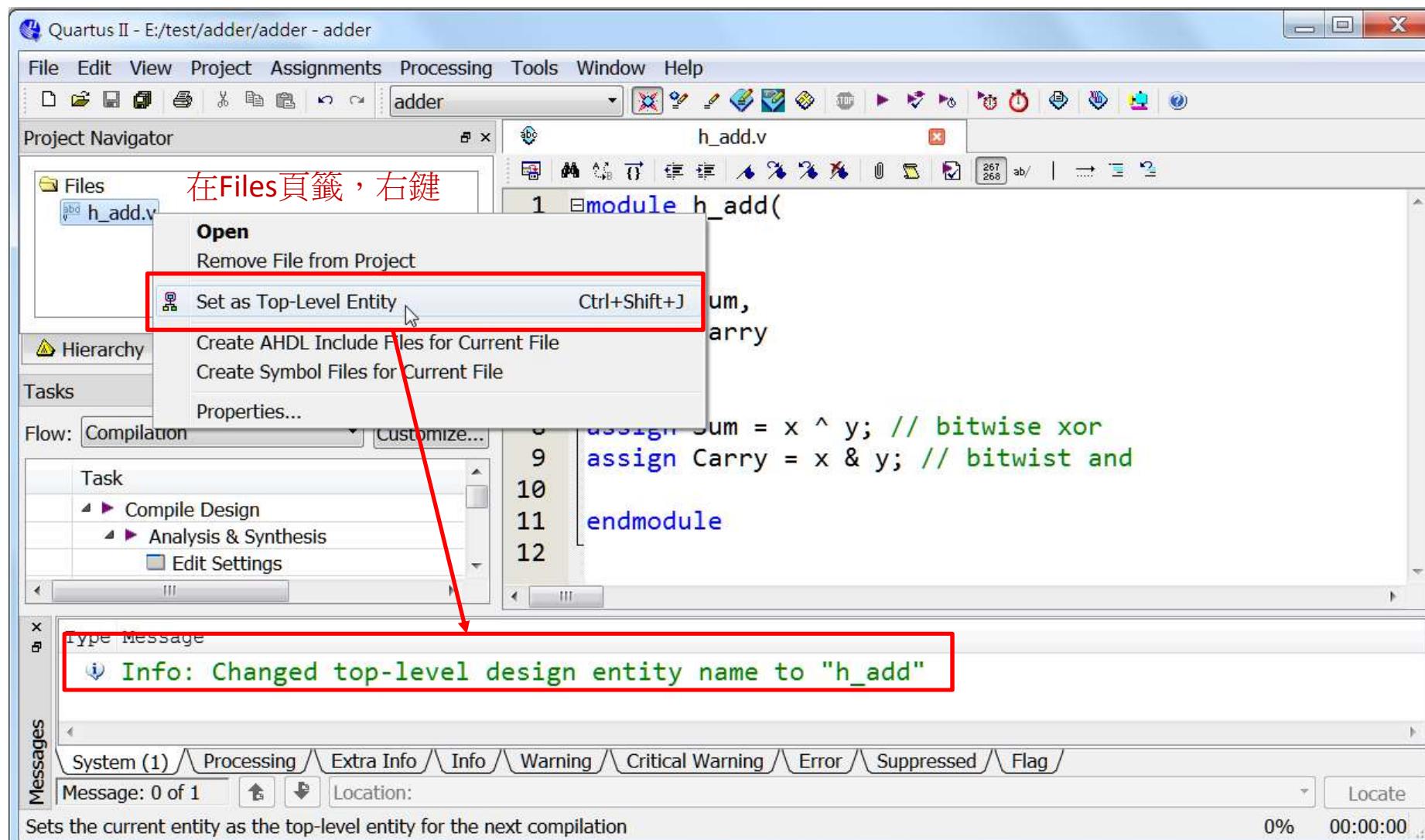


x	y	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

模組與檔案名稱要一致



設定Top-Level Entity



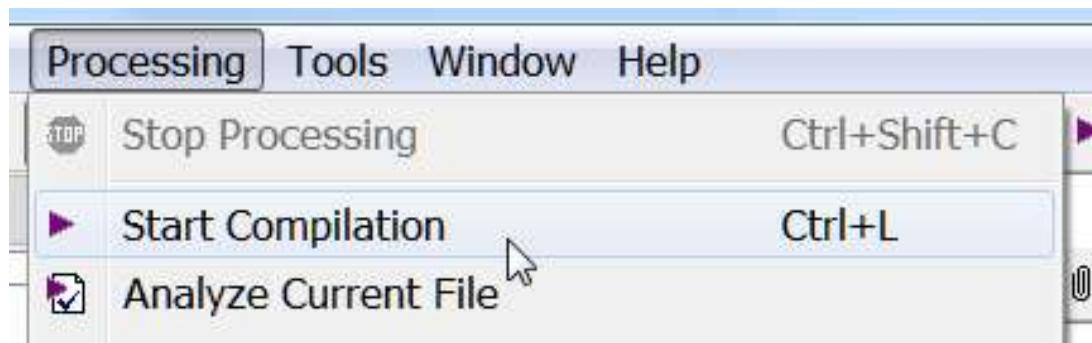
設定Top-Level Entity

- 主要用途是讓**Quartus**軟體知道那個檔案（無論是程式檔、電路圖檔）是最頂層。
- 就等同於我們寫 C 程式語言時，程式的進入點是**main()**的概念一樣。

半加器Verilog程式

```
module h_add(  
    input x,  
    input y,  
    output Sum,  
    output Carry  
);  
  
    assign Sum = x ^ y; // bitwise xor  
    assign Carry = x & y; // bitwist and  
  
endmodule
```

編譯



• 或



編譯結果

Quartus II - E:/test/adder/adder - adder

File Edit View Project Assignments Processing Tools Window Help

Project Navigator

Files h_add.v

Hierarchy Files Design Units

Tasks

Flow: Compilation

Task Time

- Compile Design 00:00:22
- Analysis & Synthesis 00:00:06
 - Edit Settings
 - View Report
 - Analysis & Elaboration
 - Partition Merge
 - Netlist Viewers
 - RTL Viewer
 - State Machine Viewer

工作進度視窗

Table of Contents

- Flow Summary
 - Flow Status
 - Quartus II Version
 - Revision Name
 - Top-level Entity Name
 - Family
 - Device
 - Timing Models
 - Met timing requirements
 - Total logic elements
 - Total combinational functions
 - Dedicated logic registers
 - Total registers
 - Total pins
 - Total virtual pins
 - Total memory bits
 - Embedded Multiplier 9-bit elements
 - Total PLLs
- Flow Settings
- Flow Non-Default Global Set
- Flow Elapsed Time
- Flow OS Summary
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- TimeQuest Timing Analyzer

點選可察看細部資訊

Flow Summary

Flow Status	Successful - Mon Feb 05 14:39:01 2018
Quartus II Version	10.0 Build 262 08/18/2010 SP 1 SJ Full Version
Revision Name	adder
Top-level Entity Name	h_add
Family	Cyclone IV E
Device	EP4CE40F23C8
Timing Models	Final
Met timing requirements	N/A
Total logic elements	2 / 39,600 (< 1 %)
Total combinational functions	2 / 39,600 (< 1 %)
Dedicated logic registers	0 / 39,600 (0 %)
Total registers	0
Total pins	4 / 329 (1 %)
Total virtual pins	0
Total memory bits	0 / 1,161,216 (0 %)
Embedded Multiplier 9-bit elements	0 / 232 (0 %)
Total PLLs	0 / 4 (0 %)

摘要視窗

Type Message

- Info: Timing-Driven Synthesis is running
- Info: Generating hard_block partition "hard_block:auto_generated_inst"
- Info: Implemented 6 device resources after synthesis - the final resource count might be different
- Info: Quartus II Analysis & Synthesis was successful. 0 errors, 0 warnings
- Info: *****

編譯過程視窗

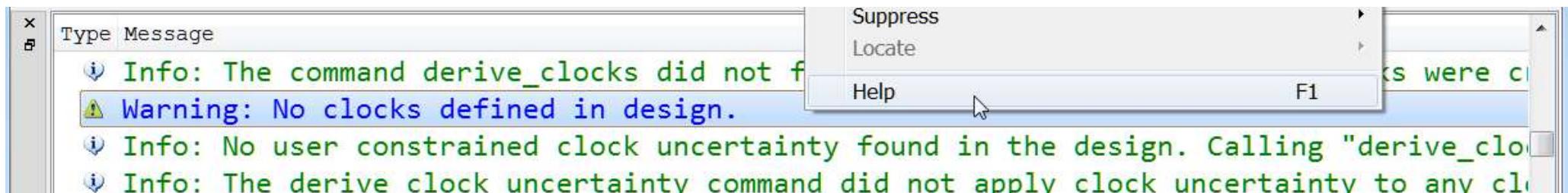
System (1) / Processing (106) / Extra Info (98) / Info (98) / Warning (5) / Critical Warning (3) / Error / Suppressed (6) / Flag /

Message: 0 of 163 Locate

100% 00:00:22

訊息欄位

- 三大訊息：**Info**、**Warning**、**Error**
- 按右鍵選**Help**



按Help後所跳出的輔助說明

The screenshot shows a help page from the Quartus II software. The title bar indicates it's Quartus II Help Version 10.0. The main content area displays an error message: "No clocks defined in design." Below this, there are sections for "CAUSE:" and "ACTION:". A yellow callout box labeled "發生的原因" (Reason) points to the error message. Another yellow callout box labeled "解決的方式" (Solution) points to the "ACTION:" section. On the left side, there is a search bar and some configuration options.

發生的原因

No clocks defined in design.

CAUSE:

ACTION:

See also:

解決的方式

Type in the word(s) to search for: Go

Highlight search results

Search results per page 10

[Create Clock Dialog Box \(create_clock\)](#)

- 一般可透過輔助說明來解決大部分設計上的問題。

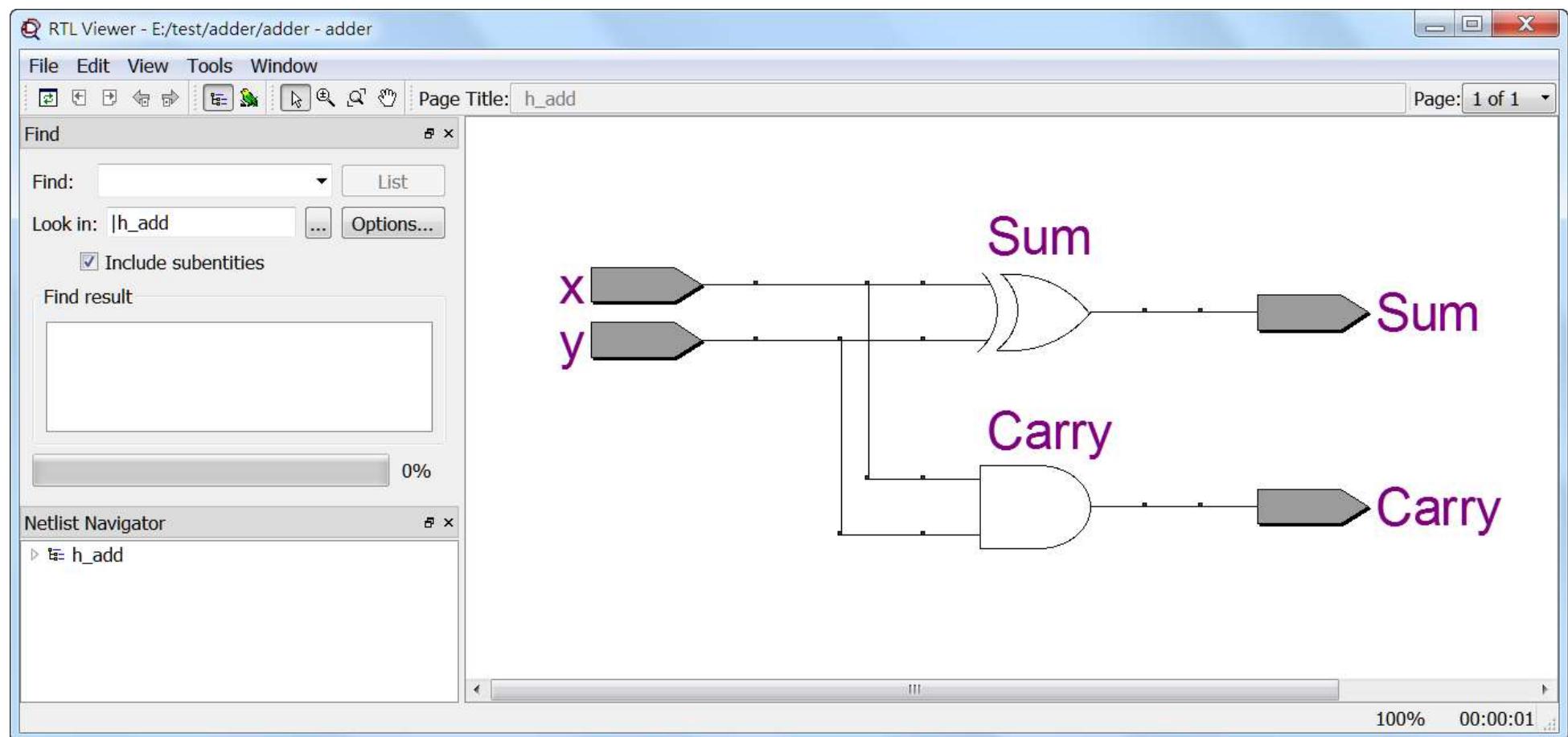
寫的程式真的是描述硬體嗎？

- HDL為（**Hardware Description Language**），也就是硬體描述語言。用來描述硬體動作的。
- 但往往使用者會把他當作一般程式語言在寫，以致於所描述出來的動作正確，但硬體合成出來往往耗費大量邏輯單元，或者執行上需費很多時間。

使用RTL Viewer

- 在Verilog上有四種層次的描述：
 - 行為層次（Behavior Level）→高階
 - 資料流層次（Dataflow Level）
 - 邏輯閘層次（Gate Level）
 - 電晶體層次（Switch Level）→低階，除非IC設計，不然一般FPGA應用沒用到這層次。
- 行為層次與資料流層次合稱”暫存器轉換層次 RTL（Register Transfer Level ）”

觀看所寫的半加器程式所合成的RTL



軟體模擬？

- 在**QuartusII 10**版後（不含），已經不內建軟體模擬功能。改用**ModelSim**軟體。
- 而在**QuartusII Primer**版本後，可以像以前（**QuartusII 10**版（含））一樣使用內建的波形「編輯」器，但軟體模擬功能已經採用**ModelSim**了。也就是當編輯完後，經過設定，**Quartus Primer**會去呼叫**ModelSim**進行軟體模擬後，結果回傳給**Quartus Primer**軟體做波形顯示。
- 故如果用舊版的**Quartus**請勿再學習內建的軟體模擬功能。

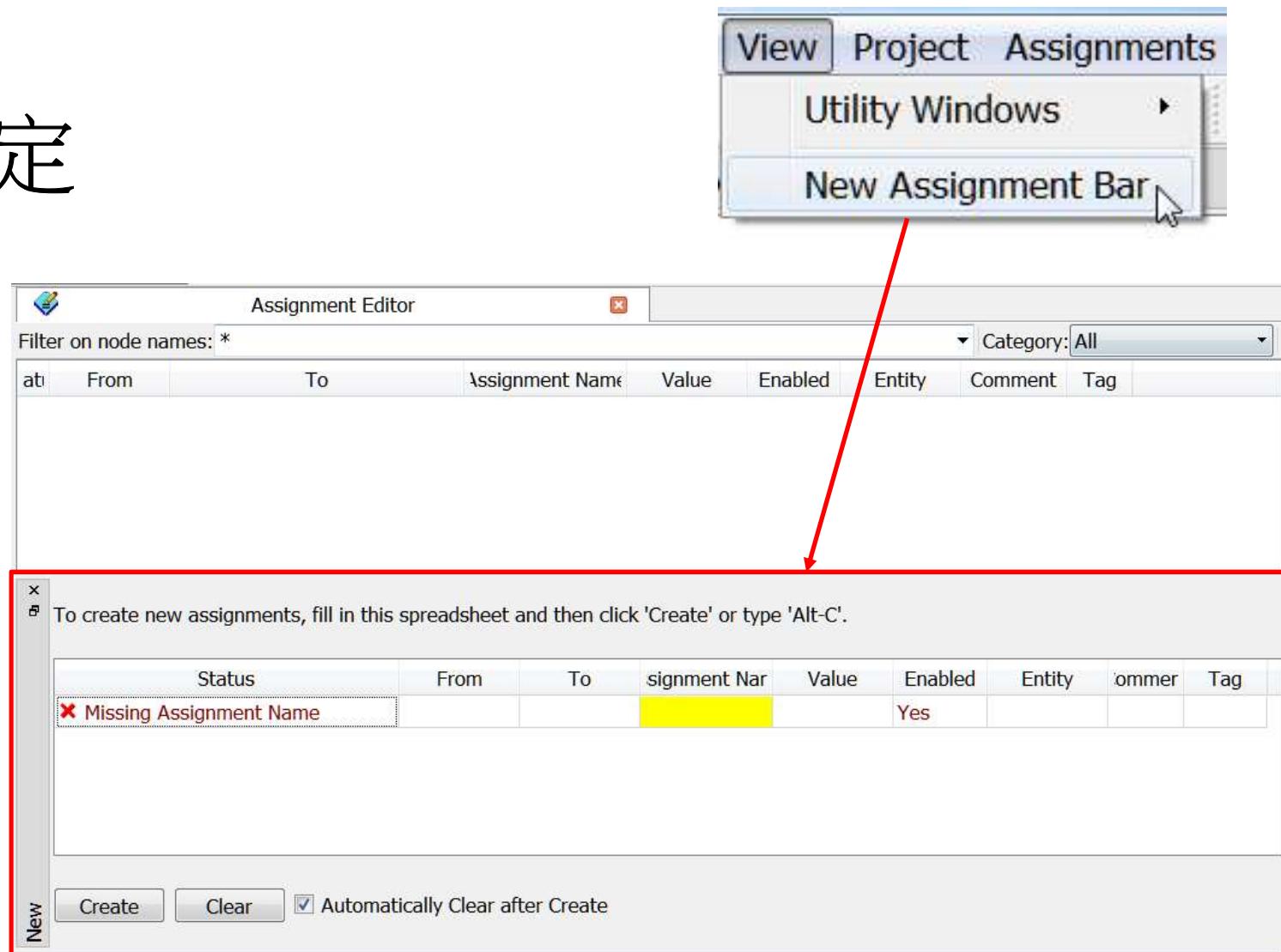
硬體pin腳指定

- 還未指定**pin腳**之前。

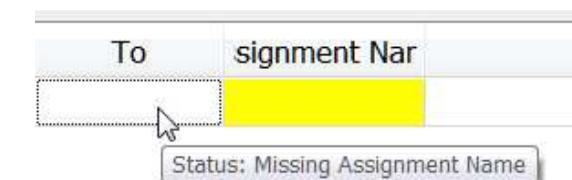
at	From	To	Assignment Name	Value	Enabled	Entity	Comment

硬體pin腳指定

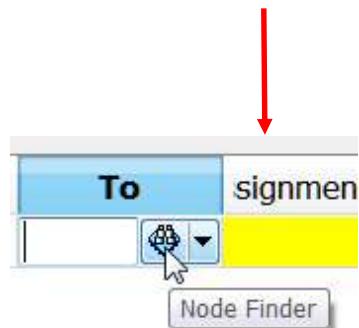
- 打開指定的視窗。
- 這是**Quartus II 10.0**的操作方式，比較不一樣。



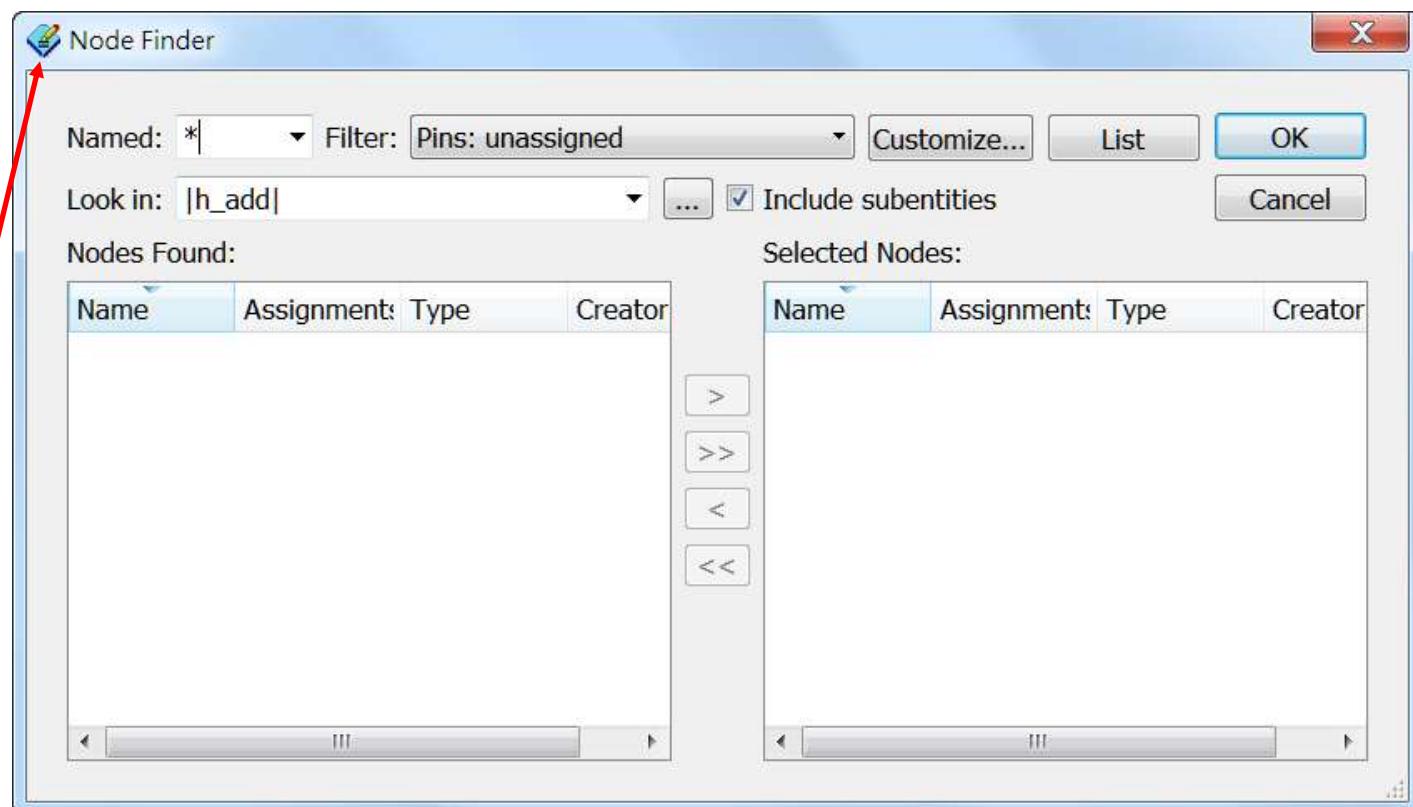
硬體pin腳指定



滑鼠雙點兩下

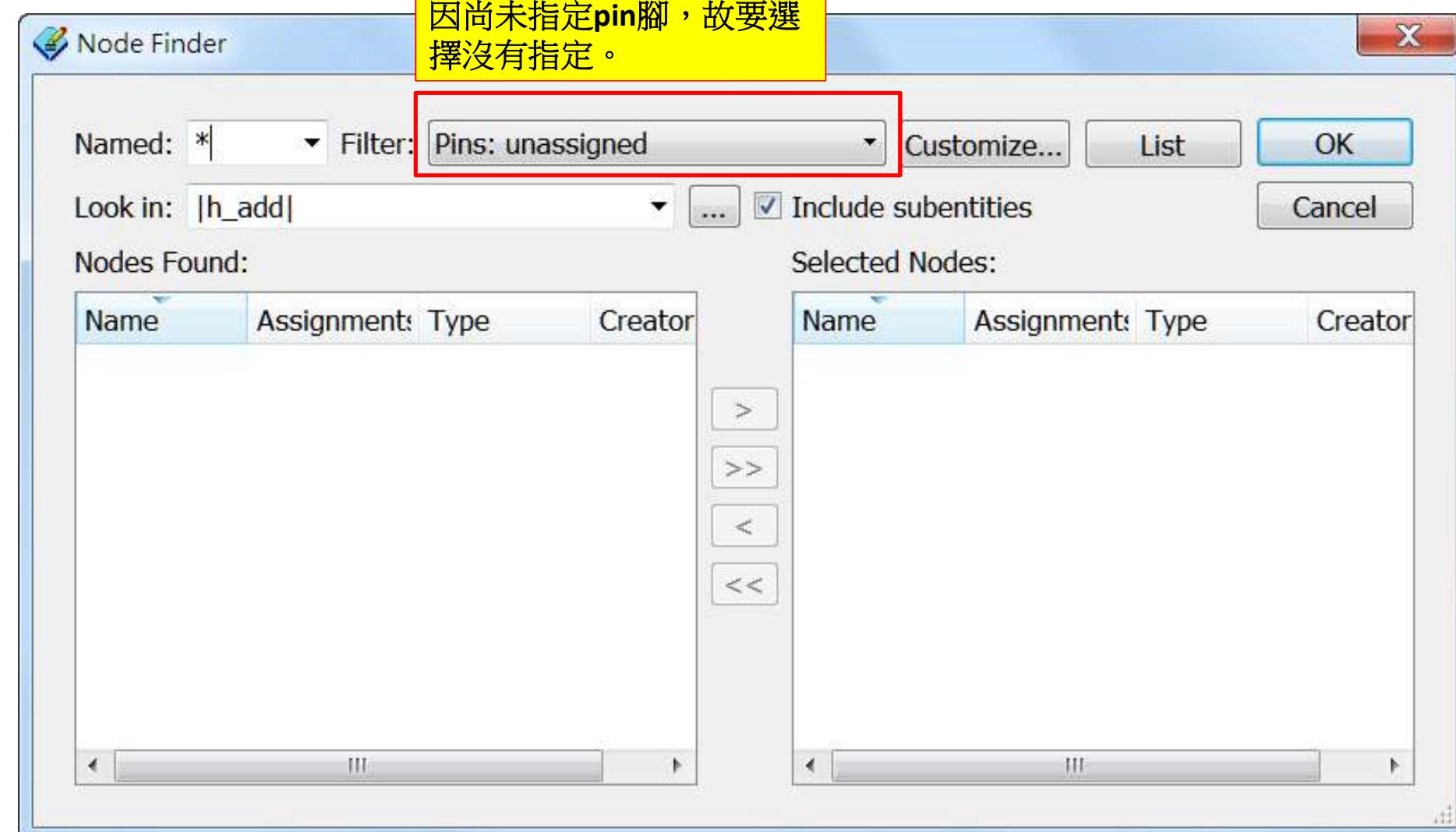


出現**Node Finder**圖示，
點擊打開**Node Finder**
視窗。

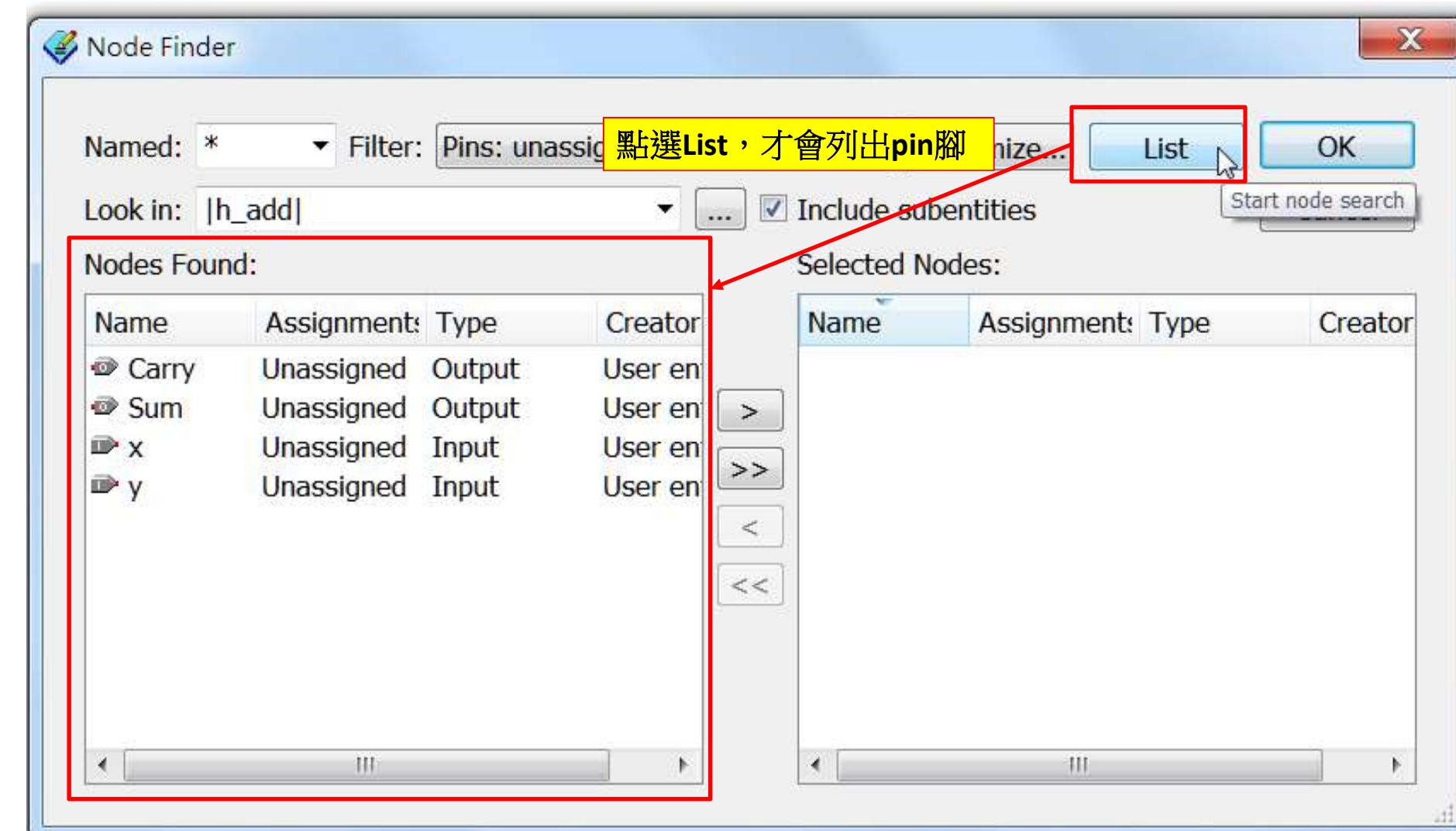


硬體pin腳指定

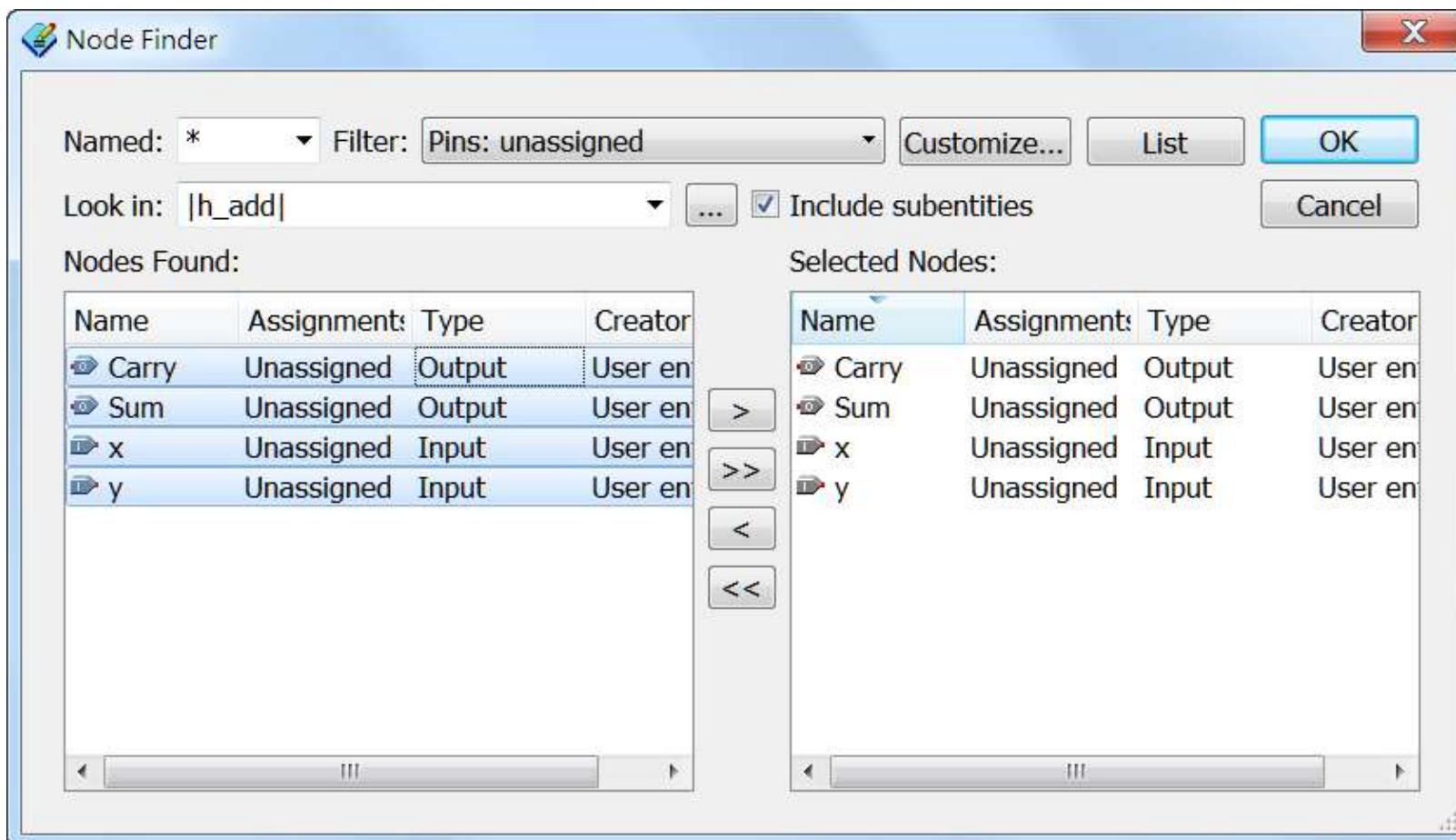
因尚未指定pin腳，故要選擇沒有指定。



硬體pin腳指定



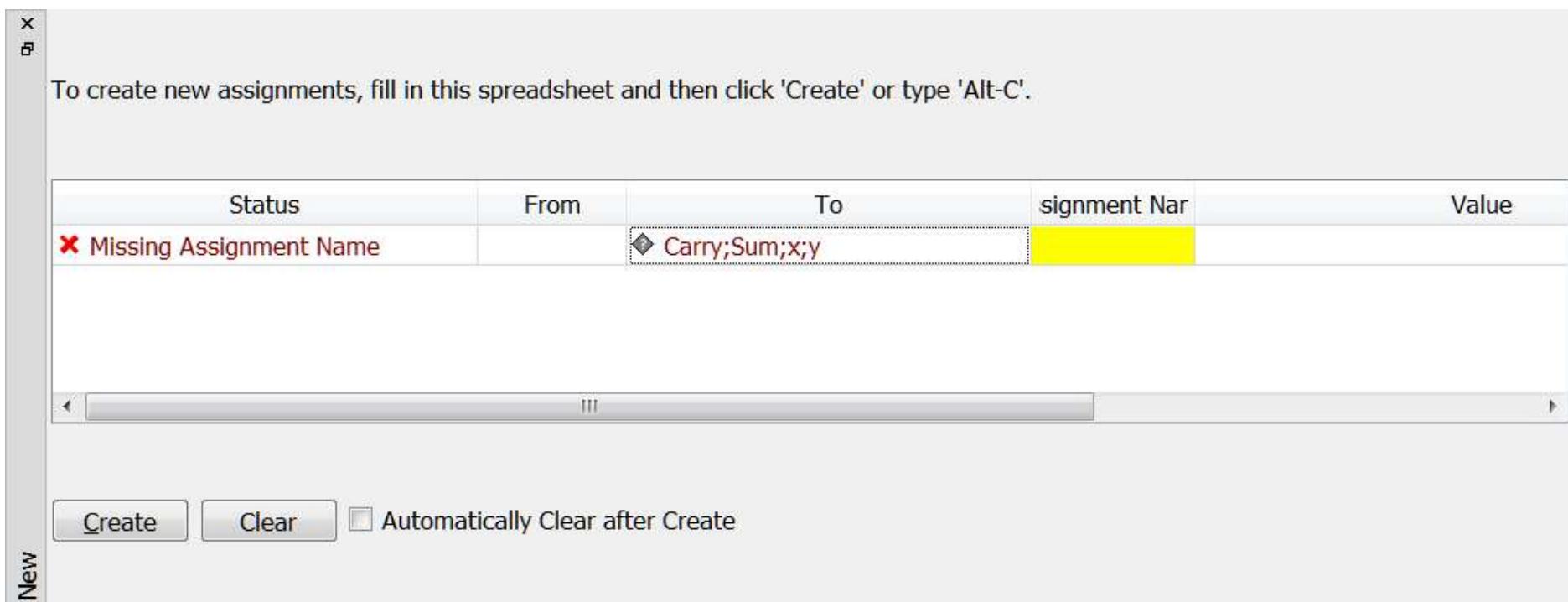
硬體pin腳指定



- “>”表示點選後，增加一個。“<”則是移除一個。
- “>>”表示全部新增。“<<”則是全部移除。

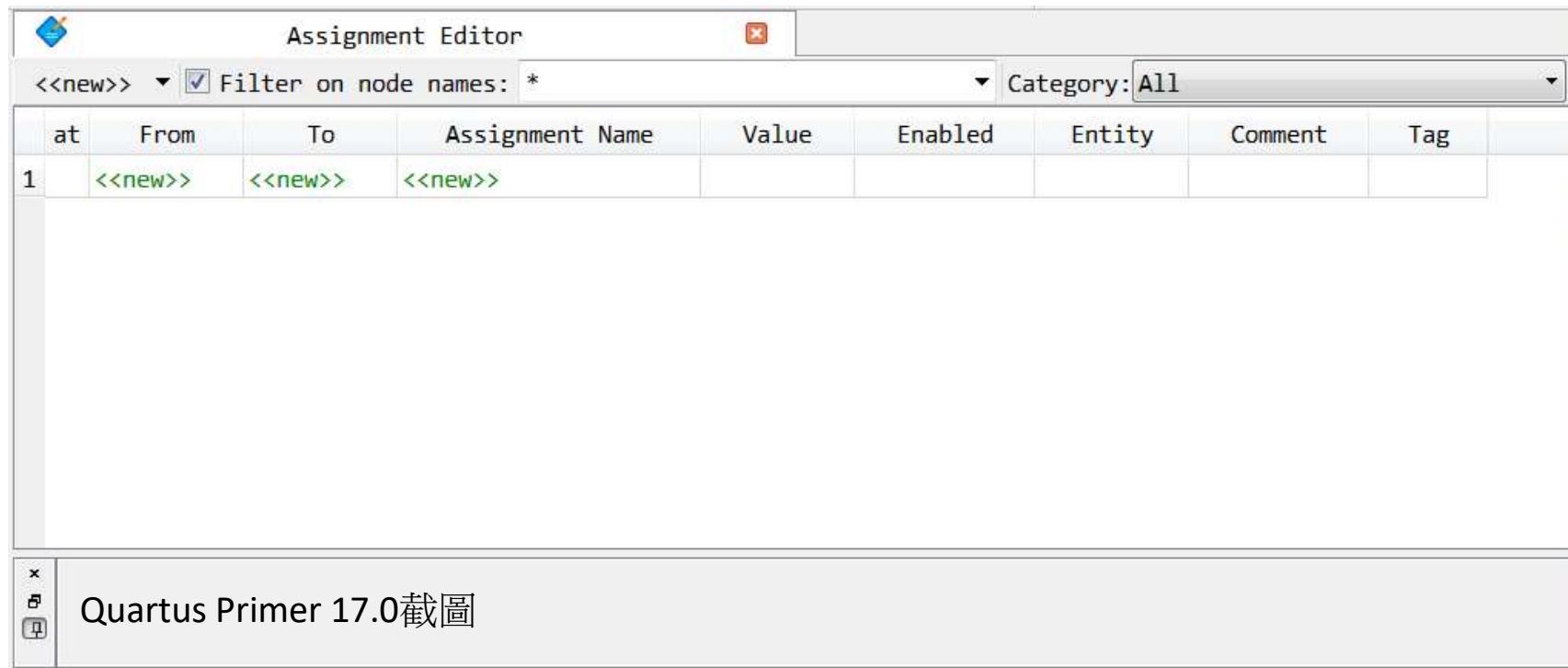
硬體pin腳指定

- 很可惜，全部節點的指定在**Quartus II 10.0**版本是行不通的，訊號要一一加入。



硬體pin腳指定

- 其他版本的**Quartus**軟體，直接由**Assignment Editor**指定即可，且可全部訊號節點加入。故可照投影片說明操作。



硬體pin腳指定

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
✓ Ok		→ Carry	Location	PIN_V10	Yes			

如果指定正確，則會顯示OK。

先指定一隻PIN腳，在此以Carry腳作示範

點選後，按兩次'L'，選擇Location

PIN腳指定格式：
PIN_xx
xx表示FPGA腳位

Location意思：

Assigns a location on the device for the current node(s) and/or pin(s).

硬體pin腳指定

Assignment Editor*

Filter on node names: *

Category: All

at	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
2	✓	Carry	Location	PIN_V10	Yes			

To create new assignments, fill in this spreadsheet and then click 'Create' or type 'Alt-C'.

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment
✗ Missing					Yes		

New

Create  Clear Automatically Clear after Create

先指定一隻訊號後存檔。

如果指定正確，
按下Create後就會列在上面欄位

硬體pin腳指定 – 用設定檔指定方式

- 在這之前請先完成一隻**pin**腳指定。
- 請開啟專案名稱.**qsf**檔案（於所建的專案目錄下），**qsf**附檔名就是**Quartus Setting File**的縮寫。

硬體pin腳指定 – 用設定檔指定方式

```
E:\test\adder\adder.qsf - Notepad++
檔案(F) 編輯(E) 搜尋(S) 檢視(V) 編碼(N) 語言(L) 設定(T) 工具(O) 巨集(M) 執行(R) 外掛(P) 視窗(W) ?
adder.qsf x
38
39 set_global_assignment -name FAMILY "Cyclone IV E"
40 set_global_assignment -name DEVICE EP4CE40F23C8
41 set_global_assignment -name TOP_LEVEL_ENTITY h_add
42 set_global_assignment -name ORIGINAL_QUARTUS_VERSION "10.0 SP1"
43 set_global_assignment -name PROJECT_CREATION_TIME_DATE "11:46:09 FEBRUARY 05,
44 set_global_assignment -name LAST_QUARTUS_VERSION "10.0 SP1"
45 set_global_assignment -name MIN_CORE_JUNCTION_TEMP 0
46 set_global_assignment -name MAX_CORE_JUNCTION_TEMP 85
47 set_global_assignment -name ERROR_CHECK_FREQUENCY_DIVISOR 1
48 set_global_assignment -name NOMINAL_CORE_SUPPLY_VOLTAGE 1.2V
49 set_global_assignment -name VERILOG_FILE h_add.v
50 set_global_assignment -name PARTITION_NETLIST_TYPE SOURCE -section_id Top
51 set_global_assignment -name PARTITION_FITTER_PRESERVATION_LEVEL PLACEMENT_AND_ROUTING -section_id Top
52 set_global_assignment -name PARTITION_COLOR 16764057 -section_id Top
53 set_global_assignment -name PARTITION_HIERARCHY root_partition -to | -section_id Top
54 set_global_assignment -name LL_ROOT_REGION ON -section_id "Root Region"
55 set_global_assignment -name LL_MEMBER_STATE LOCKED -section_id "Root Region"
56 set_location_assignment PIN_V10 -to Carry
```

硬體pin腳指定 – 用設定檔指定方式

```
set_location_assignment PIN_V10 -to Carry  
set_location_assignment PIN_W8 -to Sum  
set_location_assignment PIN_W6 -to x  
set_location_assignment PIN_Y4 -to y
```

設定指令

格式：
PIN_ + 腳位名稱

程式埠名稱要對應

程式埠名稱	腳位	元件
X	W6	K1
y	Y4	K2
Sum	W8	LED2
Carry	V10	LED1

請參考手冊：

附表二：系統板上資源模組與FPGA的接腳連接表

第一行為我們用工具設定好的pin腳，
第二~四行為使用文字編輯器，自己填上的腳位。
要留意pin腳位要對（英文字大寫）。名稱要與程式的埠名稱對應（大小寫有別）。

硬體pin腳指定 – 用設定檔指定方式

- 再次打開**Assignment Editor**確認剛編輯的是否正確（如果已開啟，請關閉再打開）。

The screenshot shows the Assignment Editor window with the following data:

Status	From	To	Assignment Name	Value	Enabled	Entity	Comment	Tag
1 ✓ Ok		↳ Carry	Location	PIN_V10	Yes			
2 ✓ Ok		↳ Sum	Location	PIN_W8	Yes			
3 ✓ Ok		↳ x	Location	PIN_W6	Yes			
4 ✓ Ok		↳ y	Location	PIN_Y4	Yes			

Annotations:

- A red box highlights the "Status" column, which shows "Ok" for all four rows.
- A red box highlights the last four rows, which represent the assignments made in the editor.
- A yellow callout points to the "Status" column with the text: "都顯示OK表示所指定的沒問題" (All show OK indicates no problem specified).
- A yellow callout points to the highlighted rows with the text: "用編輯器新增的腳位" (New pins added via the editor).

為何Node Finder能顯示pin腳？

- 因為我們剛有編譯過一次，編譯過程中會產生暫存檔，而其中某些暫存檔則存放**Verilog**程式所編譯出來的埠名稱資訊。

指定腳位完後？

- 請再編譯一次。這次編譯主要是把剛編輯的腳位確實指定到**FPGA**。

燒錄程式到FPGA上

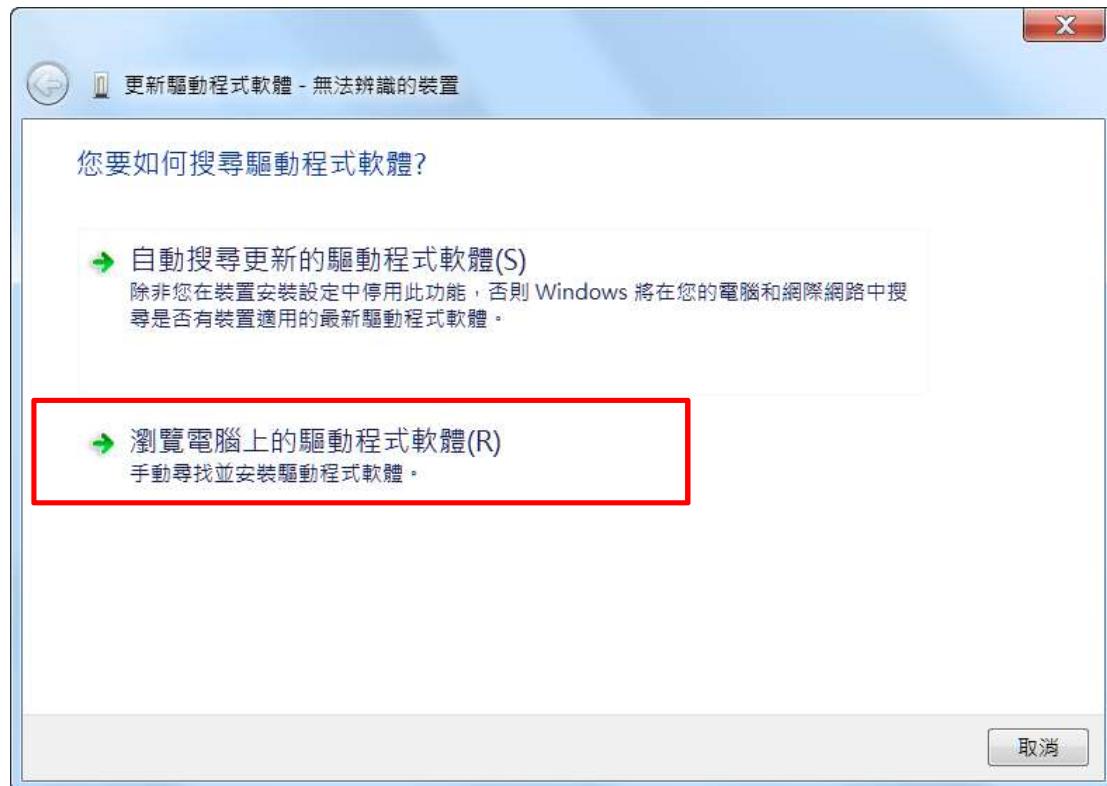
- 經過上述的編譯，成功後，就可以把所設計的程式檔案燒寫到**FPGA**上。

燒錄器驅動程式是否安裝好？



驅動程式的安裝

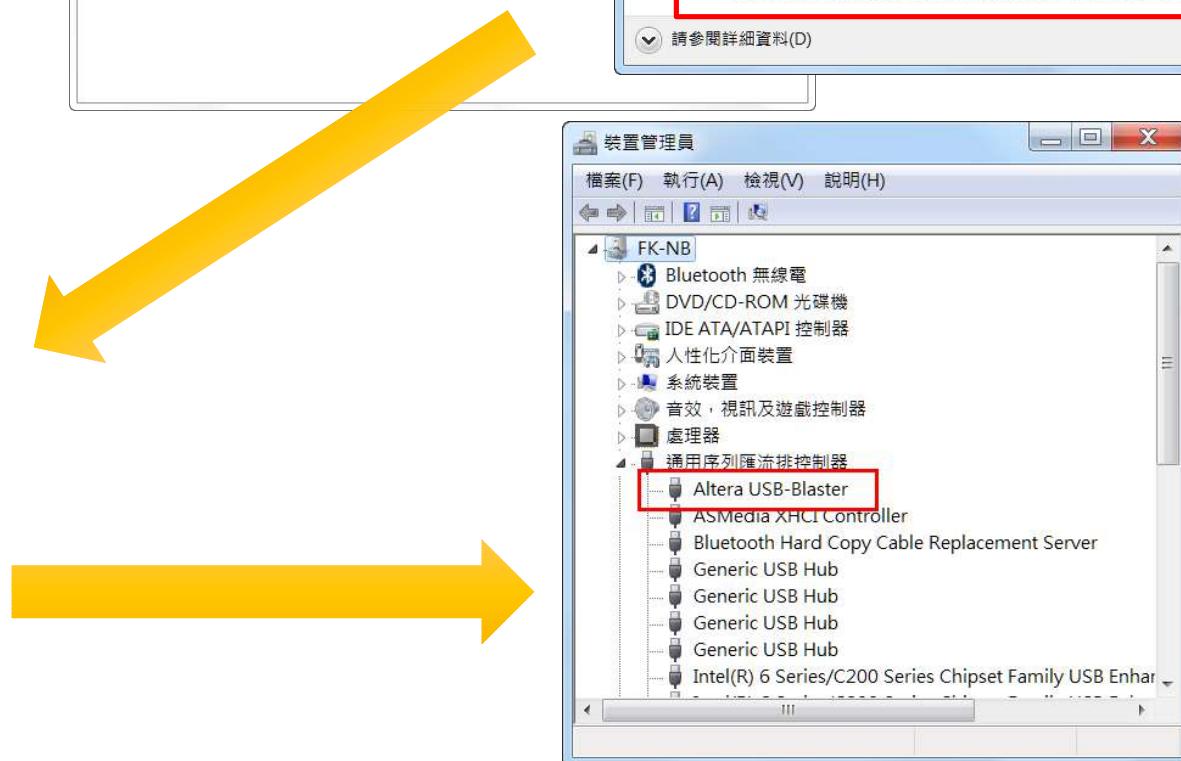
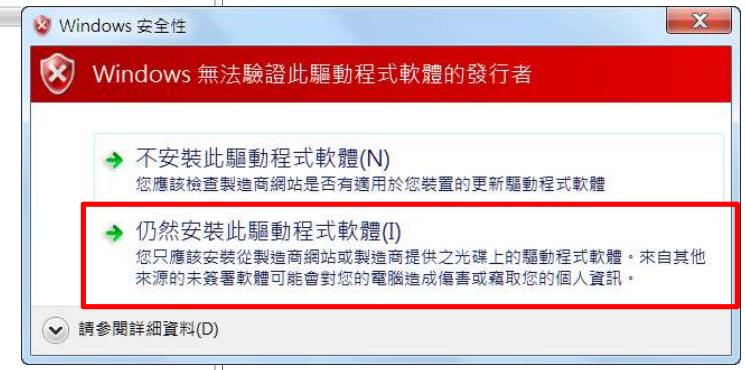
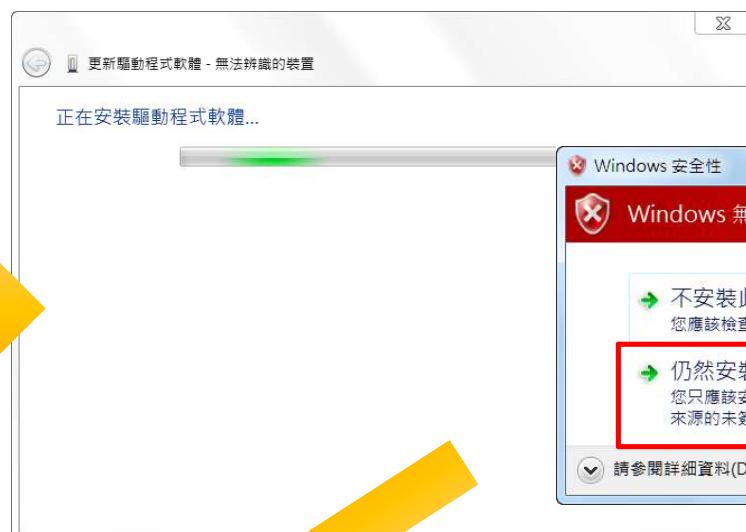
- 安裝時，請勿讓系統自行尋找，需手動指定。



驅動程式在哪？

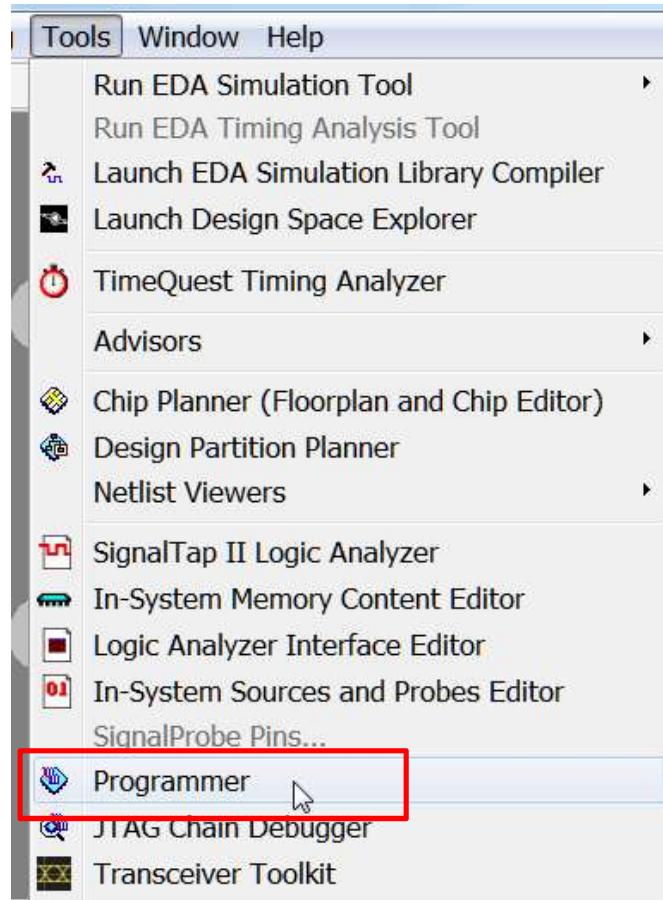
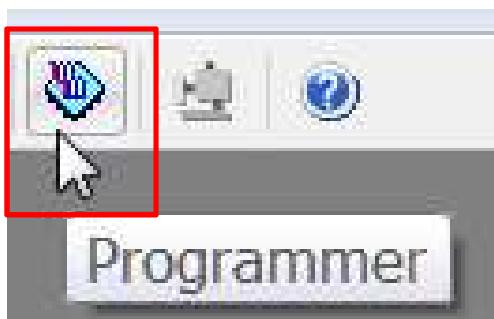


安裝驅動程式

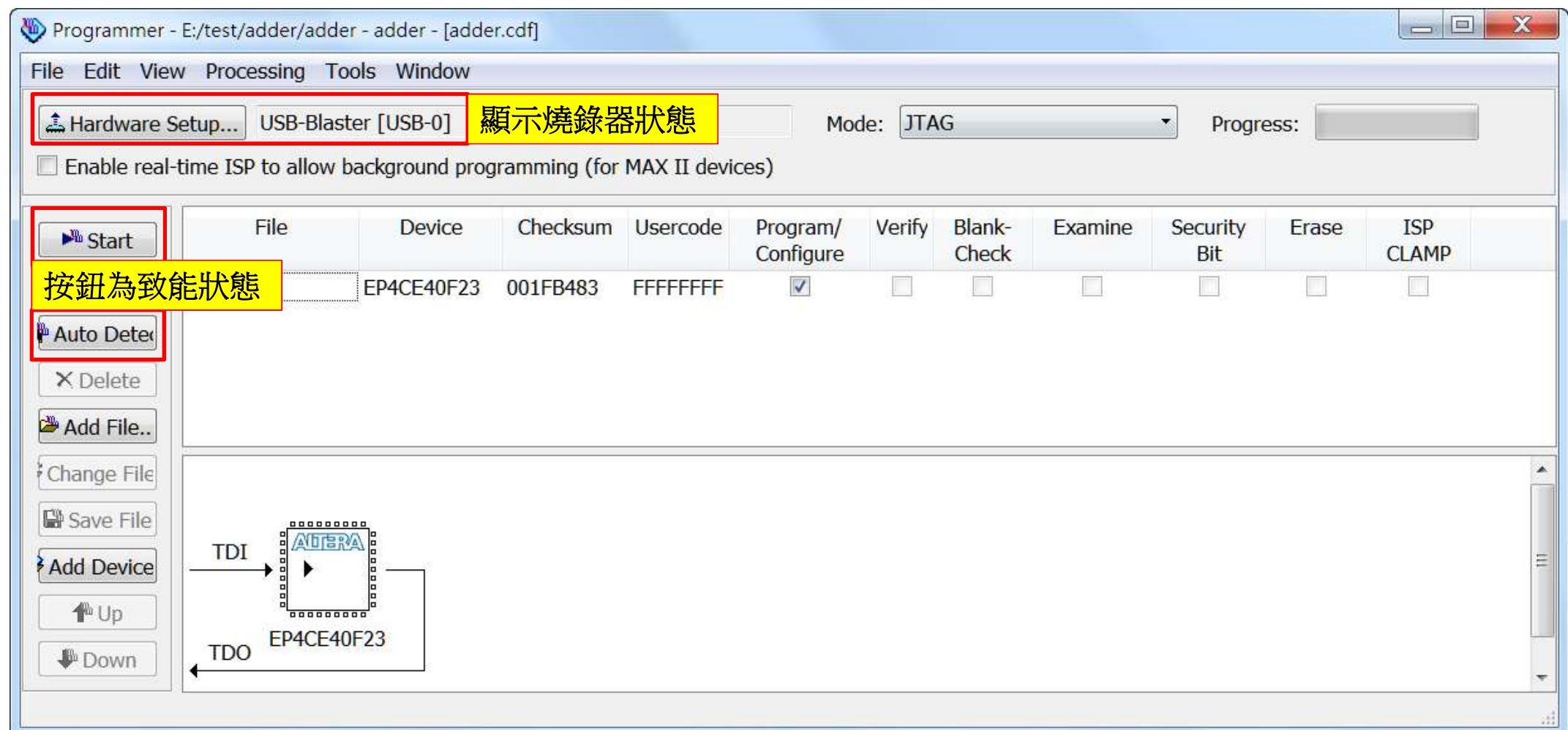


如何燒錄？

- 開啟燒錄視窗。



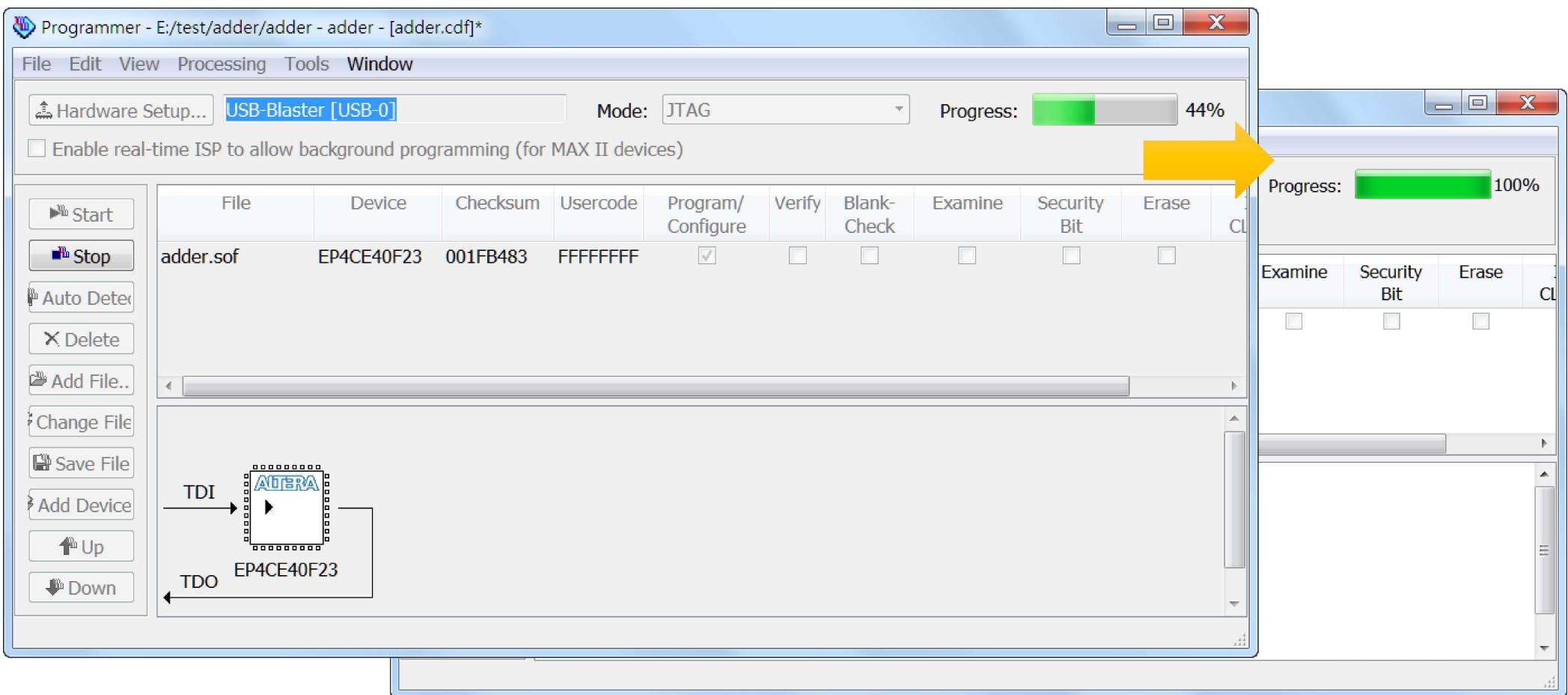
有抓到硬體裝置時的燒錄視窗顯示



燒錄 !



燒錄進度顯示



燒錄檔格式與Mode選項

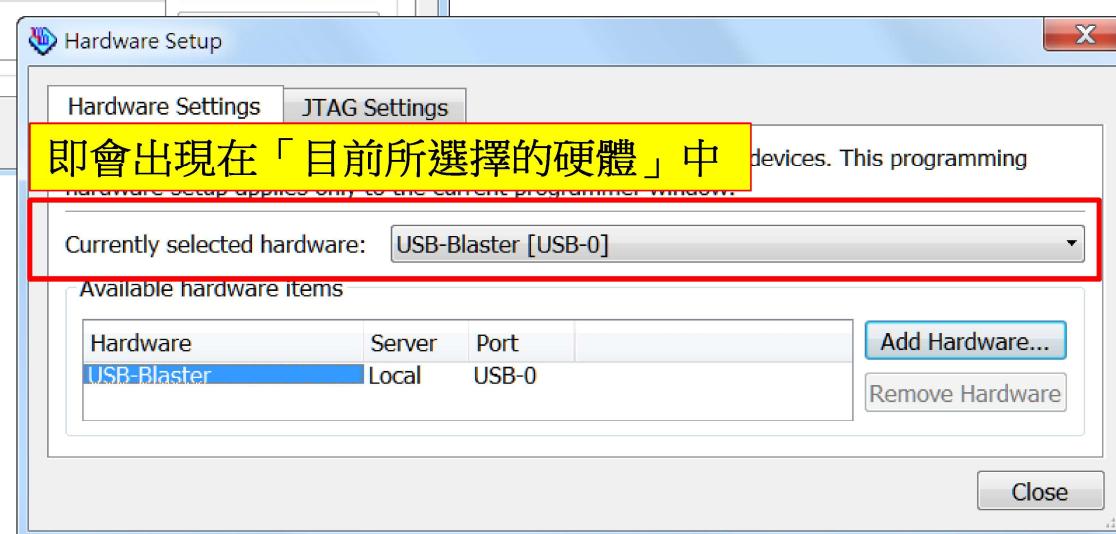
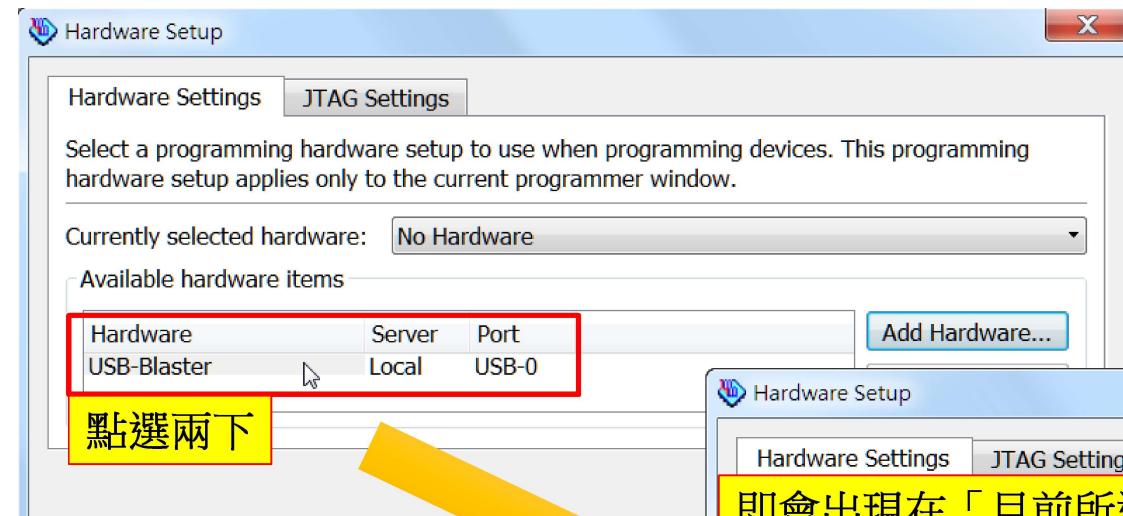
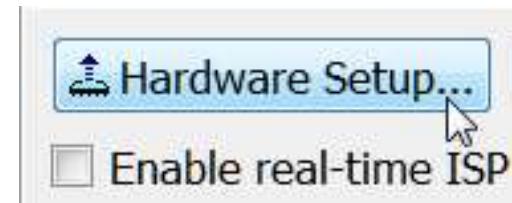
- 在專案編譯成功下會產上**sof**與**pof**檔案。
- **sof**就是**SRAM Object File**。燒錄的**MODE**要選擇**JTAG**，並選擇**sof**檔。
- **pof**就是**Programmer Object File**。燒錄的**MODE**要選擇**Active Serial Programming**，並選擇**pof**檔。

如果出現No Hardware

- 剛開始有可能硬體找不到或沒指定或軟體打開了**USB**才接至燒錄器。



硬體設定



硬體設定



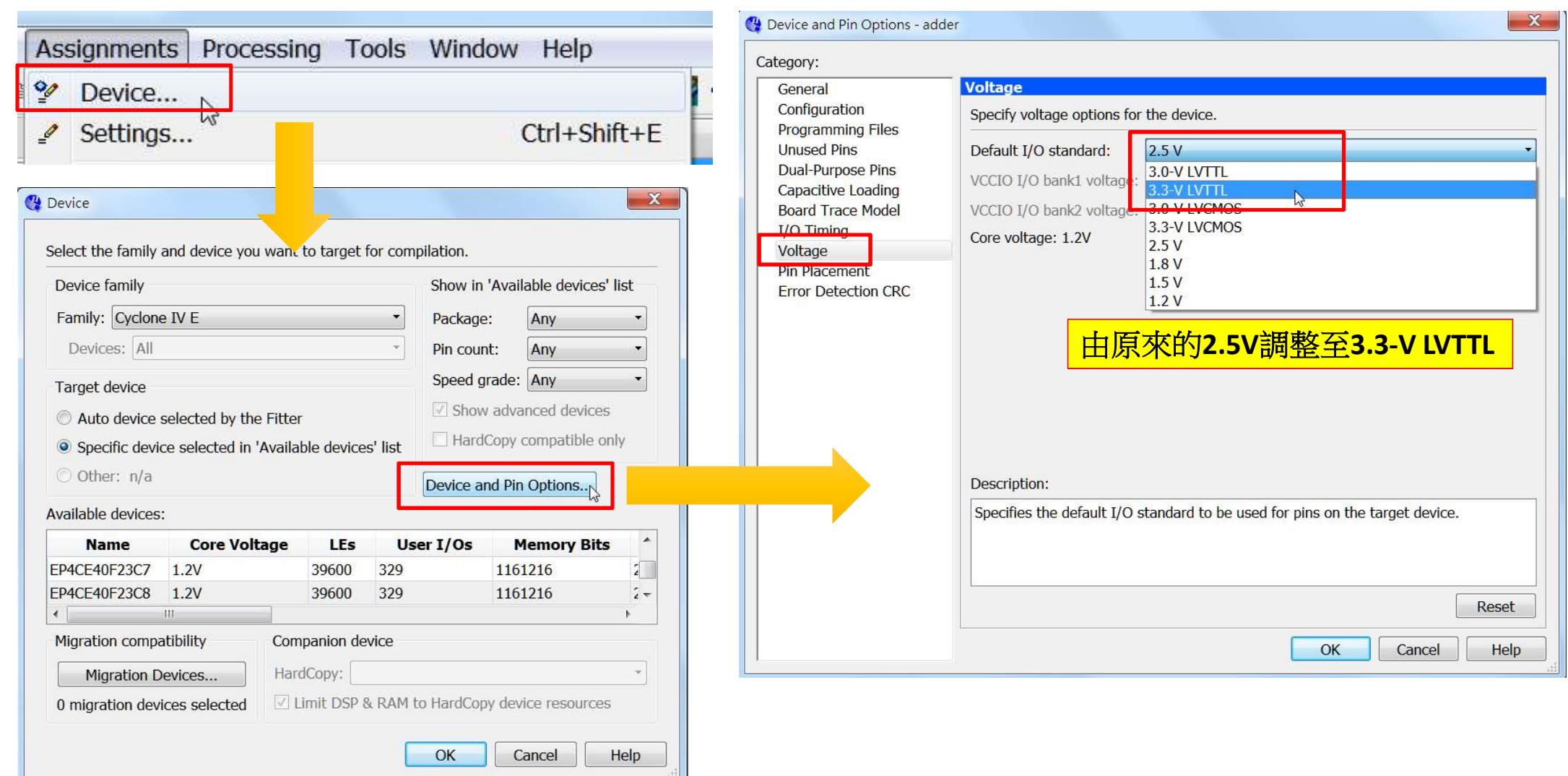
驗證硬體！

- 請直接操作硬體與觀看硬體動作是否與所規劃的程式相同。
- 本操作是以半加器做示範，請撥動開關，觀察**LED**，是否動作狀態符合半加器特性。

IO準位問題

- 本平台用的**Cyclone IV E**其專案預設IO電位為**2.5V**。一般而言驅動上沒問題。
- 但有可能會遇到下載下去後沒反應，這時就需調到電路供給的**3.3V**電位才比較沒問題。
- 而如果預設沒問題就不必特意去調預設的IO電位。

如何調整預設的IO準位？



驗證！



