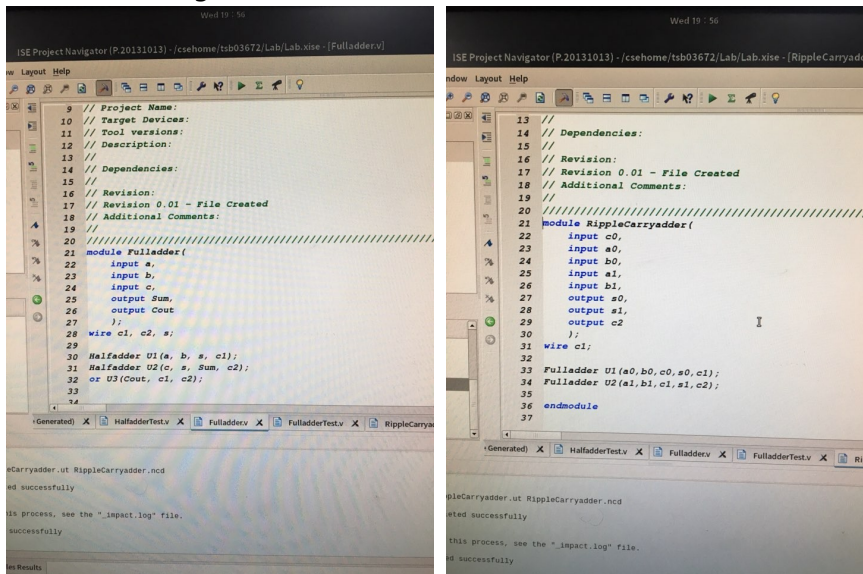


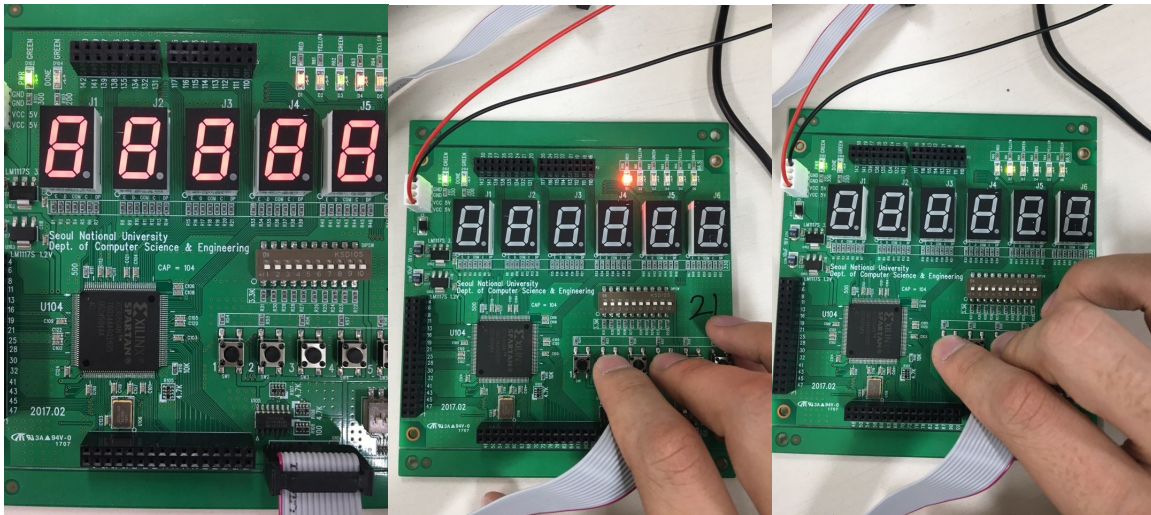
2014-17831 김재원

2018.04.25 Practice 06 과제

Half adder 을 구현한 후 이를 이용하여 Full adder 를, 그리고 또 이것을 사용하여 Ripple Carry Adder 을 Verilog 에서 구현하였습니다.

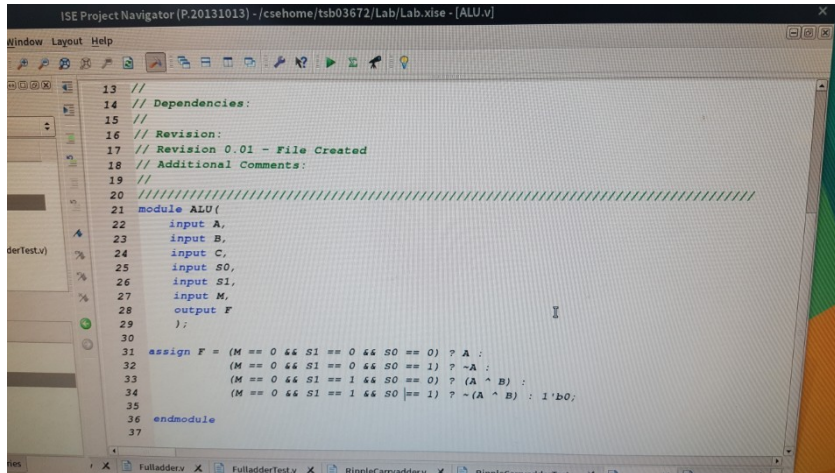


이를 FPGA 에 프로그램한 결과는 다음과 같습니다:



Homework – ALU Implementation

주어진 truth table 을 사용하여 M=0 일 때의 ALU, 즉 logical bitwise operation 을 하는 ALU 를 Verilog 에서 구현해보았습니다. 해당 코드는 다음과 같습니다:



```
13 //  
14 // Dependencies:  
15 //  
16 // Revision:  
17 // Revision 0.01 - File Created  
18 // Additional Comments:  
19 //  
20 ///////////////////////////////////////////  
21 module ALU(  
22     input A,  
23     input B,  
24     input C,  
25     input S0,  
26     input S1,  
27     input M,  
28     output F  
29 );  
30  
31 assign F = (M == 0 && S1 == 0 && S0 == 0) ? A :  
32           (M == 0 && S1 == 0 && S0 == 1) ? ~A :  
33           (M == 0 && S1 == 1 && S0 == 0) ? (A ^ B) :  
34           (M == 0 && S1 == 1 && S0 == 1) ? ~(A ^ B) : 1'b0;  
35  
36 endmodule  
37
```

시뮬레이션 결과는 다음과 같습니다. ALU specification 의 내용에 모두 부합하는 결과가 나왔음을 확인하였습니다.

