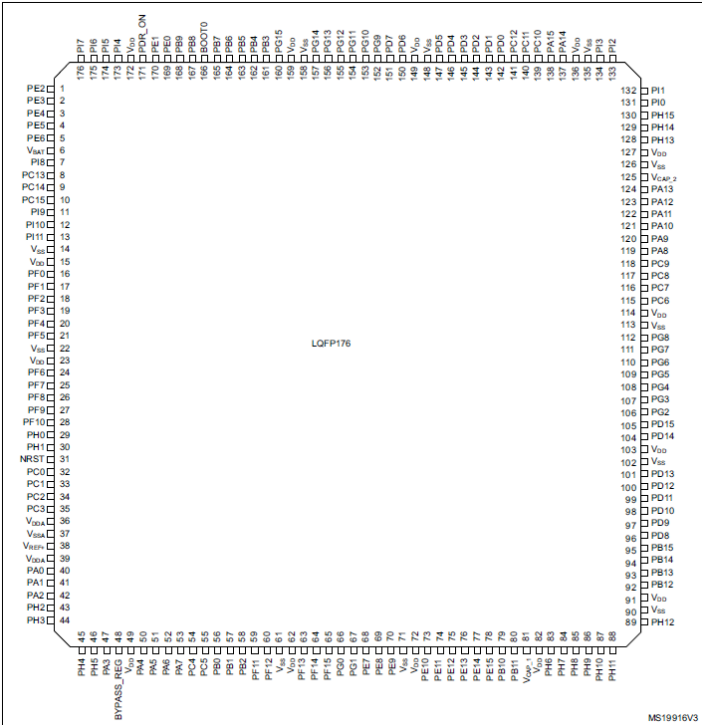


STM32F407

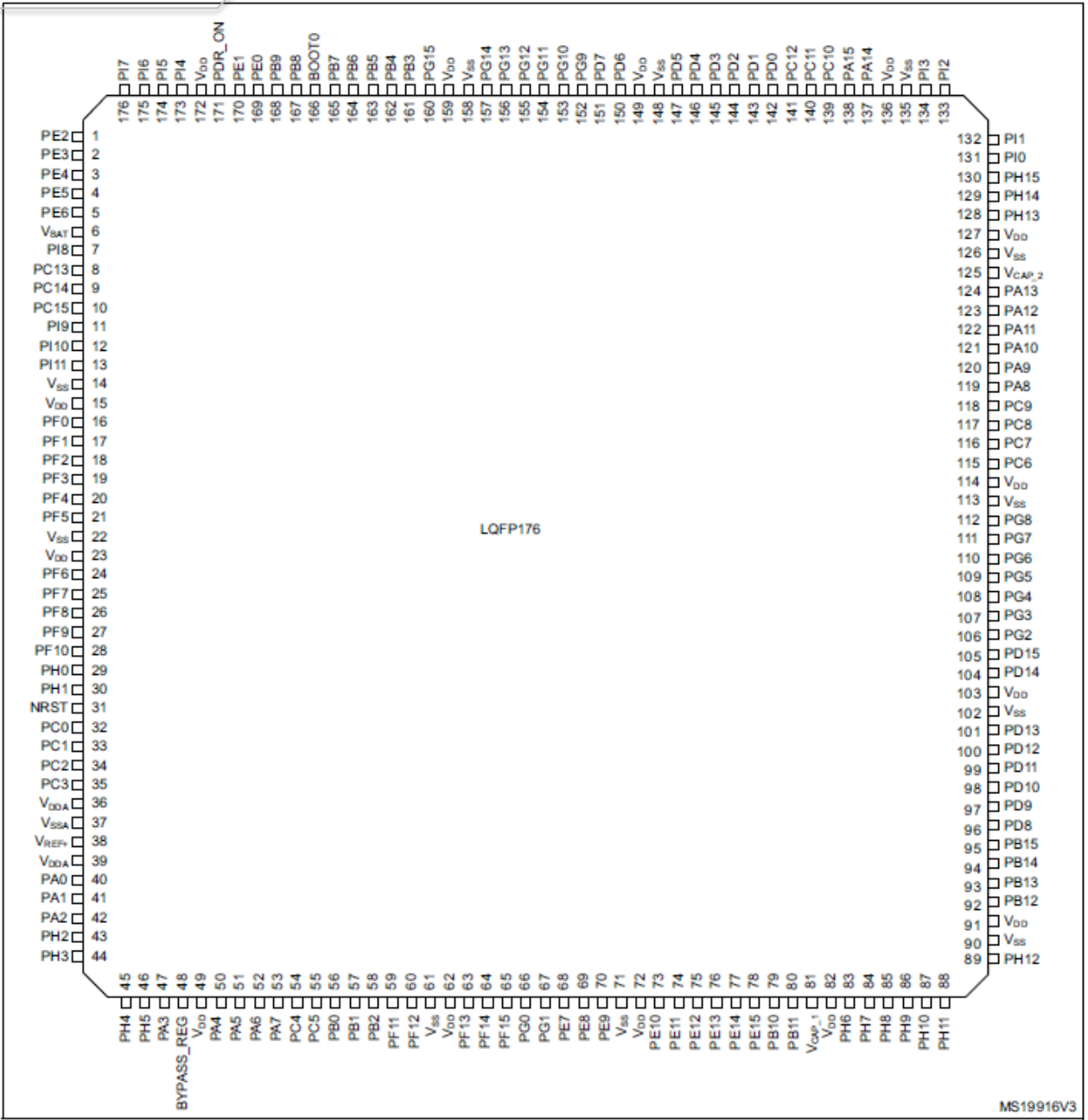
구조 및 기능



한국산업기술대학교 메카트로닉스공학과
마이크로컴퓨터구조
담당교수: 남윤석

STM32F407 외형

: 176pin (44*4)



ST사의 Cortex-M 기반 MCU

●ST사의 Cortex-M 기반 MCU의 종류 1

- STM32F0 시리즈: Cortex-M0 기반, 저가/저성능
- STM32F1 시리즈: Cortex-M3 기반, 일반적인 용도, 많이 사용
- STM32F2 시리즈: Cortex-M3 기반, F1 시리즈보다 고속
- STM32F3 시리즈: Cortex-M4 기반
- **STM32F4 시리즈: Cortex-M4 기반, F3 시리즈보다 고속, 많이 사용**
- STM32F7 시리즈: Cortex-M7 기반, F4 시리즈보다 고속
- STM32H7 시리즈: Cortex-M7 기반, 가장 고속임

- STM32L0 시리즈: Cortex-M0+ 기반, 저전력(Low power)
- STM32L1 시리즈: Cortex-M3 기반, 저전력
- STM32L4 시리즈: Cortex-M4 기반, 저전력

ST사의 Cortex-M 기반 MCU

●ST사의 Cortex-M 기반 MCU의 종류 2

High-performance Mainstream Ultra-Low-power		STM32 F2 398 CoreMark 120 Mhz 150 DMIPS	STM32 F4 608 CoreMark 160 Mhz 225 DMIPS	STM32 F7 1,000 CoreMark 200 Mhz 428 DMIPS
	STM32 F0 106 CoreMark 48 Mhz 38 DMIPS	STM32 F1 177 CoreMark 72 Mhz 61 DMIPS	STM32 F3 245 CoreMark 72 Mhz 90 DMIPS	
	STM32 L0 75 CoreMark 32 Mhz 26 DMIPS	STM32 L1 93 CoreMark 32 Mhz 33 DMIPS	STM32 L4 273 CoreMark 80 Mhz 100 DMIPS	
	Cortex-M0	Cortex-M3	Cortex-M4	Cortex-M7

STM32F4 시리즈: Cortex-M4 기반의 고성능 MCU 종류

- Cortex-M4
(DSP + FPU)
Up to 180MHz
- ART Accelerator™ enabling 0 wait state executing from internal Flash
 - Up to 2x USB2.0 OTG FS/HS
 - SDIO
 - USART, SPI, PC
 - PS + audio PLL
 - 16- and 32-bit timers
 - Up to 3x 12-bit ADC (0.41 μs)
 - Up to 2x 12-bit DAC
 - External memory controller (except for access lines)
 - Low voltage 1.7 to 3.6V

Lines	STM32F4 Product	F _{CPU} (MHz)	Flash (bytes)	RAM (KB)	Ethernet I/F IEEE 1588	Camera I/F	SDRAM I/F	SAI I/F	Chrom-ART Grphic Accelerator	TFT LCD controller	MPI DSI
					2x CAN		Dual Quad-SPI	SPDIF RX			
Advanced	STM32F469	180	512K to 2M	384	●	●	●	●	●	●	●
	STM32F429	180	512K to 2M	256	●	●	●	●	●	●	
	STM32F427	180	1 to 2M	256	●	●	●	●	●		
	STM32F446	180	256K to 512K	128	●	●	●	●			
Foundation	STM32F407	168	512K to 1M	192	●	●					
	STM32F405	168	512K to 1M	192	●						
Line	STM32F4 Access line	F _{CPU} (MHz)	Flash (KB)	RAM (KB)	RUN current (μA/MHz)	STOP current (μA)	Small package (mm)		BAM (Batch Acquisition Mode)		
Access	STM32F411	100	256 to 512	128	Down to 100	Down to 12	Down to 3.034x3.22		●		
	STM32F410	100	64 to 128	32	Down to 89	Down to 6	Down to 2.553x2.579		●		
	STM32F401	84	128 to 512	96	Down to 128	Down to 10	Down to 3x3				

Table 2. STM32F405xx and STM32F407xx: features and peripheral counts

Peripherals		STM32F405RG	STM32F405OG	STM32F405VG	STM32F405ZG	STM32F405OE	STM32F407Vx	STM32F407Zx	STM32F407Ix			
Flash memory in Kbytes		1024				512	512	1024	512	1024	512	1024
SRAM in Kbytes	System	192(112+16+64)										
	Backup	4										
FSMC memory controller		No	Yes ⁽¹⁾									
Ethernet		No						Yes				
Timers	General-purpose	10										
	Advanced-control	2										
	Basic	2										
	IWDG	Yes										
	WWDG	Yes										
	RTC	Yes										
Random number generator		Yes										

STM32F40xxx 제품 구성

Peripherals		STM32F405RG	STM32F405OG	STM32F405VG	STM32F405ZG	STM32F405OE	STM32F407Vx	STM32F407Zx	STM32F407Lx
Communication interfaces	SPI / I2S	3/2 (full duplex) ⁽²⁾							
	I ² C	3							
	USART/UART	4/2							
	USB OTG FS	Yes							
	USB OTG HS	Yes							
	CAN	2							
	SDIO	Yes							
Camera interface		No					Yes		
GPIOs		51	72	82	114	72	82	114	140
12-bit ADC		3							
Number of channels		16	13	16	24	13	16	24	24
12-bit DAC		Yes							
Number of channels		2							
Maximum CPU frequency		168 MHz							
Operating voltage		1.8 to 3.6 V ⁽³⁾							
Operating temperatures		Ambient temperatures: -40 to +85 °C / -40 to +105 °C							
		Junction temperature: -40 to +125 °C							
Package		LQFP64	WLCSP90	LQFP100	LQFP144	WLCSP90	LQFP100	LQFP144	UFBGA176 LQFP176

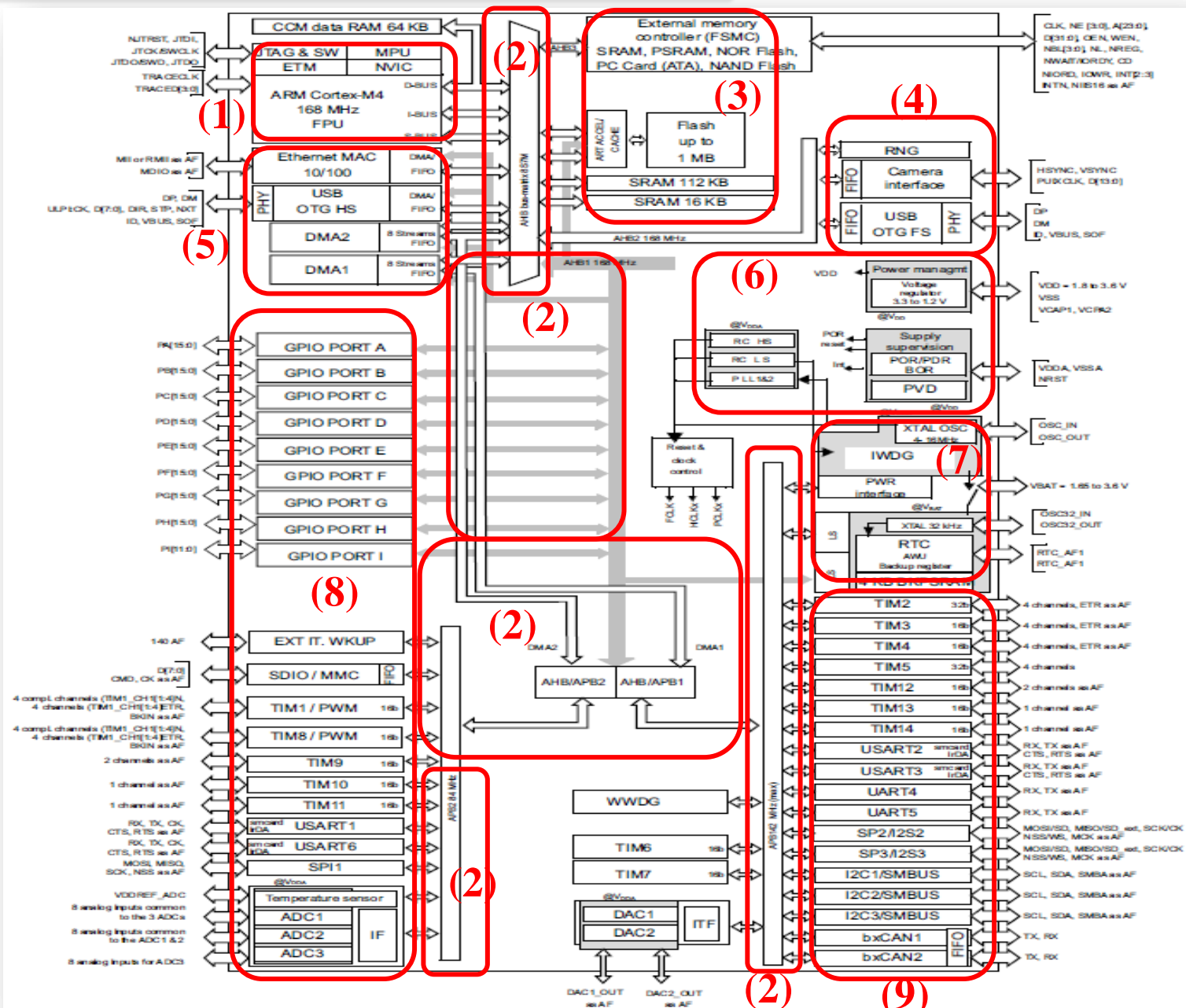
STM32F407IG Features

- Frequency up to **168MHz**
- **210 DMIPS**
- **1 Mbyte of Flash memory**
- **128 Kbyte SRAM**
- SRAM, NOR, NAND Memory Controller(FSMC)
- Operating voltage: **1.8~3.6V**
- **140 GPIOs (PortA/B/C/D/E/F/G/H *16pin, PortI * 12pins)**
- 3 x 12-bit A/D 24channels
- 2 x 12-bit D/A Converters
- General-purpose DMA
- Up to 17 timers (IC/OC/PWM)
- 3 x I²C interface
- 4 x USART / 2 x UART
- Up to 3 x SPIs
- 2 x CAN Interface
- SDIO
- USB 2.0
- Ethernet MAC

* STM32F407IG모델명의 의미

- STM32 : ARM based 32bit MCU
- F : General-purpose
- 4 : Cortex-M4 기반
- 407 : 168 MHz CPU, 210 DMIPS, Up to 1 Mbyte Flash, Ethernet MAC, Camera interface
- I : 176pins
- G : 1Mbyte of Flash memory

STM32F407IG Block Diagram



STM32F407IG 구성요소 소개

(1) Cortex-M4 프로세서

- ① Cortex-M4 168MHz with FPU
- ② 디버깅 구성 요소(JTAG & SW, ETM)
- ③ NVIC(Nested Vector Interrupt Controller: 중첩 벡터 인터럽트 컨트롤러)
- ④ MPU (Memory Protection Unit)

(2) 버스(Bus) 인터페이스 및 버스 매트릭스

: MCU 내의 각종 데이터 전달을 위한 부분으로 I(Instruction)-Bus, D(Data)-Bus, S(System)-Bus, Bus matrix, AHB-bus, APB-bus

(3) FMC, 내장 플래시 메모리 및 SRAM

- Flexible Static Memory Controller (FSMC)
- 지원 모드 : PC Card, SRAM, PSRAM, NOR Flash, NAND Flash
- Flash memory: 프로그램과 데이터의 저장(최대 1MB)
- SRAM : 데이터 저장(128KB (112 + 16 KB))

STM32F407IG 구성요소 소개

(4) 카메라 인터페이스, USB OTG FS

- 카메라 인터페이스 (x 1)
- USB OTG (on-the-go) FS (x 1)

(5) Ethernet MAC, USB OTG HS, DMA, LCD-TFT, Chrom-ART DMA2D

- Ethernet MAC : IEEE-802.3-2002 규격
- USB OTG HS : USB OTG high-speed device/host/OTG 1개
- DMA (Direct memory Access Controller) : 주변장치와 메모리간, 또는 메모리와 메모리간의 고속 데이터 전송
- Chrom-ART DMA2D : 그래픽 가속기

(6) 전원(Power), 전원공급 감시부 (Power Supply Supervision)

- 전원 : 2V~3.6V 범위의 외부전원 VDD를 입력 받아 내장된 전압 레귤레이터를 통해 **1.2V**의 전원을 MCU의 내부에 공급
- 전원공급 감시부 : 외부 전원이 정해진 전압 범위 내에서 제대로 공급되는지의 여부를 감시, POR(Power on reset)과 PDR(Power down reset), PVD(Programmable voltage detector)로 구성

STM32F407IG 구성요소 소개

(7) 클럭 발생부

시스템 클럭은 외부의 오실레이터의 입력 신호또는 내부의 **RC** 오실레이터 신호를 이용하여 생성

(8), (9) 주변장치

- **GPIO(범용 입출력) : GPIOA ~ GPIOI**
- **EXTI (External interrupt/event controller)**
- **타이머 : TIM1 ~ TIM14**
- **AD 변환기 : ADC1 ~ ADC3**
- **DA 변환기 : DAC1 ~ DAC2**
- **USART : USART1 ~ USART3, USART6**
- **UART : UART4, UART5**
- **SPI, I²C 등**
- **CAN : CAN1, CAN2**
- **USB : USB 2.0 FS, USB 2.0 HS**
- **Ethernet MAC 10/100**

STM32F407IG 구성요소 소개

- 주변장치의 동작속도
 - GPIO : 최대 180MHz, AHB1 버스 사용
 - 그 외의 주변장치: APB2, APB1 버스에 연결
 - APB2 버스 및 버스에 연결된 주변장치: 90MHz
 - APB1 버스 및 버스에 연결된 주변장치: 45MHz
- 핀 구성
 - LQFP형: 64(16*4), 100(25*4), 144(36*4), 176핀(44*4) 패키지

STM32F407IG Pin Description

Pin number						Pin name (function after reset) ⁽¹⁾	Pin type	I / O structure	Notes	Alternate functions	Additional functions
LQFP64	WLCSP90	LQFP100	LQFP144	UFBGA176	LQFP176						
-	-	1	1	A2	1	PE2	I/O	FT		TRACECLK/ FSMC_A23 / ETH_MII_TXD3 / EVENTOUT	
-	-	2	2	A1	2	PE3	I/O	FT		TRACED0/FSMC_A19 / EVENTOUT	
-	-	3	3	B1	3	PE4	I/O	FT		TRACED1/FSMC_A20 / DCMI_D4/ EVENTOUT	
-	-	4	4	B2	4	PE5	I/O	FT		TRACED2 / FSMC_A21 / TIM9_CH1 / DCMI_D6 / EVENTOUT	
-	-	5	5	B3	5	PE6	I/O	FT		TRACED3 / FSMC_A22 / TIM9_CH2 / DCMI_D7 / EVENTOUT	
1	A10	6	6	C1	6	VBAT	S				
-	-	-	-	D2	7	PI8	I/O	FT	(2)(3)	EVENTOUT	RTC_TAMP1, RTC_TAMP2, RTC_TS
2	A9	7	7	D1	8	PC13	I/O	FT	(2)(3)	EVENTOUT	RTC_OUT, RTC_TAMP1, RTC_TS
3	B10	8	8	E1	9	PC14/OSC32_IN (PC14)	I/O	FT	(2)(3)	EVENTOUT	OSC32_IN ⁽⁴⁾
4	B9	9	9	F1	10	PC15/ OSC32_OUT (PC15)	I/O	FT	(2)(3)	EVENTOUT	OSC32_OUT ⁽⁴⁾
-	-	-	-	D3	11	PI9	I/O	FT		CAN1_RX / EVENTOUT	
-	-	-	-	E3	12	PI10	I/O	FT		ETH_MII_RX_ER / EVENTOUT	
-	-	-	-	E4	13	PI11	I/O	FT		OTG_HS_ULPI_DIR / EVENTOUT	
-	-	-	-	F2	14	VSS	S				
-	-	-	-	F3	15	VDD	S				
-	-	-	10	E2	16	PF0	I/O	FT		FSMC_A0 / I2C2_SDA / EVENTOUT	

-	-	-	11	H3	17	PF1	I/O	FT		FSMC_A1 / I2C2_SCL / EVENTOUT	
-	-	-	12	H2	18	PF2	I/O	FT		FSMC_A2 / I2C2_SMBA / EVENTOUT	
-	-	-	13	J2	19	PF3	I/O	FT	(4)	FSMC_A3/EVENTOUT	ADC3_IN9
-	-	-	14	J3	20	PF4	I/O	FT	(4)	FSMC_A4/EVENTOUT	ADC3_IN14
-	-	-	15	K3	21	PF5	I/O	FT	(4)	FSMC_A5/EVENTOUT	ADC3_IN15
-	C9	10	16	G2	22	V _{SS}	S				
-	B8	11	17	G3	23	V _{DD}	S				
-	-	-	18	K2	24	PF6	I/O	FT	(4)	TIM10_CH1 / FSMC_NIORD / EVENTOUT	ADC3_IN4
-	-	-	19	K1	25	PF7	I/O	FT	(4)	TIM11_CH1/FSMC_NREG / EVENTOUT	ADC3_IN5
-	-	-	20	L3	26	PF8	I/O	FT	(4)	TIM13_CH1 / FSMC_NIOWR / EVENTOUT	ADC3_IN6
-	-	-	21	L2	27	PF9	I/O	FT	(4)	TIM14_CH1 / FSMC_CD / EVENTOUT	ADC3_IN7
-	-	-	22	L1	28	PF10	I/O	FT	(4)	FSMC_INTR/ EVENTOUT	ADC3_IN8
5	F10	12	23	G1	29	PH0/OSC_IN (PH0)	I/O	FT		EVENTOUT	OSC_IN ⁽⁴⁾
6	F9	13	24	H1	30	PH1/OSC_OUT (PH1)	I/O	FT		EVENTOUT	OSC_OUT ⁽⁴⁾
7	G10	14	25	J1	31	NRST	I/O	RS T			
8	E10	15	26	M2	32	PC0	I/O	FT	(4)	OTG_HS_ULPI_STP / EVENTOUT	ADC123_IN10
9	-	16	27	M3	33	PC1	I/O	FT	(4)	ETH_MDC/ EVENTOUT	ADC123_IN11
10	D10	17	28	M4	34	PC2	I/O	FT	(4)	SPI2_MISO / OTG_HS_ULPI_DIR / ETH_MII_TXD2 / I2S2ext_SD / EVENTOUT	ADC123_IN12

11	E9	18	29	M5	35	PC3	I/O	FT	(4)	SPI2_MOSI / I2S2_SD / OTG_HS_ULPI_NXT / ETH_MII_TX_CLK/ EVENTOUT	ADC123_IN13
-	-	19	30	G3	36	V _{DD}	S				
12	H10	20	31	M1	37	V _{SSA}	S				
-	-	-	-	N1	-	V _{REF-}	S				
-	-	21	32	P1	38	V _{REF+}	S				
13	G9	22	33	R1	39	V _{DDA}	S				
14	C10	23	34	N3	40	PA0/WKUP (PA0)	I/O	FT	(5)	USART2_CTS/ UART4_TX/ ETH_MII_CRS / TIM2_CH1_ETR/ TIM5_CH1 / TIM8_ETR/ EVENTOUT	ADC123_IN0/WKUP ⁽⁴⁾)
15	F8	24	35	N2	41	PA1	I/O	FT	(4)	USART2_RTS / UART4_RX/ ETH_RMII_REF_CLK / ETH_MII_RX_CLK / TIM5_CH2 / TIM2_CH2/ EVENTOUT	ADC123_IN1
16	J10	25	36	P2	42	PA2	I/O	FT	(4)	USART2_TX/TIM5_CH3 / TIM9_CH1 / TIM2_CH3 / ETH_MDIO/ EVENTOUT	ADC123_IN2
-	-	-	-	F4	43	PH2	I/O	FT		ETH_MII_CRS/EVENTOU T	
-	-	-	-	G4	44	PH3	I/O	FT		ETH_MII_COL/EVENTOU T	
-	-	-	-	H4	45	PH4	I/O	FT		I2C2_SCL / OTG_HS_ULPI_NXT/ EVENTOUT	
-	-	-	-	J4	46	PH5	I/O	FT		I2C2_SDA/ EVENTOUT	

17	H9	26	37	R2	47	PA3	I/O	FT	(4)	USART2_RX/TIM5_CH4 / TIM9_CH2 / TIM2_CH4 / OTG_HS_ULPI_D0 / ETH_MII_COL/ EVENTOUT	ADC123_IN3
18	E5	27	38	-	-	V _{SS}	S				
	D9			L4	48	BYPASS_REG	I	FT			
19	E4	28	39	K4	49	V _{DD}	S				
20	J9	29	40	N4	50	PA4	I/O	TTa	(4)	SPI1_NSS / SPI3_NSS / USART2_CK / DCMI_HSYNC / OTG_HS_SOF/I2S3_WS/ EVENTOUT	ADC12_IN4 /DAC_OUT1
21	G8	30	41	P4	51	PA5	I/O	TTa	(4)	SPI1_SCK/ OTG_HS_ULPI_CK / TIM2_CH1_ETR/ TIM8_CH1N/ EVENTOUT	ADC12_IN5/DAC_OU T2
22	H8	31	42	P3	52	PA6	I/O	FT	(4)	SPI1_MISO / TIM8_BKIN/TIM13_CH1 / DCMI_PIXCLK / TIM3_CH1 / TIM1_BKIN/ EVENTOUT	ADC12_IN6
23	J8	32	43	R3	53	PA7	I/O	FT	(4)	SPI1_MOSI/ TIM8_CH1N / TIM14_CH1/TIM3_CH2/ ETH_MII_RX_DV / TIM1_CH1N / ETH_RMII_CRS_DV/ EVENTOUT	ADC12_IN7
24	-	33	44	N5	54	PC4	I/O	FT	(4)	ETH_RMII_RX_D0 / ETH_MII_RX_D0/ EVENTOUT	ADC12_IN14
25	-	34	45	P5	55	PC5	I/O	FT	(4)	ETH_RMII_RX_D1 / ETH_MII_RX_D1/ EVENTOUT	ADC12_IN15
26	G7	35	46	R5	56	PB0	I/O	FT	(4)	TIM3_CH3 / TIM8_CH2N/ OTG_HS_ULPI_D1/ ETH_MII_RXD2 / TIM1_CH2N/ EVENTOUT	ADC12_IN8

27	H7	36	47	R4	57	PB1	I/O	FT	(4)	TIM3_CH4 / TIM8_CH3N/ OTG_HS_ULPI_D2/ ETH_MII_RXD3 / TIM1_CH3N/ EVENTOUT	ADC12_IN9
28	J7	37	48	M6	58	PB2/BOOT1 (PB2)	I/O	FT		EVENTOUT	
-	-	-	49	R6	59	PF11	I/O	FT		DCMI_D12/ EVENTOUT	
-	-	-	50	P6	60	PF12	I/O	FT		FSMC_A6/ EVENTOUT	
-	-	-	51	M8	61	V _{SS}	S				
-	-	-	52	N8	62	V _{DD}	S				
-	-	-	53	N6	63	PF13	I/O	FT		FSMC_A7/ EVENTOUT	
-	-	-	54	R7	64	PF14	I/O	FT		FSMC_A8/ EVENTOUT	
-	-	-	55	P7	65	PF15	I/O	FT		FSMC_A9/ EVENTOUT	
-	-	-	56	N7	66	PG0	I/O	FT		FSMC_A10/ EVENTOUT	
-	-	-	57	M7	67	PG1	I/O	FT		FSMC_A11/ EVENTOUT	
-	G6	38	58	R8	68	PE7	I/O	FT		FSMC_D4/TIM1_ETR/ EVENTOUT	
-	H6	39	59	P8	69	PE8	I/O	FT		FSMC_D5/ TIM1_CH1N/ EVENTOUT	
-	J6	40	60	P9	70	PE9	I/O	FT		FSMC_D6/TIM1_CH1/ EVENTOUT	
-	-	-	61	M9	71	V _{SS}	S				
-	-	-	62	N9	72	V _{DD}	S				
-	F6	41	63	R9	73	PE10	I/O	FT		FSMC_D7/TIM1_CH2N/ EVENTOUT	
-	J5	42	64	P10	74	PE11	I/O	FT		FSMC_D8/TIM1_CH2/ EVENTOUT	
-	H5	43	65	R10	75	PE12	I/O	FT		FSMC_D9/TIM1_CH3N/ EVENTOUT	
-	G5	44	66	N11	76	PE13	I/O	FT		FSMC_D10/TIM1_CH3/ EVENTOUT	

-	F5	45	67	P11	77	PE14	I/O	FT		FSMC_D11/TIM1_CH4/ EVENTOUT	
-	G4	46	68	R11	78	PE15	I/O	FT		FSMC_D12/TIM1_BKIN/ EVENTOUT	
29	H4	47	69	R12	79	PB10	I/O	FT		SPI2_SCK / I2S2_CK / I2C2_SCL/ USART3_TX / OTG_HS_ULPI_D3 / ETH_MII_RX_ER / TIM2_CH3/ EVENTOUT	
30	J4	48	70	R13	80	PB11	I/O	FT		I2C2_SDA/USART3_RX/ OTG_HS_ULPI_D4 / ETH_RMII_TX_EN/ ETH_MII_TX_EN / TIM2_CH4/ EVENTOUT	
31	F4	49	71	M10	81	V _{CAP_1}	S				
32	-	50	72	N10	82	V _{DD}	S				
-	-	-	-	M11	83	PH6	I/O	FT		I2C2_SMBA / TIM12_CH1 / ETH_MII_RXD2/ EVENTOUT	
-	-	-	-	N12	84	PH7	I/O	FT		I2C3_SCL / ETH_MII_RXD3/ EVENTOUT	
-	-	-	-	M12	85	PH8	I/O	FT		I2C3_SDA / DCMI_HSYNC/ EVENTOUT	
-	-	-	-	M13	86	PH9	I/O	FT		I2C3_SMBA / TIM12_CH2/ DCMI_D0/ EVENTOUT	
-	-	-	-	L13	87	PH10	I/O	FT		TIM5_CH1 / DCMI_D1/ EVENTOUT	
-	-	-	-	L12	88	PH11	I/O	FT		TIM5_CH2 / DCMI_D2/ EVENTOUT	
-	-	-	-	K12	89	PH12	I/O	FT		TIM5_CH3 / DCMI_D3/ EVENTOUT	
-	-	-	-	H12	90	V _{SS}	S				
-	-	-	-	J12	91	V _{DD}	S				

33	J3	51	73	P12	92	PB12	I/O	FT	SPI2_NSS / I2S2_WS / I2C2_SMBA/ USART3_CK/ TIM1_BKIN / CAN2_RX / OTG_HS_ULPI_D5/ ETH_RMII_TXD0 / ETH_MII_TXD0/ OTG_HS_ID/ EVENTOUT	
34	J1	52	74	P13	93	PB13	I/O	FT	SPI2_SCK / I2S2_CK / USART3_CTS/ TIM1_CH1N /CAN2_TX / OTG_HS_ULPI_D6 / ETH_RMII_TXD1 / ETH_MII_TXD1/ EVENTOUT	OTG_HS_VBUS
35	J2	53	75	R14	94	PB14	I/O	FT	SPI2_MISO/ TIM1_CH2N / TIM12_CH1 / OTG_HS_DM/ USART3_RTS / TIM8_CH2N/I2S2ext_SD/ EVENTOUT	
36	H1	54	76	R15	95	PB15	I/O	FT	SPI2_MOSI / I2S2_SD/ TIM1_CH3N/ TIM8_CH3N / TIM12_CH2 / OTG_HS_DP/ EVENTOUT	RTC_REFIN
-	H2	55	77	P15	96	PD8	I/O	FT	FSMC_D13 / USART3_TX/ EVENTOUT	
-	H3	56	78	P14	97	PD9	I/O	FT	FSMC_D14 / USART3_RX/ EVENTOUT	
-	G3	57	79	N15	98	PD10	I/O	FT	FSMC_D15 / USART3_CK/ EVENTOUT	
-	G1	58	80	N14	99	PD11	I/O	FT	FSMC_CLE / FSMC_A16/USART3_CT S/ EVENTOUT	
-	G2	59	81	N13	100	PD12	I/O	FT	FSMC_ALE/ FSMC_A17/TIM4_CH1 / USART3_RTS/ EVENTOUT	

-	-	60	82	M15	101	PD13	I/O	FT		FSMC_A18/TIM4_CH2/ EVENTOUT	
-	-	-	83	-	102	V _{SS}	S				
-	-	-	84	J13	103	V _{DD}	S				
-	F2	61	85	M14	104	PD14	I/O	FT		FSMC_D0/TIM4_CH3/ EVENTOUT/ EVENTOUT	
-	F1	62	86	L14	105	PD15	I/O	FT		FSMC_D1/TIM4_CH4/ EVENTOUT	
-	-	-	87	L15	106	PG2	I/O	FT		FSMC_A12/ EVENTOUT	
-	-	-	88	K15	107	PG3	I/O	FT		FSMC_A13/ EVENTOUT	
-	-	-	89	K14	108	PG4	I/O	FT		FSMC_A14/ EVENTOUT	
-	-	-	90	K13	109	PG5	I/O	FT		FSMC_A15/ EVENTOUT	
-	-	-	91	J15	110	PG6	I/O	FT		FSMC_INT2/ EVENTOUT	
-	-	-	92	J14	111	PG7	I/O	FT		FSMC_INT3 /USART6_CK/ EVENTOUT	
-	-	-	93	H14	112	PG8	I/O	FT		USART6_RTS / ETH_PPS_OUT/ EVENTOUT	
-	-	-	94	G12	113	V _{SS}	S				
-	-	-	95	H13	114	V _{DD}	S				
37	F3	63	96	H15	115	PC6	I/O	FT		I2S2_MCK / TIM8_CH1/SDIO_D6 / USART6_TX / DCMI_D0/TIM3_CH1/ EVENTOUT	
38	E1	64	97	G15	116	PC7	I/O	FT		I2S3_MCK / TIM8_CH2/SDIO_D7 / USART6_RX / DCMI_D1/TIM3_CH2/ EVENTOUT	
39	E2	65	98	G14	117	PC8	I/O	FT		TIM8_CH3/SDIO_D0 /TIM3_CH3/ USART6_CK / DCMI_D2/ EVENTOUT	

40	E3	66	99	F14	118	PC9	I/O	FT	I2S_CKIN/ MCO2 / TIM8_CH4/SDIO_D1 / /I2C3_SDA / DCMI_D3 / TIM3_CH4/ EVENTOUT	
41	D1	67	100	F15	119	PA8	I/O	FT	MCO1 / USART1_CK/ TIM1_CH1/ I2C3_SCL/ OTG_FS_SOF/ EVENTOUT	
42	D2	68	101	E15	120	PA9	I/O	FT	USART1_TX/ TIM1_CH2 / I2C3_SMBA / DCMI_D0/ EVENTOUT	OTG_FS_VBUS
43	D3	69	102	D15	121	PA10	I/O	FT	USART1_RX/ TIM1_CH3/ OTG_FS_ID/DCMI_D1/ EVENTOUT	
44	C1	70	103	C15	122	PA11	I/O	FT	USART1_CTS/ CAN1_RX / TIM1_CH4 / OTG_FS_DM/ EVENTOUT	
45	C2	71	104	B15	123	PA12	I/O	FT	USART1_RTS / CAN1_TX/ TIM1_ETR/ OTG_FS_DP/ EVENTOUT	
46	D4	72	105	A15	124	PA13 (JTMS-SWDIO)	I/O	FT	JTMS-SWDIO/ EVENTOUT	
47	B1	73	106	F13	125	V _{CAP_2}	S			
-	E7	74	107	F12	126	V _{SS}	S			
48	E6	75	108	G13	127	V _{DD}	S			
-	-	-	-	E12	128	PH13	I/O	FT	TIM8_CH1N / CAN1_TX/ EVENTOUT	
-	-	-	-	E13	129	PH14	I/O	FT	TIM8_CH2N / DCMI_D4/ EVENTOUT	
-	-	-	-	D13	130	PH15	I/O	FT	TIM8_CH3N / DCMI_D11/ EVENTOUT	
-	C3	-	-	E14	131	PI0	I/O	FT	TIM5_CH4 / SPI2_NSS / I2S2_WS / DCMI_D13/ EVENTOUT	

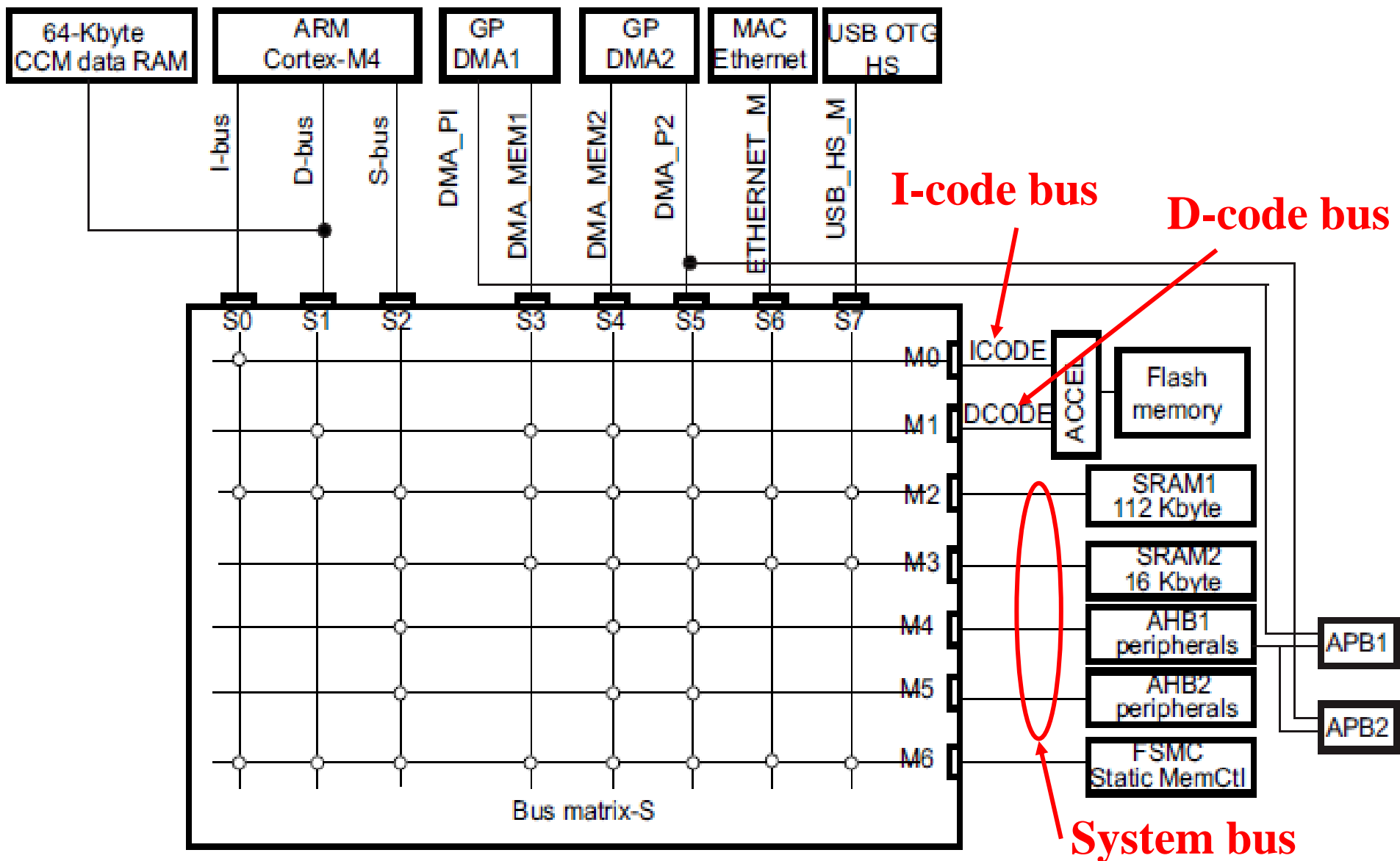
-	B2	-	-	D14	132	PI1	I/O	FT		SPI2_SCK / I2S2_CK / DCMI_D8/ EVENTOUT	
-	-	-	-	C14	133	PI2	I/O	FT		TIM8_CH4 /SPI2_MISO / DCMI_D9 / I2S2ext_SD/ EVENTOUT	
-	-	-	-	C13	134	PI3	I/O	FT		TIM8_ETR / SPI2_MOSI / I2S2_SD / DCMI_D10/ EVENTOUT	
-	-	-	-	D9	135	V _{SS}	S				
-	-	-	-	C9	136	V _{DD}	S				
49	A2	76	109	A14	137	PA14 (JTCK/SWCLK)	I/O	FT		JTCK-SWCLK/ EVENTOUT	
50	B3	77	110	A13	138	PA15 (JTDI)	I/O	FT		JTDI/ SPI3_NSS/ I2S3_WS/TIM2_CH1_ET R / SPI1_NSS / EVENTOUT	
51	D5	78	111	B14	139	PC10	I/O	FT		SPI3_SCK / I2S3_CK/ UART4_TX/SDIO_D2 / DCMI_D8 / USART3_TX/ EVENTOUT	
52	C4	79	112	B13	140	PC11	I/O	FT		UART4_RX/ SPI3_MISO / SDIO_D3 / DCMI_D4/USART3_RX / I2S3ext_SD/ EVENTOUT	
53	A3	80	113	A12	141	PC12	I/O	FT		UART5_TX/SDIO_CK / DCMI_D9 / SPI3_MOSI /I2S3_SD / USART3_CK/ EVENTOUT	
-	D6	81	114	B12	142	PD0	I/O	FT		FSMC_D2/CAN1_RX/ EVENTOUT	
-	C5	82	115	C12	143	PD1	I/O	FT		FSMC_D3 / CAN1_TX/ EVENTOUT	
54	B4	83	116	D12	144	PD2	I/O	FT		TIM3_ETR/UART5_RX/ SDIO_CMD / DCMI_D11/ EVENTOUT	

-	-	84	117	D11	145	PD3	I/O	FT		FSMC_CLK/ USART2_CTS/ EVENTOUT	
-	A4	85	118	D10	146	PD4	I/O	FT		FSMC_NOE/ USART2_RTS/ EVENTOUT	
-	C6	86	119	C11	147	PD5	I/O	FT		FSMC_NWE/USART2_TX / EVENTOUT	
-	-	-	120	D8	148	V _{SS}	S				
-	-	-	121	C8	149	V _{DD}	S				
-	B5	87	122	B11	150	PD6	I/O	FT		FSMC_NWAIT/ USART2_RX/ EVENTOUT	
-	A5	88	123	A11	151	PD7	I/O	FT		USART2_CK/FSMC_NE1/ FSMC_NCE2/ EVENTOUT	
-	-	-	124	C10	152	PG9	I/O	FT		USART6_RX / FSMC_NE2/FSMC_NCE3 / EVENTOUT	
-	-	-	125	B10	153	PG10	I/O	FT		FSMC_NCE4_1/ FSMC_NE3/ EVENTOUT	
-	-	-	126	B9	154	PG11	I/O	FT		FSMC_NCE4_2 / ETH_MII_TX_EN/ ETH_RMII_TX_EN/ EVENTOUT	
-	-	-	127	B8	155	PG12	I/O	FT		FSMC_NE4 / USART6_RTS/ EVENTOUT	
-	-	-	128	A8	156	PG13	I/O	FT		FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ ETH_RMII_TXD0/ EVENTOUT	
-	-	-	129	A7	157	PG14	I/O	FT		FSMC_A25 / USART6_TX /ETH_MII_TXD1/ ETH_RMII_TXD1/ EVENTOUT	

-	E8	-	130	D7	158	V _{SS}	S				
-	F7	-	131	C7	159	V _{DD}	S				
-	-	-	132	B7	160	PG15	I/O	FT		USART6_CTS / DCMI_D13/ EVENTOUT	
55	B6	89	133	A10	161	PB3 (JTDO/ TRACESWO)	I/O	FT		JTDO/ TRACESWO/ SPI3_SCK / I2S3_CK / TIM2_CH2 / SPI1_SCK/ EVENTOUT	
56	A6	90	134	A9	162	PB4 (NJTRST)	I/O	FT		NJTRST/ SPI3_MISO / TIM3_CH1 / SPI1_MISO / I2S3ext_SD/ EVENTOUT	
57	D7	91	135	A6	163	PB5	I/O	FT		I2C1_SMBA/ CAN2_RX / OTG_HS_ULPI_D7 / ETH_PPS_OUT/TIM3_CH 2 / SPI1_MOSI/ SPI3_MOSI / DCMI_D10 / I2S3_SD/ EVENTOUT	
58	C7	92	136	B6	164	PB6	I/O	FT		I2C1_SCL/ TIM4_CH1 / CAN2_TX / DCMI_D5/USART1_TX/ EVENTOUT	
59	B7	93	137	B5	165	PB7	I/O	FT		I2C1_SDA / FSMC_NL / DCMI_VSYNC / USART1_RX/ TIM4_CH2/ EVENTOUT	
60	A7	94	138	D6	166	BOOT0	I	B			V _{PP}
61	D8	95	139	A5	167	PB8	I/O	FT		TIM4_CH3/SDIO_D4/ TIM10_CH1 / DCMI_D6 / ETH_MII_TXD3 / I2C1_SCL/ CAN1_RX/ EVENTOUT	
62	C8	96	140	B4	168	PB9	I/O	FT		SPI2_NSS/ I2S2_WS / TIM4_CH4/ TIM11_CH1/ SDIO_D5 / DCMI_D7 / I2C1_SDA / CAN1_TX/ EVENTOUT	

-	-	97	141	A4	169	PE0	I/O	FT		TIM4_ETR / FSMC_NBL0 / DCMI_D2/ EVENTOUT	
-	-	98	142	A3	170	PE1	I/O	FT		FSMC_NBL1 / DCMI_D3/ EVENTOUT	
63	-	99	-	D5	-	V _{SS}	S				
-	A8	-	143	C6	171	PDR_ON	I	FT			
64	A1	100	144	C5	172	V _{DD}	S				
-	-	-	-	D4	173	PI4	I/O	FT		TIM8_BKIN / DCMI_D5/ EVENTOUT	
-	-	-	-	C4	174	PI5	I/O	FT		TIM8_CH1 / DCMI_VSYNC/ EVENTOUT	
-	-	-	-	C3	175	PI6	I/O	FT		TIM8_CH2 / DCMI_D6/ EVENTOUT	
-	-	-	-	C2	176	PI7	I/O	FT		TIM8_CH3 / DCMI_D7/ EVENTOUT	

STM32F407IG 메모리 및 버스 구조



<그림> STM32F시리즈의 버스 및 버스 매트릭스의 구조

STM32F407IG 메모리 및 버스 구조

(1) 버스 매트릭스(Bus Matrix)

- 역할: 프로세서와 디버그 인터페이스를 외부버스와 연결하고, I-bus, D-bus, S-bus, PPB 등의 bus와 연결해 줌. 여러 버스간의 접근 순서를 조정
- 접근 순서 조정 규칙: 특별한 충돌이 없는 한 먼저 요청한 bus가 먼저 접근이 되는 라운드-로빈(Round-robin) 방법을 사용
- 구성요소: 8개의 마스터와 8개의 슬레이브
- 8개의 마스터
 - Cortex-M4 with FPU core I-bus, D-bus and S-bus
 - DMA1 memory bus
 - DMA2 memory bus
 - DMA2 peripheral bus
 - Ethernet DMA bus
 - USB OTG HS DMA bus
- 7개의 슬레이브
 - Internal Flash memory I-Code bus
 - Internal Flash memory D-Code bus

STM32F407IG 메모리 및 버스 구조

- Main internal SRAM1 (112 KB)
- Auxiliary internal SRAM2 (16 KB)
- AHB1 peripherals including AHB to APB bridges and APB peripherals
- AHB2 peripherals
- FSMC

(2) **I-bus** : 명령어(Instruction)용 버스

(3) **D-bus** : 데이터(Data) 입출력용 버스

(4) **S-bus** : 시스템 버스

(5) **DMA(Direct Memory Access) bus**

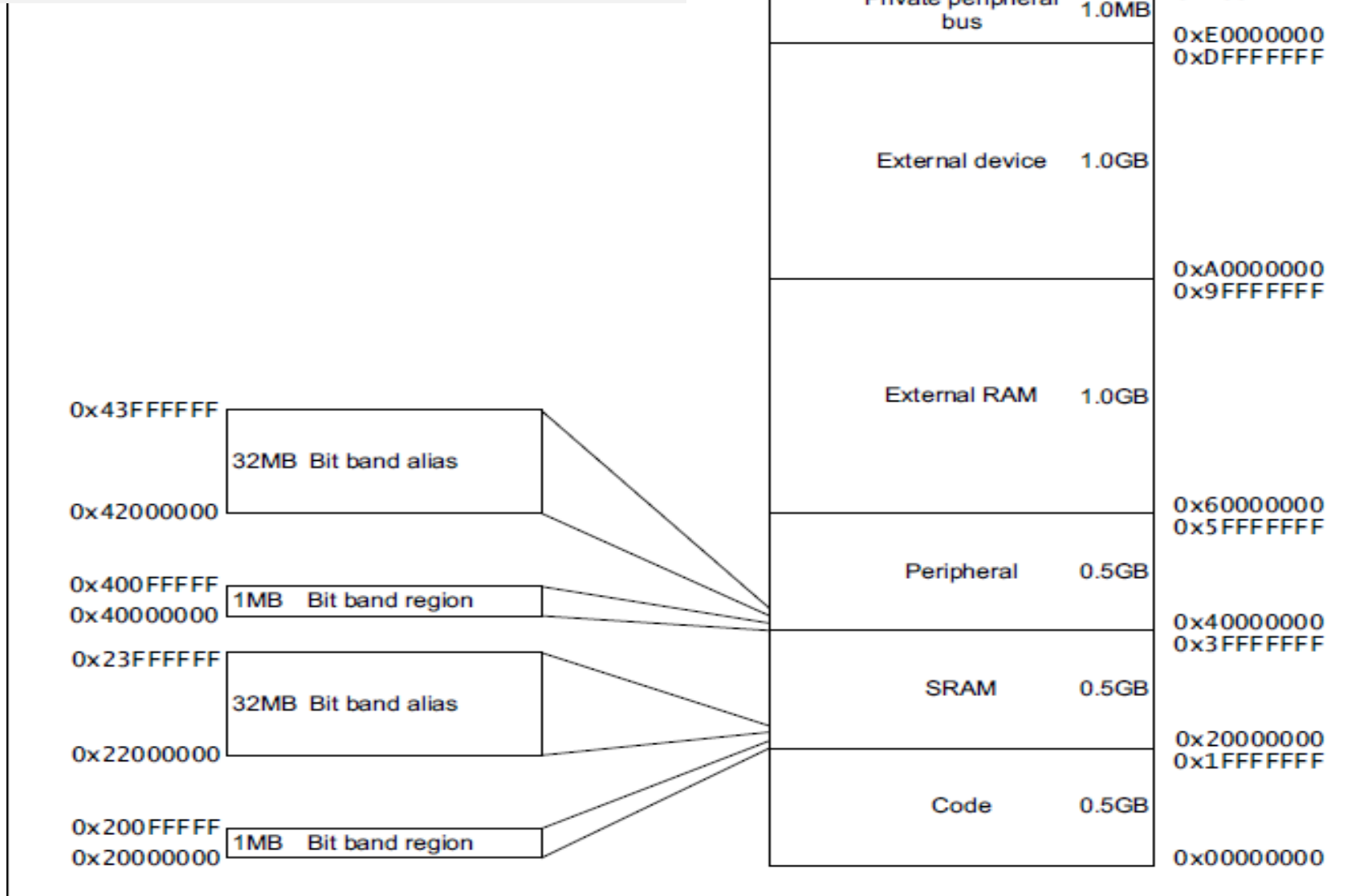
- DMA-P1, DMA-MEM1, DMA-P2, DMA-MEM2 등의 DMA 버스
- DMA 버스 및 DMA 기능을 이용하면 프로세서의 코어를 거치지 않고도 메모리와 주변장치들 간의 데이터 이동이 가능

(6) **AHB/APB 브리지 및 APB bus**

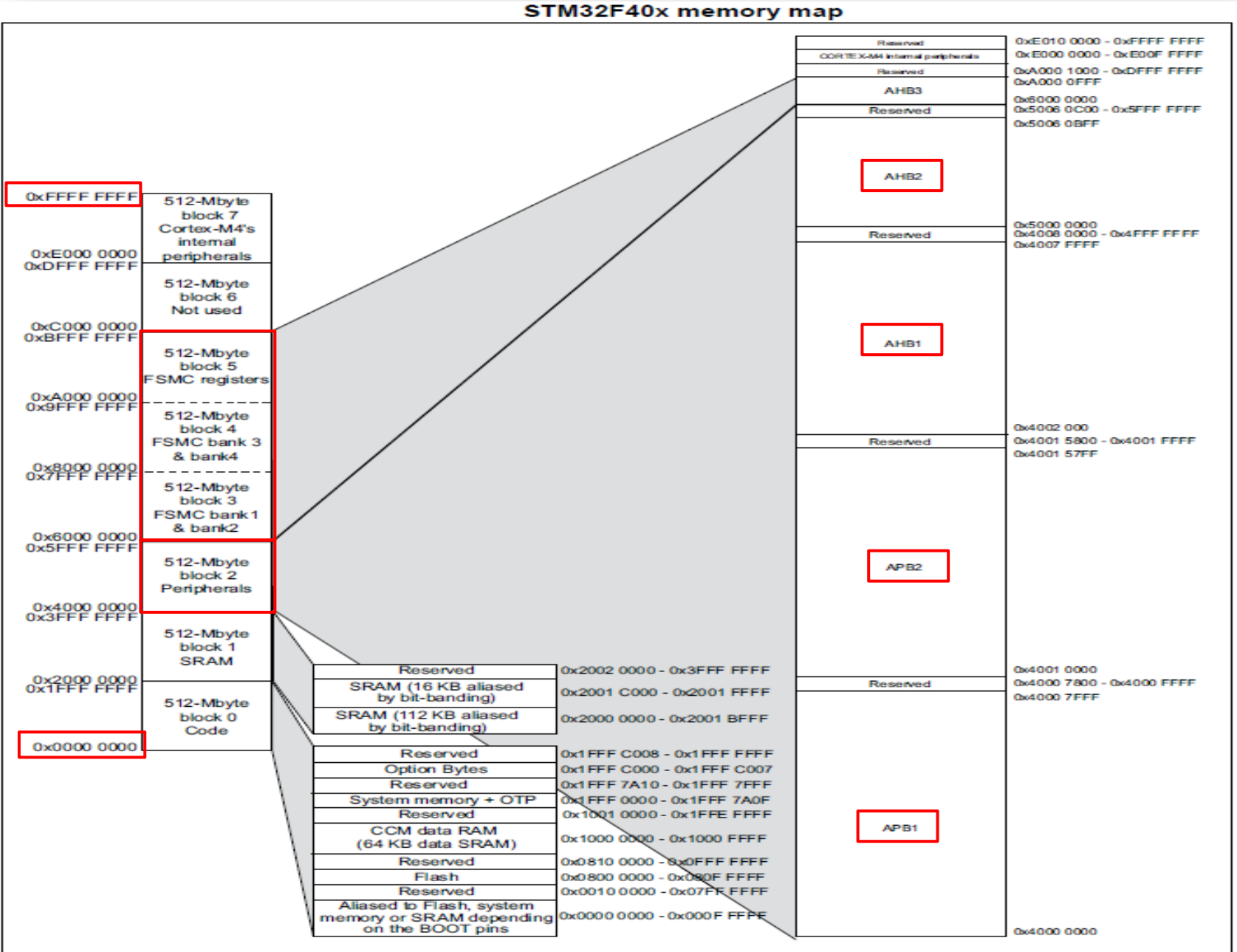
- AHB/APB 브리지: AHB 프로토콜을 APB 프로토콜로 변경해 주는 장치

STM32F407IG Memory Map 1

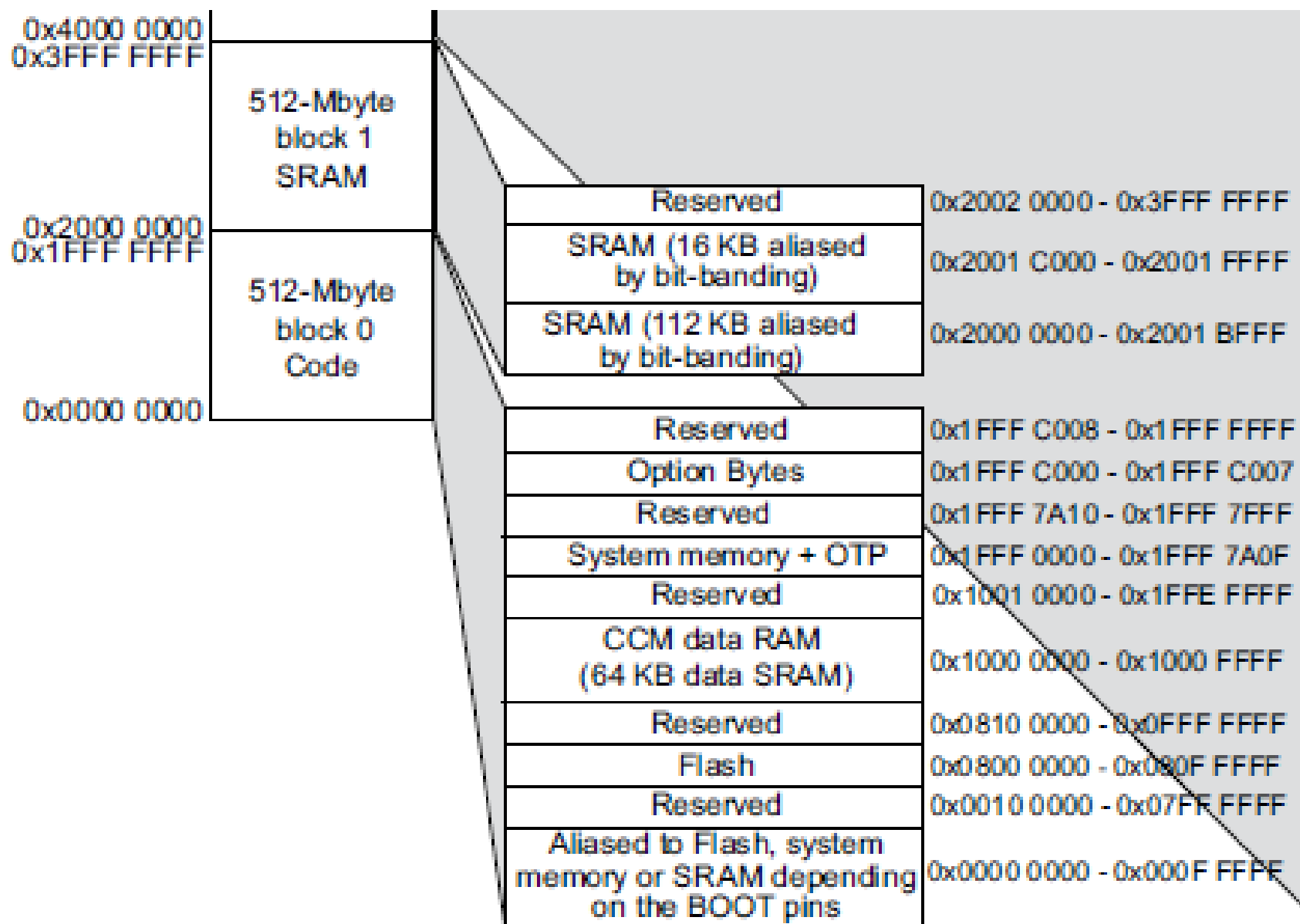
● 메모리-맵 입출력(Memory-mapped I/O, MMIO)



STM32F407IG Memory Map 2-1



STM32F407IG Memory Map 2-2



STM32F407IG Memory Map 3 (Peripherals)

Bus	Boundary address	Peripheral
	0xE00F FFFF - 0xFFFF FFFF	Reserved
Cortex-M4	0xE000 0000 - 0xE00F FFFF	Cortex-M4 internal peripherals
	0xA000 1000 - 0xDFFF FFFF	Reserved
AHB3	0xA000 0000 - 0xA000 0FFF	FSMC control register
	0x9000 0000 - 0x9FFF FFFF	FSMC bank 4
	0x8000 0000 - 0x8FFF FFFF	FSMC bank 3
	0x7000 0000 - 0x7FFF FFFF	FSMC bank 2
	0x6000 0000 - 0x6FFF FFFF	FSMC bank 1
	0x5006 0C00- 0x5FFF FFFF	Reserved
AHB2	0x5006 0800 - 0x5006 0BFF	RNG
	0x5005 0400 - 0x5006 07FF	Reserved
	0x5005 0000 - 0x5005 03FF	DCMI
	0x5004 0000- 0x5004 FFFF	Reserved
	0x5000 0000 - 0x5003 FFFF	USB OTG FS
	0x4008 0000- 0x4FFF FFFF	Reserved

STM32F407IG Memory Map 3 (Peripherals)

Bus	Boundary address	Peripheral
AHB1	0x4004 0000 - 0x4007 FFFF	USB OTG HS
	0x4002 9400 - 0x4003 FFFF	Reserved
	0x4002 9000 - 0x4002 93FF	ETHERNET MAC
	0x4002 8C00 - 0x4002 8FFF	
	0x4002 8800 - 0x4002 8BFF	
	0x4002 8400 - 0x4002 87FF	
	0x4002 8000 - 0x4002 83FF	
	0x4002 6800 - 0x4002 7FFF	Reserved
	0x4002 6400 - 0x4002 67FF	DMA2
	0x4002 6000 - 0x4002 63FF	DMA1
	0x4002 5000 - 0x4002 5FFF	Reserved
	0x4002 4000 - 0x4002 4FFF	BKPSRAM
	0x4002 3C00 - 0x4002 3FFF	Flash interface register
	0x4002 3800 - 0x4002 3BFF	RCC
	0x4002 3400 - 0x4002 37FF	Reserved
	0x4002 3000 - 0x4002 33FF	CRC
	0x4002 2400 - 0x4002 2FFF	Reserved
	0x4002 2000 - 0x4002 23FF	GPIOI
	0x4002 1C00 - 0x4002 1FFF	GPIOH
	0x4002 1800 - 0x4002 1BFF	GPIOG
	0x4002 1400 - 0x4002 17FF	GPIOF
	0x4002 1000 - 0x4002 13FF	GPIOE
	0x4002 0C00 - 0x4002 0FFF	GPIOD
	0x4002 0800 - 0x4002 0BFF	GPIOC
	0x4002 0400 - 0x4002 07FF	GPIOB
	0x4002 0000 - 0x4002 03FF	GPIOA
	0x4001 5800- 0x4001 FFFF	Reserved

STM32F407IG Memory Map 3 (Peripherals)

Bus	Boundary address	Peripheral
APB2	0x4001 4C00 - 0x4001 57FF	Reserved
	0x4001 4800 - 0x4001 4BFF	TIM11
	0x4001 4400 - 0x4001 47FF	TIM10
	0x4001 4000 - 0x4001 43FF	TIM9
	0x4001 3C00 - 0x4001 3FFF	EXTI
	0x4001 3800 - 0x4001 3BFF	SYSCFG
	0x4001 3400 - 0x4001 37FF	Reserved
	0x4001 3000 - 0x4001 33FF	SPI1
	0x4001 2C00 - 0x4001 2FFF	SDIO
	0x4001 2400 - 0x4001 2BFF	Reserved
	0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3
	0x4001 1800 - 0x4001 1FFF	Reserved
	0x4001 1400 - 0x4001 17FF	USART6
	0x4001 1000 - 0x4001 13FF	USART1
	0x4001 0800 - 0x4001 0FFF	Reserved
	0x4001 0400 - 0x4001 07FF	TIM8
	0x4001 0000 - 0x4001 03FF	TIM1
	0x4000 7800 - 0x4000 FFFF	Reserved

STM32F407IG Memory Map 3 (Peripherals)

Bus	Boundary address	Peripheral
APB1	0x4000 7800 - 0x4000 7FFF	Reserved
	0x4000 7400 - 0x4000 77FF	DAC
	0x4000 7000 - 0x4000 73FF	PWR
	0x4000 6C00 - 0x4000 6FFF	Reserved
	0x4000 6800 - 0x4000 6BFF	CAN2
	0x4000 6400 - 0x4000 67FF	CAN1
	0x4000 6000 - 0x4000 63FF	Reserved
	0x4000 5C00 - 0x4000 5FFF	I2C3
	0x4000 5800 - 0x4000 5BFF	I2C2
	0x4000 5400 - 0x4000 57FF	I2C1
	0x4000 5000 - 0x4000 53FF	UART5
	0x4000 4C00 - 0x4000 4FFF	UART4
	0x4000 4800 - 0x4000 4BFF	USART3
	0x4000 4400 - 0x4000 47FF	USART2
	0x4000 4000 - 0x4000 43FF	I2S3ext
	0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3
	0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2
	0x4000 3400 - 0x4000 37FF	I2S2ext
	0x4000 3000 - 0x4000 33FF	IWDG
	0x4000 2C00 - 0x4000 2FFF	WWDG
	0x4000 2800 - 0x4000 2BFF	RTC & BKP Registers
	0x4000 2400 - 0x4000 27FF	Reserved
	0x4000 2000 - 0x4000 23FF	TIM14
	0x4000 1C00 - 0x4000 1FFF	TIM13
	0x4000 1800 - 0x4000 1BFF	TIM12
	0x4000 1400 - 0x4000 17FF	TIM7
	0x4000 1000 - 0x4000 13FF	TIM6
	0x4000 0C00 - 0x4000 0FFF	TIM5
	0x4000 0800 - 0x4000 0BFF	TIM4
	0x4000 0400 - 0x4000 07FF	TIM3
	0x4000 0000 - 0x4000 03FF	TIM2

STM32F407IG Memory Map 4 (Peripheral 관리 Registers)

Table 2. STM32F4xx register boundary addresses

Boundary address	Peripheral	Bus	Register map
0xA000 0000 - 0xA000 0FFF	FSMC control register	AHB3	Section 32.6.9: FSMC register map on page 1373
0x5006 0800 - 0x5006 0BFF	RNG	AHB2	Section 21.4.4: RNG register map on page 598
0x5006 0400 - 0x5006 07FF	HASH		Section 22.4.9: HASH register map on page 622
0x5006 0000 - 0x5006 03FF	CRYP		Section 20.6.13: CRYP register map on page 591
0x5005 0000 - 0x5005 03FF	DCMI		Section 13.8.12: DCMI register map on page 351
0x5000 0000 - 0x5003 FFFF	USB OTG FS		Section 30.16.6: OTG_FS register map on page 1106
0x4004 0000 - 0x4007 FFFF	USB OTG HS	AHB1	Section 31.12.6: OTG_HS register map on page 1248
0x4002 9000 - 0x4002 93FF	ETHERNET MAC		Section 29.8.5: Ethernet register maps on page 1017
0x4002 8C00 - 0x4002 8FFF			
0x4002 8800 - 0x4002 8BFF			
0x4002 8400 - 0x4002 87FF			
0x4002 8000 - 0x4002 83FF			
0x4002 6400 - 0x4002 67FF	DMA2		Section 9.5.11: DMA register map on page 245
0x4002 6000 - 0x4002 63FF	DMA1		
0x4002 4000 - 0x4002 4FFF	BKPSRAM		
0x4002 3C00 - 0x4002 3FFF	Flash interface register		Section 3.8: Flash interface registers
0x4002 3800 - 0x4002 3BFF	RCC		Section 6.3.32: RCC register map on page 181
0x4002 3000 - 0x4002 33FF	CRC		Section 4.4.4: CRC register map on page 88
0x4002 2000 - 0x4002 23FF	GPIOI		Section 7.4.11: GPIO register map on page 203
0x4002 1C00 - 0x4002 1FFF	GPIOH		
0x4002 1800 - 0x4002 1BFF	GPIOG		
0x4002 1400 - 0x4002 17FF	GPIOF		
0x4002 1000 - 0x4002 13FF	GPIOE		
0x4002 0C00 - 0x4002 0FFF	GPIOD		
0x4002 0800 - 0x4002 0BFF	GPIOC		
0x4002 0400 - 0x4002 07FF	GPIOB		
0x4002 0000 - 0x4002 03FF	GPIOA		
0x4001 5400 - 0x4001 57FF	SPI6	APB2	Section 27.5.10: SPI register map on page 845
0x4001 5000 - 0x4001 53FF	SPI5	APB2	Section 16.6.11: TIM10/11/13/14 register map on page 524
0x4001 4800 - 0x4001 4BFF	TIM11		
0x4001 4400 - 0x4001 47FF	TIM10		
0x4001 4000 - 0x4001 43FF	TIM9		Section 16.5.14: TIM9/12 register map on page 514
0x4001 3C00 - 0x4001 3FFF	EXTI		Section 10.3.7: EXTI register map on page 262
0x4001 3800 - 0x4001 3BFF	SYSCFG		Section 7.2.8: SYSCFG register maps on page 157
0x4001 3400 - 0x4001 37FF	SPI4	APB2	Section 27.5.10: SPI register map on page 845

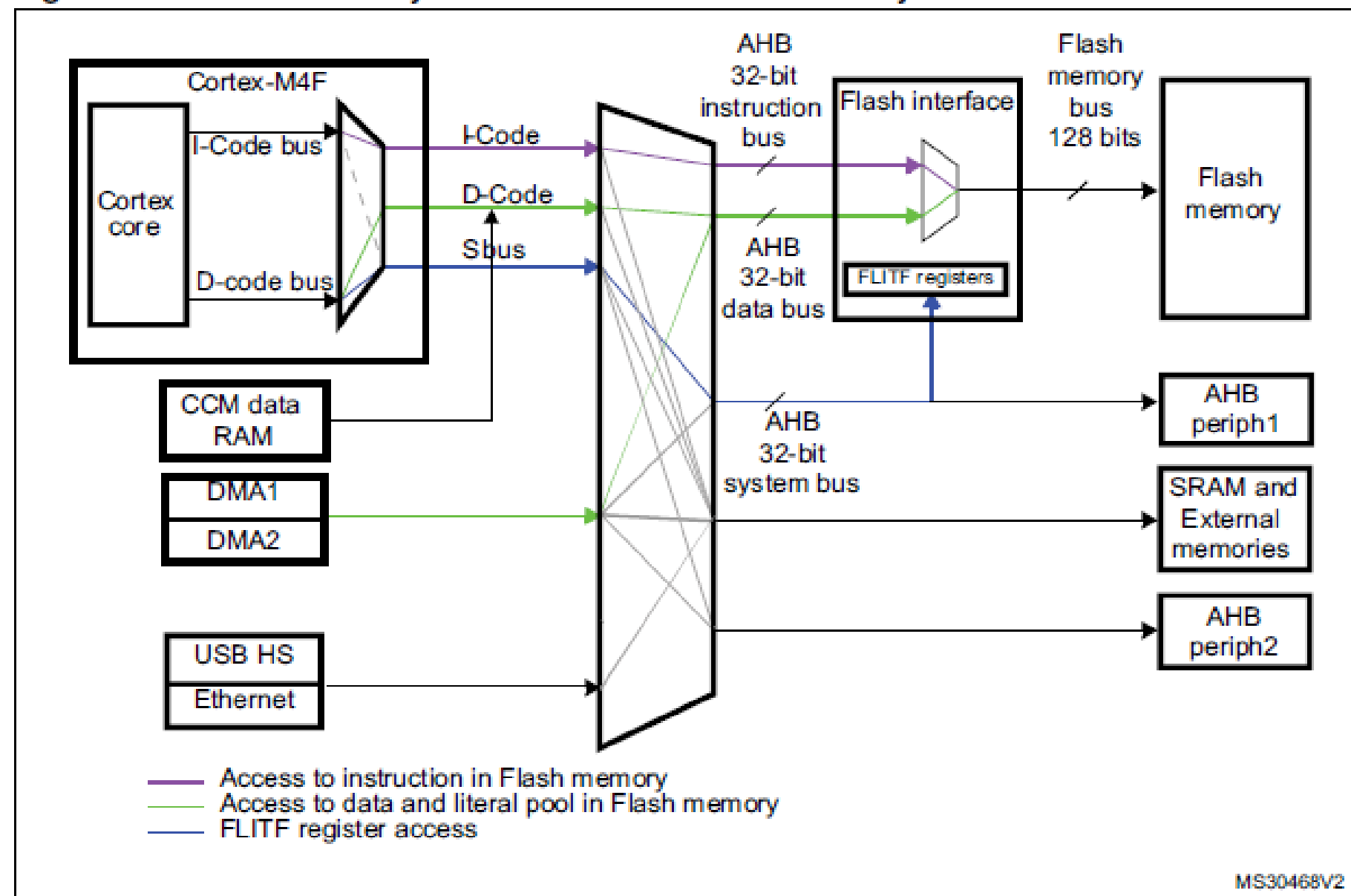
STM32F407IG Memory Map 4 (Peripheral 관리 Registers)

Table 2. STM32F4xx register boundary addresses (continued)

Boundary address	Peripheral	Bus	Register map
0x4001 3000 - 0x4001 33FF	SPI1	APB2	Section 27.5.10: SPI register map on page 845
0x4001 2C00 - 0x4001 2FFF	SDIO		Section 28.9.16: SDIO register map on page 901
0x4001 2000 - 0x4001 23FF	ADC1 - ADC2 - ADC3		Section 11.13.18: ADC register map on page 307
0x4001 1400 - 0x4001 17FF	USART6		Section 26.6.8: USART register map on page 793
0x4001 1000 - 0x4001 13FF	USART1		
0x4001 0400 - 0x4001 07FF	TIM8		Section 14.4.21: TIM1&TIM8 register map on page 420
0x4001 0000 - 0x4001 03FF	TIM1		
0x4000 7C00 - 0x4000 7FFF	UART8	APB1	Section 26.6.8: USART register map on page 793
0x4000 7800 - 0x4000 7BFF	UART7		
0x4000 7400 - 0x4000 77FF	DAC	APB1	Section 12.5.15: DAC register map on page 329
0x4000 7000 - 0x4000 73FF	PWR		Section 5.5: PWR register map on page 109
0x4000 6800 - 0x4000 6BFF	CAN2		Section 24.9.5: bxCAN register map on page 705
0x4000 6400 - 0x4000 67FF	CAN1		
0x4000 5C00 - 0x4000 5FFF	I2C3		Section 25.6.11: I2C register map on page 741
0x4000 5800 - 0x4000 5BFF	I2C2		
0x4000 5400 - 0x4000 57FF	I2C1		
0x4000 5000 - 0x4000 53FF	UART5		Section 26.6.8: USART register map on page 793
0x4000 4C00 - 0x4000 4FFF	UART4		
0x4000 4800 - 0x4000 4BFF	USART3		
0x4000 4400 - 0x4000 47FF	USART2		
0x4000 4000 - 0x4000 43FF	I2S3ext		Section 27.5.10: SPI register map on page 845
0x4000 3C00 - 0x4000 3FFF	SPI3 / I2S3		
0x4000 3800 - 0x4000 3BFF	SPI2 / I2S2		
0x4000 3400 - 0x4000 37FF	I2S2ext		Section 18.4.5: IWDG register map on page 540
0x4000 3000 - 0x4000 33FF	IWDG		
0x4000 2C00 - 0x4000 2FFF	WWDG		Section 19.6.4: WWDG register map on page 547
0x4000 2800 - 0x4000 2BFF	RTC & BKP Registers		Section 23.6.21: RTC register map on page 662
0x4000 2000 - 0x4000 23FF	TIM14		Section 16.6.11: TIM10/11/13/14 register map on page 524
0x4000 1C00 - 0x4000 1FFF	TIM13		
0x4000 1800 - 0x4000 1BFF	TIM12		Section 16.5.14: TIM9/12 register map on page 514
0x4000 1400 - 0x4000 17FF	TIM7		Section 17.4.9: TIM6&TIM7 register map on page 535
0x4000 1000 - 0x4000 13FF	TIM6		
0x4000 0C00 - 0x4000 0FFF	TIM5		Section 15.4.21: TIMx register map on page 480
0x4000 0800 - 0x4000 0BFF	TIM4		
0x4000 0400 - 0x4000 07FF	TIM3		
0x4000 0000 - 0x4000 03FF	TIM2		

STM32F407IG Embedded Flash memory

Figure 3. Flash memory Interface connection inside system architecture



STM32F407IG Embedded Flash memory

Flash module organization (STM32F40x and STM32F41x)

Block	Name	Block base addresses	Size
Main memory	Sector 0	0x0800 0000 - 0x0800 3FFF	16 Kbytes
	Sector 1	0x0800 4000 - 0x0800 7FFF	16 Kbytes
	Sector 2	0x0800 8000 - 0x0800 BFFF	16 Kbytes
	Sector 3	0x0800 C000 - 0x0800 FFFF	16 Kbytes
	Sector 4	0x0801 0000 - 0x0801 FFFF	64 Kbytes
	Sector 5	0x0802 0000 - 0x0803 FFFF	128 Kbytes
	Sector 6	0x0804 0000 - 0x0805 FFFF	128 Kbytes
	.	.	.
	.	.	.
	Sector 11	0x080E 0000 - 0x080F FFFF	128 Kbytes
System memory		0x1FFF 0000 - 0x1FFF 77FF	30 Kbytes
OTP area		0x1FFF 7800 - 0x1FFF 7A0F	528 bytes
Option bytes		0x1FFF C000 - 0x1FFF C00F	16 bytes

•Main memory

-16Kbytes 4 sectors

-64Kbytes 1 sectors

-128Kbytes 7 sectors

All 1Mbyte로 구성됨

•System Memory:

Boot Loader Program

이 들어 있음.

•OTP(One time Programmable): 한번 기록할 수 있는 메모리 영역

•Option bytes

-Flash Area를 읽기/쓰기 방지 설정

-BOR(Brown Out Reset) Level 설정

-Watchdog 설정

STM32F407IG Embedded Flash memory

3.8.1 Flash access control register (FLASH_ACR)

The Flash access control register is used to enable/disable the acceleration features and control the Flash memory access time according to CPU frequency.

Address offset: 0x00

Reset value: 0x0000 0000

Access: no wait state, word, half-word and byte access

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			DCRST	ICRST	DCEN	ICEN	PRFTEN	Reserved					LATENCY		
			rw	w	rw	rw	rw						rw	rw	rw

Bits 31:11 Reserved, must be kept cleared.

Bit 12 **DCRST**: Data cache reset

0: Data cache is not reset

1: Data cache is reset

This bit can be written only when the D cache is disabled.

Bit 11 **ICRST**: Instruction cache reset

0: Instruction cache is not reset

1: Instruction cache is reset

This bit can be written only when the I cache is disabled.

STM32F407IG Embedded Flash memory

Bit 10 **DCEN**: Data cache enable

0: Data cache is disabled

1: Data cache is enabled

Bit 9 **ICEN**: Instruction cache enable

0: Instruction cache is disabled

1: Instruction cache is enabled

Bit 8 **PRFTEN**: Prefetch enable

0: Prefetch is disabled

1: Prefetch is enabled

Bits 7:3 Reserved, must be kept cleared.

Bits 2:0 **LATENCY**: Latency

These bits represent the ratio of the CPU clock period to the Flash memory access time.

000: Zero wait state

001: One wait state

010: Two wait states

011: Three wait states

100: Four wait states

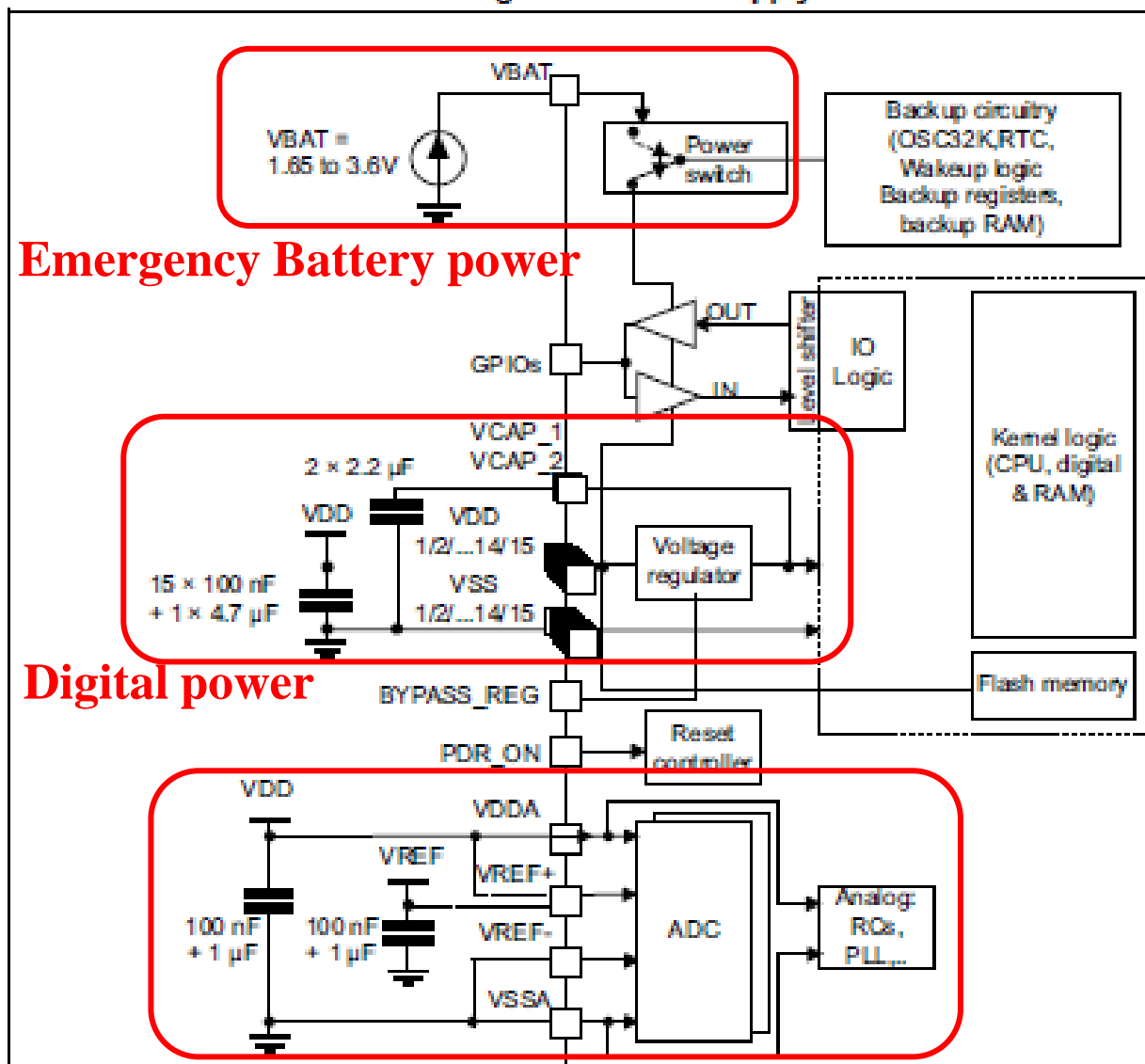
101: Five wait states

110: Six wait states

111: Seven wait states

STM32F407IG Power Control

Figure 21. Power supply scheme



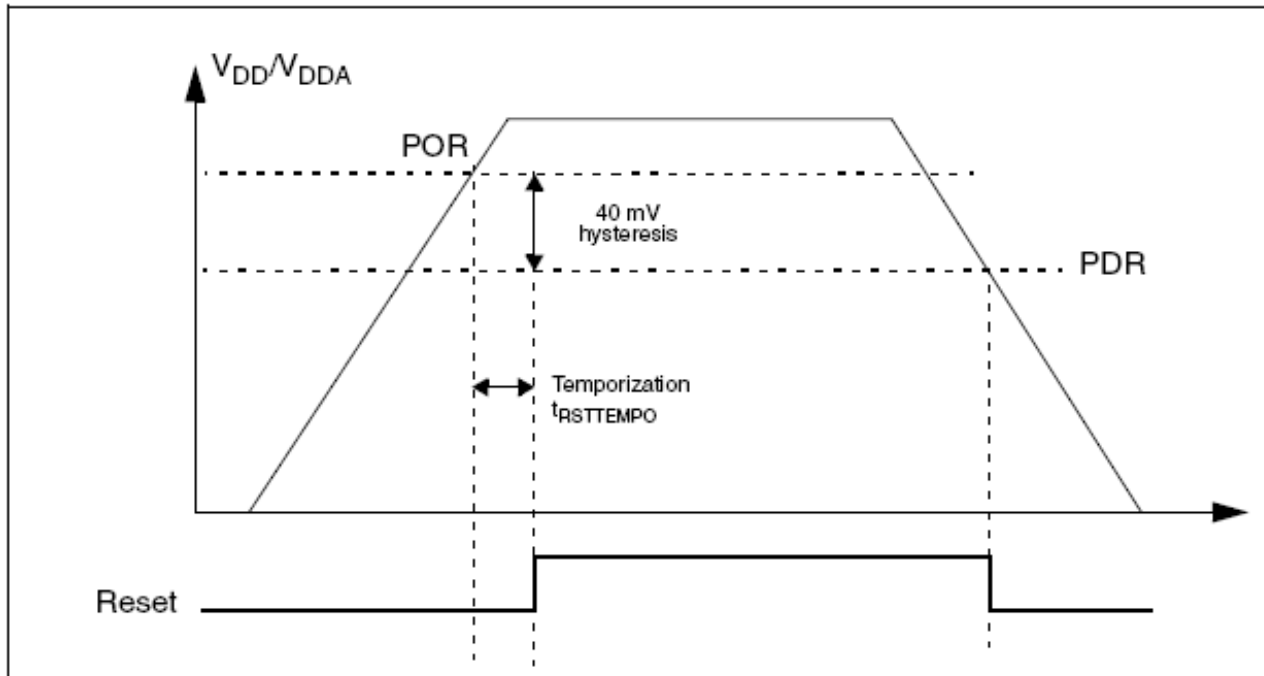
●전원공급부

- 외부 전원 V_{DD} : 1.8V~3.6V
- 내장 레귤레이터 (Voltage Regulator) : 1.2V로 변환하여 내부로 공급
- 외부 전원 V_{DD} 가 공급되지 않을 때 : 백업 레지스터(BKP register), 리얼타임 클럭(RTC) 등은 배터리 전원 V_{BAT} 에서 전원을 공급받음

STM32F407IG Power Control

●전원공급 감시부

- POR(Power-On Reset) 및 PDR(Power-Down Reset) :** 공급전원 V_{DD}/V_{DDA} 가 미리 정해진 허용범위(PDR/POR)를 넘을 경우, 외부의 리셋회로의 동작 상관없이 MCU는 리셋 모드 유지
- PVD(Programmable voltage detector :** 프로그램 가능한 전압 검출기)
: 공급전원 V_{DD}/V_{DDA} 를 PVD의 threshold값 V_{PVD} 와 비교하여 크거나 작아지는 경우 인터럽트를 발생(인터럽트 서비스 루틴에서는 경고 메시지를 발생시키거나 MCU가 필요한 안전 조치를 실행)



STM32F407IG 저전력 모드

(1) Run mode(동작 모드)

시스템 리셋이나 파워 리셋 후에 MCU는 디폴트로 Run mode로 동작하게 되며, 외부 인터럽트의 발생을 기다리는 때와 같이 CPU가 계속 동작할 필요가 없는 경우에는 전력 소모를 줄이기 위해 저전력 모드로 전환이 가능

(2) Low power mode(저전력 모드)

① Sleep mode(슬립 모드)

- CPU의 클럭만 정지
- 모든 주변장치는 동작하고 있으며 인터럽트나 이벤트가 발생하면 CPU를 wake up

② Stop mode(정지 모드)

- 1.2V 영역의 모든 클럭 정지(SRAM과 레지스터의 데이터는 보존)
- Stop mode 탈출방법: GPIO를 통하여 발생하는 16개의 EXTI 등

③ Standby mode(대기 모드)

- 1.2V 영역의 모든 클럭 정지 (백업 영역내의 레지스터와 백업 SRAM을 제외한 모든 SRAM과 레지스터의 데이터는 지워짐)
- Standby mode 탈출방법: external reset(NRST) 등

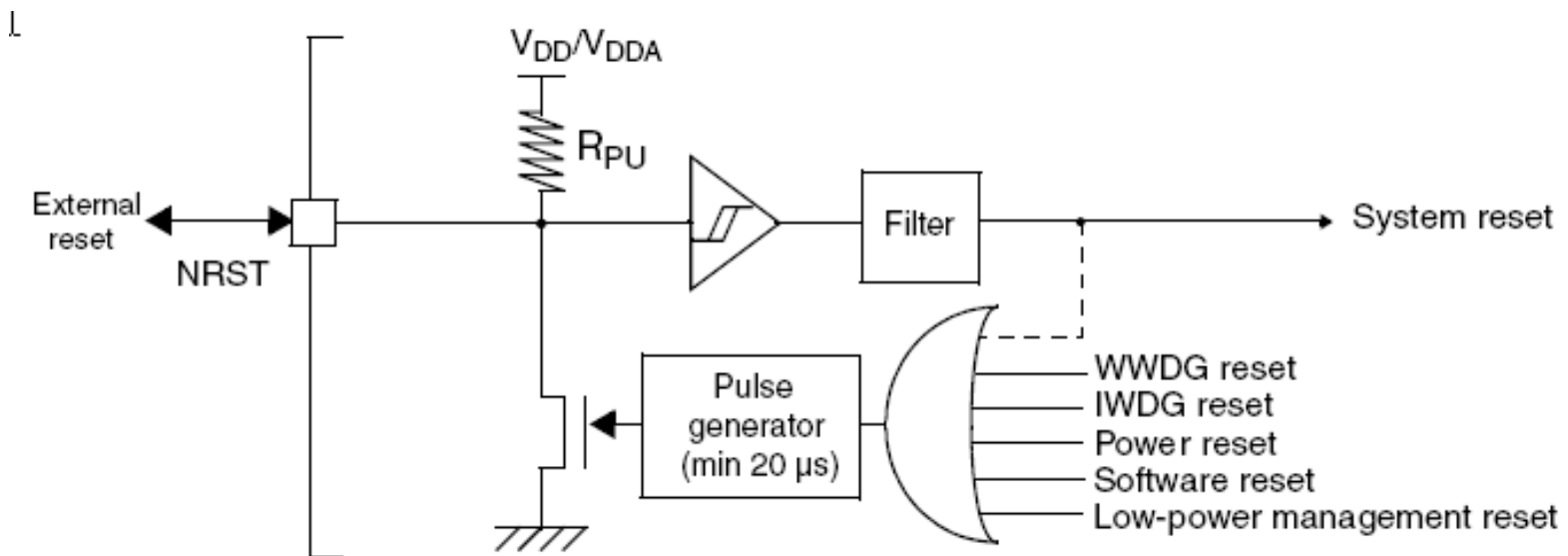
STM32F407IG Reset

● 종류: 시스템 리셋, 전원 리셋 및 백업 영역 리셋

① 시스템 리셋 (System reset)

시스템 리셋이 발생하는 경우: 5가지

- External reset 핀에 로우(low) 신호(NRST)가 입력
- 윈도우 워치독 리셋 (WWDG reset) 의 발생
- 독립 워치독 리셋 (IWDG reset)의 발생
- 소프트웨어 리셋의 발생
- 저전압 리셋의 발생



STM32F407IG Reset

② 전원 리셋 (Power reset)

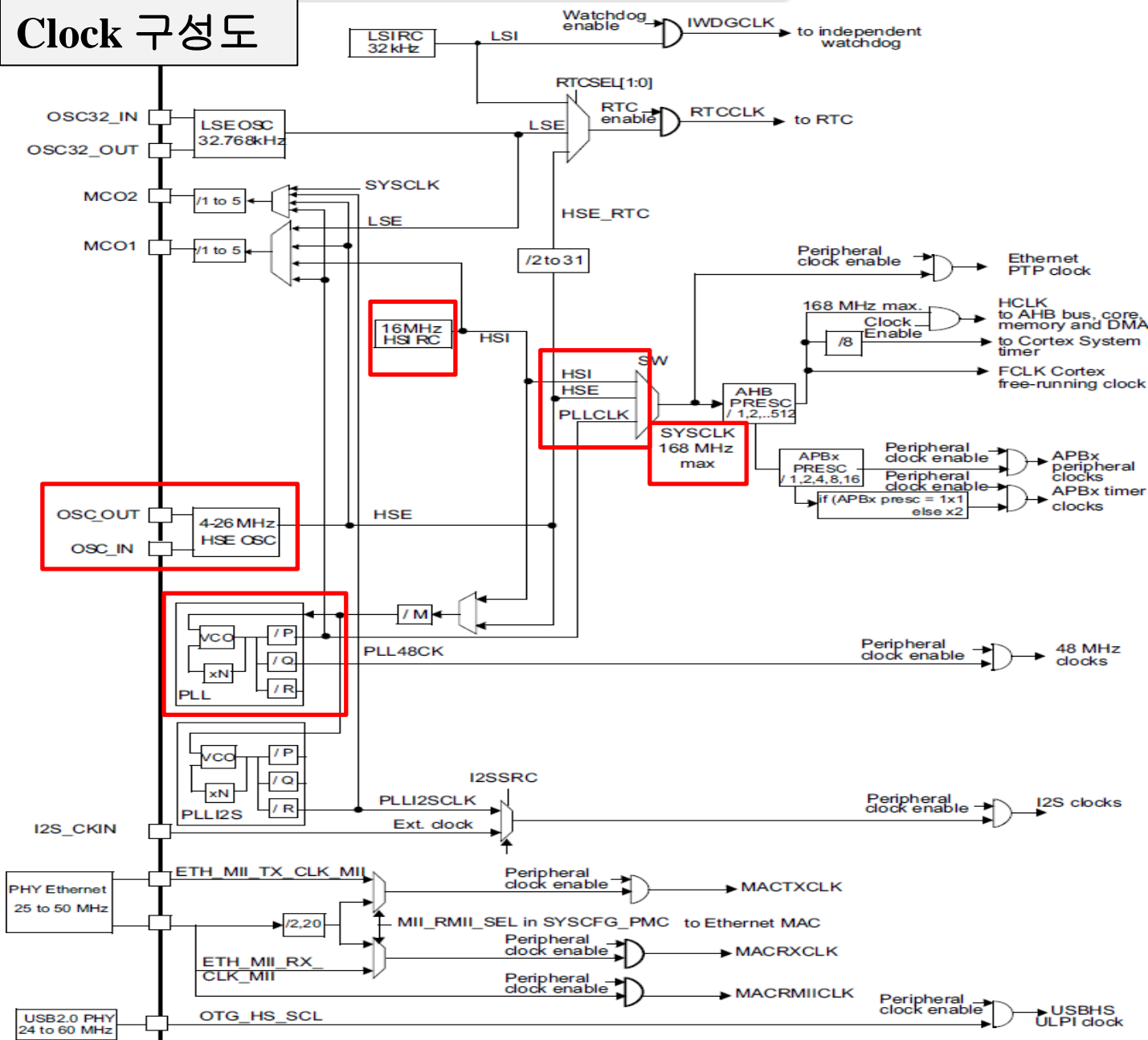
- 백업 영역을 제외한 모든 레지스터를 리셋(초기)값으로 설정
- 전원 리셋이 발생하는 경우
 - 파워-온/파워-다운(POR/PDR) 리셋의 발생
 - 대기 모드에서 빠져 나올때

③ 백업 영역 리셋 (Backup domain reset)

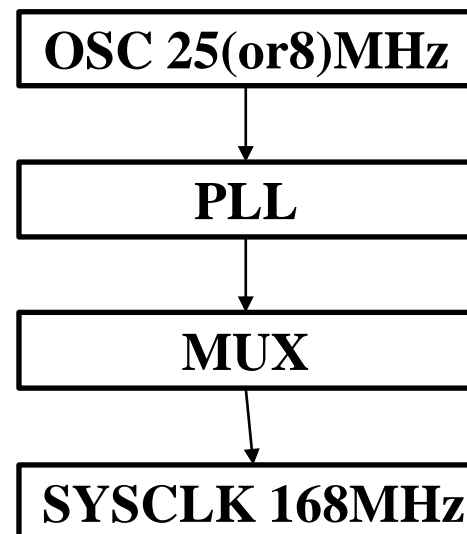
- 백업 영역만 리셋
- 백업 영역 리셋이 발생하는 경우
 - 백업 영역 제어 레지스터(RCC_BDCR)의 BDRST 비트의 설정시에 발생하는 소프트웨어 리셋
 - V_{DD} 또는 V_{BAT} 의 전원이 OFF된 후에 ON되는 경우

STM32F407IG Clock Control

Clock 구성도



System Clock 생성
절차(세 방법중 하나)



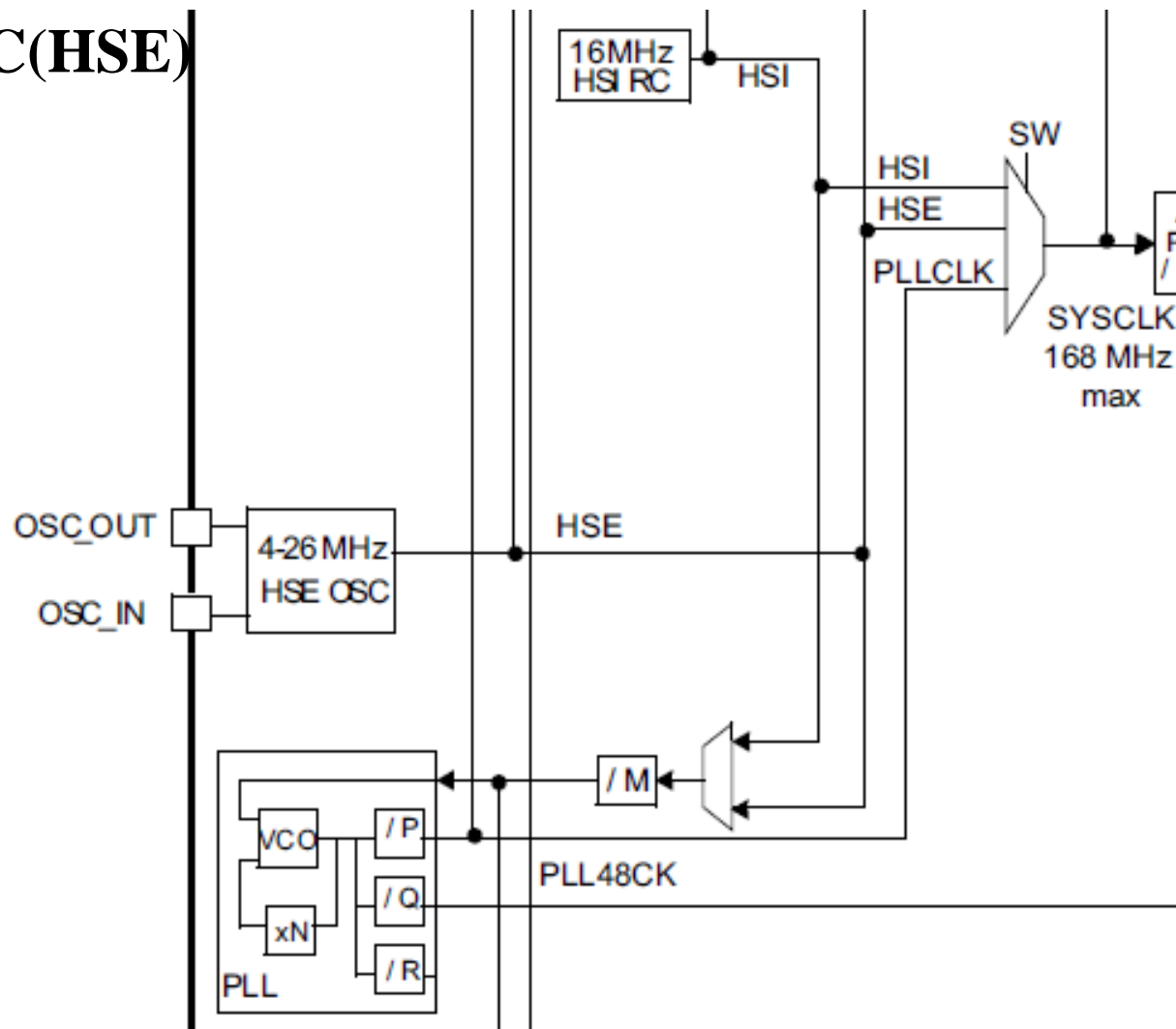
• **PLL** : Phase Lock Loop, MCU의 내부 clock 주파수를 외부 source clock의 정수 배로 변환

STM32F407IG Clock Control

● 시스템 클럭(SYSCLK : 최대 168MHz) 발생 소스

- ① 16MHz의 HSI RC(HSI):내부
- ② PLL(PLLCLK):
- ③ 4-26MHz의 HSE OSC(HSE):외부

- HSI RC : High Speed Internal Realtime Clock
- HSE OSC : High Speed External Oscillator
- LSE OSC : Low Speed External Oscillator
- LSI RC : Low Speed Internal Realtime Clock



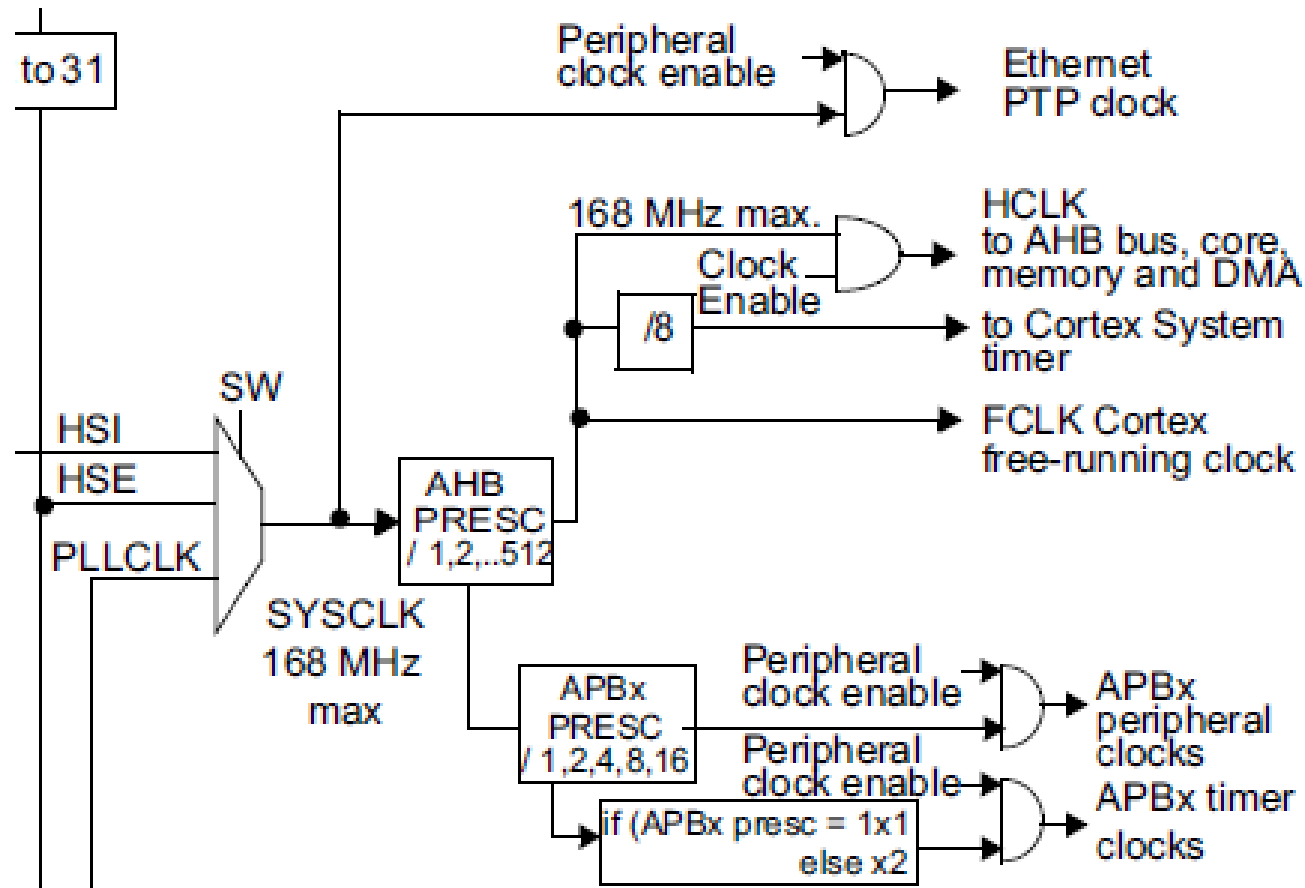
STM32F407IG Clock Control

●시스템 클럭(SYSCLK) 용도

: AHB 프리스케일러를 거쳐 AHB 버스, APB 버스, 타이머, AD 변환기 등 MCU 내부의 여러 장치의 구동용 클럭으로 사용

✓SYSCLK을 이용하지 않은 주변장치

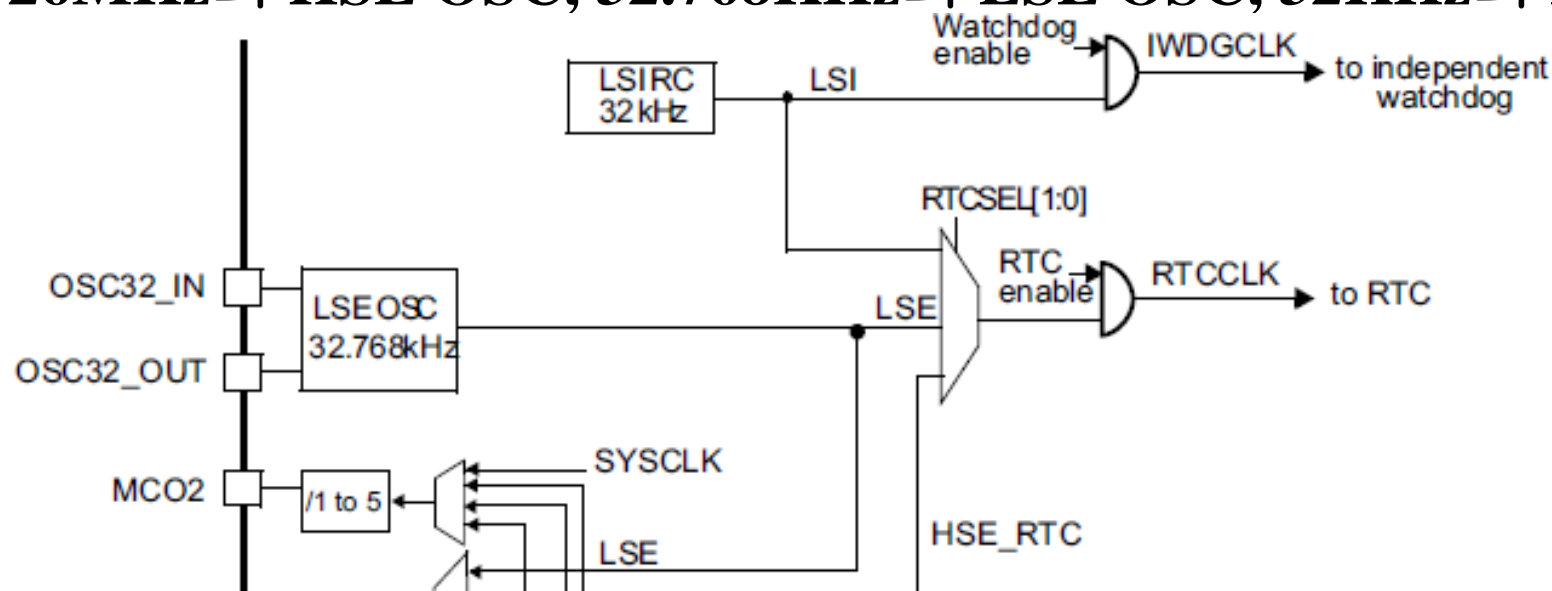
: USB OTG HS clock(60MHz), I2C clock, Ethernet MAC clocks (TX, RX and RMII)



STM32F407IG Clock Control

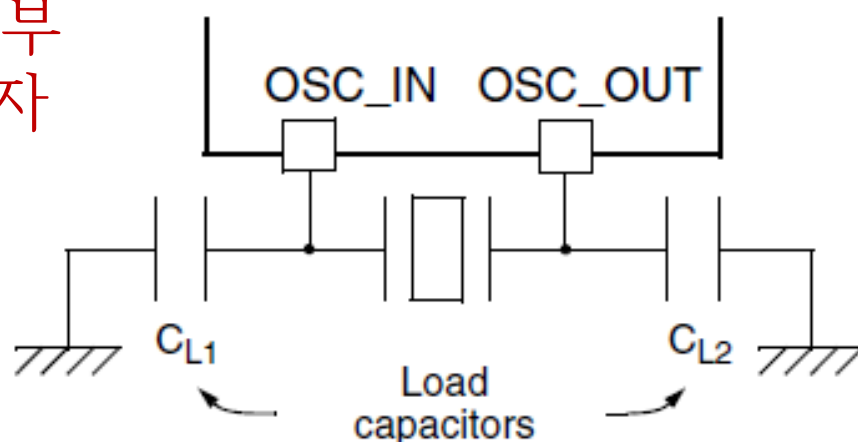
●리얼타임 클럭(RTCCLK) 발생 소스

: 4-26MHz의 HSE OSC, 32.768KHz의 LSE OSC, 32KHz의 LSI RC

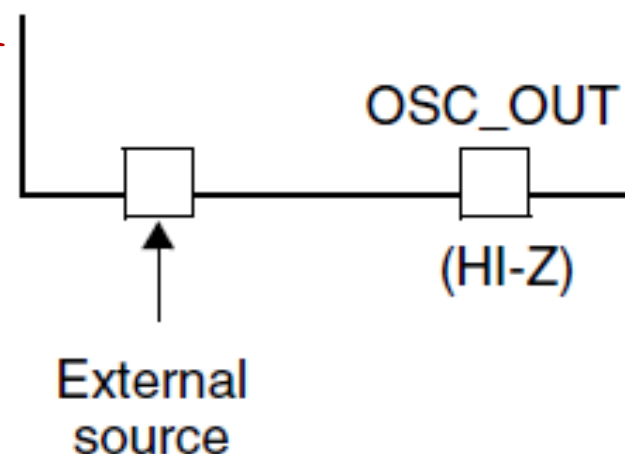


●HSE/LSE OSC의 외부 입력 방법

(a) 외부 발진자



(b) 외부 클럭



STM32F407IG Boot mode

●부트 모드 종류

- : Main Flash memory, System memory, Embedded SRAM
- BOOT0 및 BOOT1 핀의 설정에 따라 전원 공급(Power On)이나 리셋시에, 사용할 부트 모드를 선택
- MCU는 리셋 동작 후의 4번째 시스템 클럭(SYSCLK)의 상승 에지에서 BOOT 핀의 값을 읽어서 이에 대응되는 모드를 부팅
- 전원 공급 전이나 리셋 스위치를 누르기 전에 BOOT 핀을 미리 원하는 모드에 맞게 설정해 주면 전원을 ON이나 리셋 시에 원하는 부트 모드로 동작이 가능

부트 모드 선택핀		부트 모드	동작
BOOT1	BOOT0		
x	0	Main Flash memory	플래시 메모리가 부트영역으로 선택됨
0	1	System memory	시스템 메모리가 부트영역으로 선택됨
1	1	Embedded SRAM	내장 SRAM이 부트영역으로 선택됨

STM32F407IG Boot mode

●Main Flash Memory 모드

- 부트 메모리 영역(0x0000.0000)에 메인 플래시 메모리가 앨리어스(alias)됨(메인 플래시 메모리의 시작 주소(0x0800.0000)가 부트 메모리 영역에 쓰여짐)
- 이 모드로 부팅을 하면 플래시 메모리내에 저장된 프로그램 실행됨

●System Memory 모드

- 부트 메모리 영역(0x0000.0000)에 시스템 메모리가 앨리어스(alias)됨(시스템 메모리의 시작 주소(0x1FFF.F000)가 부트 메모리 영역에 쓰여짐)
- 이 모드로 부팅을 하면 시스템 메모리내에 저장된 프로그램인 내장 부트로더(Embedded boot loader)가 실행됨

●Embedded SRAM 모드

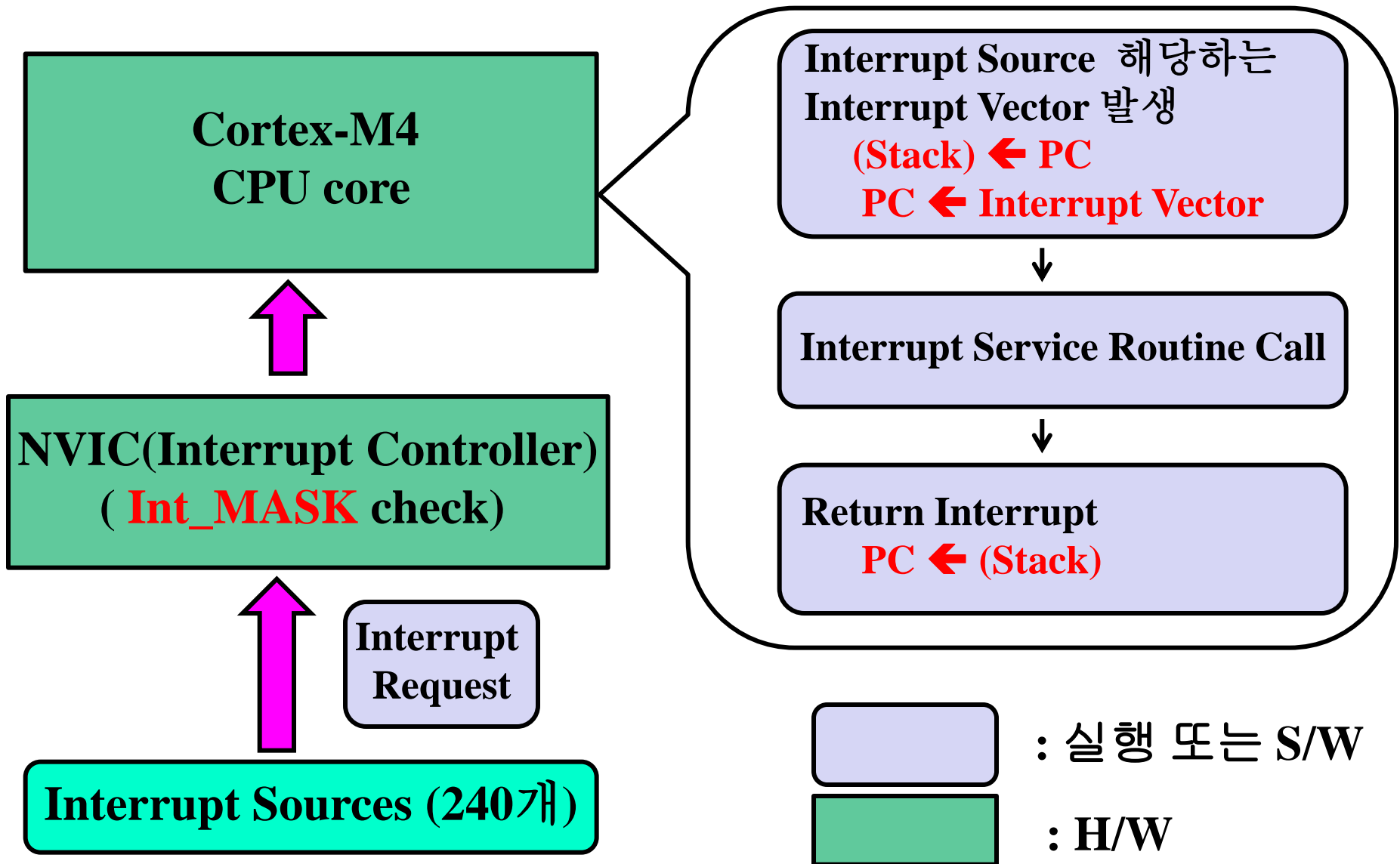
- 이 모드로 부팅할 때는 어플리케이션 초기화 코드(application initialization code)에서 NVIC의 예외 테이블(exception table)과 오프셋(offset) 레지스터를 이용하여 SRAM내에 있는 벡터 테이블을 재배치(relocate)해주는 것이 필요

STM32F407IG Boot mode

➤ 내장 부트 로더 (Embedded boot loader)

- ① 시스템 메모리 내에 있는 프로그램으로, 이를 이용하면 PC에서 사용자가 작성한 프로그램을 플래시 메모리에 다운로드 가능
- ② 내장 부트로더를 이용한 프로그램 다운로드 과정
 - 시스템 메모리 모드를 선택하고 부팅한 후에, PC에서 사용자가 작성한 프로그램을 Cortex-M의 USART1 포트(또는 미리 정해진 다른 시리얼 포트)를 통하여 다운로드 (즉, 플래시 메모리가 재프로그램)
- ③ 사용할 수 있는 시리얼 포트
 - USART1 (PA9/PA10), USART3 (PB10/11 and PC10/ 11), CAN2 (PB5/13), USB OTG FS (PA11/12)
- ④ 내장 부트로더는 칩의 제조시에 시스템 메모리 내에 미리 프로그램되어 공급됨

STM32F407IG Interrupt



(3) 인터럽트의 처리 과정

1. 인터럽트 요청 신호의 검출	CPU는 모든 명령 사이클에 한번씩 또는 모든 머신 사이클에 한번씩 지정된 순간에 인터럽트를 샘플링하여 주변장치의 인터럽트요청을 검출
2. 인터럽트 우선순위 제어 및 허용 여부 판단	CPU가 인터럽트를 허용할 수 있는 조건이 만족되는지를 판단하고 우선순위를 결정하여 인터럽트를 허용
3. 인터럽트 처리루틴의 시작 번지 확인	CPU가 인터럽트를 요청한 주변장치에 대응하는 인터럽트 서비스 루틴의 시작번지를 확인. 시작번지는 벡터테이블에 지정되어 있음.
4. 복귀주소 및 레지스터를 저장	CPU가 나중에 인터럽트 서비스 루틴을 종료하고 되돌아 올 수 있도록 return address (현재의 PC 값)를 stack에 저장하고, 마이크로프로세서에 따라서는 현재의 CPU내의 중요레지스터 값을 자동으로 stack에 저장하는 것도 있음. 또한, 대부분의 경우 하나의 인터럽트가 서비스되고 있는 동안에는 다른 인터럽트가 허용되지 못하도록 일시적으로 인터럽트 금지 상태로 설정.

(3) 인터럽트의 처리 과정(계속)

5. 인터럽트 서비스 루틴을 실행	CPU가 해당 인터럽트 서비스 루틴으로 점프하여 프로그램을 실행. 만약, 현재의 인터럽트 서비스 루틴이 실행되는 동안에 어떤 인터럽트를 허용하도록 하려면 여기서 그 인터럽트 설정을 새로 해주어야 함.
6. 인터럽트 서비스 루틴 종료후 원래의 주프로그래밍으로 복귀	CPU가 인터럽트 서비스 루틴의 실행중에 <code>return</code> 명령을 만나면 <code>stack</code>에서 <code>return address</code>를 되찾아 <code>PC</code>에 로드함으로써 원래의 위치로 되돌아옴. 이때 <code>return address</code>와 함께 레지스터를 저장하는 방식이면 이 레지스터들의 값도 되찾으며, 일시적으로 인터럽트 금지 상태로 설정되었던 것도 원상태로 되돌려 짐.

STM32F407IG Interrupt & Exception

● 인터럽트 벡터 테이블

Position	Priority	Type of priority	Acronym	Description	Address
	-	-	-	Reserved	0x0000 0000
	-3	fixed	Reset	Reset	0x0000 0004
	-2	fixed	NMI	Non maskable interrupt. The RCC Clock Security System (CSS) is linked to the NMI vector.	0x0000 0008
	-1	fixed	HardFault	All class of fault	0x0000 000C
	0	settable	MemManage	Memory management	0x0000 0010
	1	settable	BusFault	Pre-fetch fault, memory access fault	0x0000 0014
	2	settable	UsageFault	Undefined instruction or illegal state	0x0000 0018
	-	-	-	Reserved	0x0000 001C - 0x0000 002B
	3	settable	SVCall	System service call via SWI instruction	0x0000 002C
	4	settable	Debug Monitor	Debug Monitor	0x0000 0030
	-	-	-	Reserved	0x0000 0034
	5	settable	PendSV	Pendable request for system service	0x0000 0038
	6	settable	SysTick	System tick timer	0x0000 003C

STM32F407IG Interrupt & Exception

0	7	settable	WWDG	Window Watchdog interrupt	0x0000 0040
1	8	settable	PVD	PVD through EXTI line detection interrupt	0x0000 0044
2	9	settable	TAMP_STAMP	Tamper and TimeStamp interrupts through the EXTI line	0x0000 0048
3	10	settable	RTC_WKUP	RTC Wakeup interrupt through the EXTI line	0x0000 004C
4	11	settable	FLASH	Flash global interrupt	0x0000 0050
5	12	settable	RCC	RCC global interrupt	0x0000 0054
6	13	settable	EXTI0	EXTI Line0 interrupt	0x0000 0058
7	14	settable	EXTI1	EXTI Line1 interrupt	0x0000 005C
8	15	settable	EXTI2	EXTI Line2 interrupt	0x0000 0060
9	16	settable	EXTI3	EXTI Line3 interrupt	0x0000 0064
10	17	settable	EXTI4	EXTI Line4 interrupt	0x0000 0068
11	18	settable	DMA1_Stream0	DMA1 Stream0 global interrupt	0x0000 006C
12	19	settable	DMA1_Stream1	DMA1 Stream1 global interrupt	0x0000 0070
13	20	settable	DMA1_Stream2	DMA1 Stream2 global interrupt	0x0000 0074
14	21	settable	DMA1_Stream3	DMA1 Stream3 global interrupt	0x0000 0078
15	22	settable	DMA1_Stream4	DMA1 Stream4 global interrupt	0x0000 007C

STM32F407IG Interrupt & Exception

Position	Priority	Type of priority	Acronym	Description	Address
16	23	settable	DMA1_Stream5	DMA1 Stream5 global interrupt	0x0000 0080
17	24	settable	DMA1_Stream6	DMA1 Stream6 global interrupt	0x0000 0084
18	25	settable	ADC	ADC1, ADC2 and ADC3 global interrupts	0x0000 0088
19	26	settable	CAN1_TX	CAN1 TX interrupts	0x0000 008C
20	27	settable	CAN1_RX0	CAN1 RX0 interrupts	0x0000 0090
21	28	settable	CAN1_RX1	CAN1 RX1 interrupt	0x0000 0094
22	29	settable	CAN1_SCE	CAN1 SCE interrupt	0x0000 0098
23	30	settable	EXTI9_5	EXTI Line[9:5] interrupts	0x0000 009C
24	31	settable	TIM1_BRK_TIM9	TIM1 Break interrupt and TIM9 global interrupt	0x0000 00A0
25	32	settable	TIM1_UP_TIM10	TIM1 Update interrupt and TIM10 global interrupt	0x0000 00A4
26	33	settable	TIM1_TRG_COM_TIM11	TIM1 Trigger and Commutation interrupts and TIM11 global interrupt	0x0000 00A8
27	34	settable	TIM1_CC	TIM1 Capture Compare interrupt	0x0000 00AC
28	35	settable	TIM2	TIM2 global interrupt	0x0000 00B0

STM32F407IG Interrupt & Exception

29	36	settable	TIM3	TIM3 global interrupt	0x0000 00B4
30	37	settable	TIM4	TIM4 global interrupt	0x0000 00B8
31	38	settable	I2C1_EV	I ² C1 event interrupt	0x0000 00BC
32	39	settable	I2C1_ER	I ² C1 error interrupt	0x0000 00C0
33	40	settable	I2C2_EV	I ² C2 event interrupt	0x0000 00C4
34	41	settable	I2C2_ER	I ² C2 error interrupt	0x0000 00C8
35	42	settable	SPI1	SPI1 global interrupt	0x0000 00CC
36	43	settable	SPI2	SPI2 global interrupt	0x0000 00D0
37	44	settable	USART1	USART1 global interrupt	0x0000 00D4
38	45	settable	USART2	USART2 global interrupt	0x0000 00D8
39	46	settable	USART3	USART3 global interrupt	0x0000 00DC
40	47	settable	EXTI15_10	EXTI Line[15:10] interrupts	0x0000 00E0
41	48	settable	RTC_Alarm	RTC Alarms (A and B) through EXTI line interrupt	0x0000 00E4
42	49	settable	OTG_FS WKUP	USB On-The-Go FS Wakeup through EXTI line interrupt	0x0000 00E8
43	50	settable	TIM8_BRK_TIM12	TIM8 Break interrupt and TIM12 global interrupt	0x0000 00EC

STM32F407IG Interrupt & Exception

Position	Priority	Type of priority	Acronym	Description	Address
44	51	settable	TIM8_UP_TIM13	TIM8 Update interrupt and TIM13 global interrupt	0x0000 00F0
45	52	settable	TIM8_TRG_COM_TIM14	TIM8 Trigger and Commutation interrupts and TIM14 global interrupt	0x0000 00F4
46	53	settable	TIM8_CC	TIM8 Capture Compare interrupt	0x0000 00F8
47	54	settable	DMA1_Stream7	DMA1 Stream7 global interrupt	0x0000 00FC
48	55	settable	FSMC	FSMC global interrupt	0x0000 0100
49	56	settable	SDIO	SDIO global interrupt	0x0000 0104
50	57	settable	TIM5	TIM5 global interrupt	0x0000 0108
51	58	settable	SPI3	SPI3 global interrupt	0x0000 010C
52	59	settable	UART4	UART4 global interrupt	0x0000 0110
53	60	settable	UART5	UART5 global interrupt	0x0000 0114
54	61	settable	TIM6_DAC	TIM6 global interrupt, DAC1 and DAC2 underrun error interrupts	0x0000 0118
55	62	settable	TIM7	TIM7 global interrupt	0x0000 011C
56	63	settable	DMA2_Stream0	DMA2 Stream0 global interrupt	0x0000 0120

STM32F407IG Interrupt & Exception

57	64	settable	DMA2_Stream1	DMA2 Stream1 global interrupt	0x0000 0124
58	65	settable	DMA2_Stream2	DMA2 Stream2 global interrupt	0x0000 0128
59	66	settable	DMA2_Stream3	DMA2 Stream3 global interrupt	0x0000 012C
60	67	settable	DMA2_Stream4	DMA2 Stream4 global interrupt	0x0000 0130
61	68	settable	ETH	Ethernet global interrupt	0x0000 0134
62	69	settable	ETH_WKUP	Ethernet Wakeup through EXTI line interrupt	0x0000 0138
63	70	settable	CAN2_TX	CAN2 TX interrupts	0x0000 013C
64	71	settable	CAN2_RX0	CAN2 RX0 interrupts	0x0000 0140
65	72	settable	CAN2_RX1	CAN2 RX1 interrupt	0x0000 0144
66	73	settable	CAN2_SCE	CAN2 SCE interrupt	0x0000 0148
67	74	settable	OTG_FS	USB On The Go FS global interrupt	0x0000 014C
68	75	settable	DMA2_Stream5	DMA2 Stream5 global interrupt	0x0000 0150
69	76	settable	DMA2_Stream6	DMA2 Stream6 global interrupt	0x0000 0154
70	77	settable	DMA2_Stream7	DMA2 Stream7 global interrupt	0x0000 0158
71	78	settable	USART6	USART6 global interrupt	0x0000 015C
72	79	settable	I2C3_EV	I ² C3 event interrupt	0x0000 0160
73	80	settable	I2C3_ER	I ² C3 error interrupt	0x0000 0164

STM32F407IG Interrupt & Exception

Position	Priority	Type of priority	Acronym	Description	Address
74	81	settable	OTG_HS_EP1_OUT	USB On The Go HS End Point 1 Out global interrupt	0x0000 0168
75	82	settable	OTG_HS_EP1_IN	USB On The Go HS End Point 1 In global interrupt	0x0000 016C
76	83	settable	OTG_HS_WKUP	USB On The Go HS Wakeup through EXTI interrupt	0x0000 0170
77	84	settable	OTG_HS	USB On The Go HS global interrupt	0x0000 0174
78	85	settable	DCMI	DCMI global interrupt	0x0000 0178
79	86	settable	CRYP	CRYP crypto global interrupt	0x0000 017C
80	87	settable	HASH_RNG	Hash and Rng global interrupt	0x0000 0180
81	88	settable	FPU	FPU global interrupt	0x0000 0184

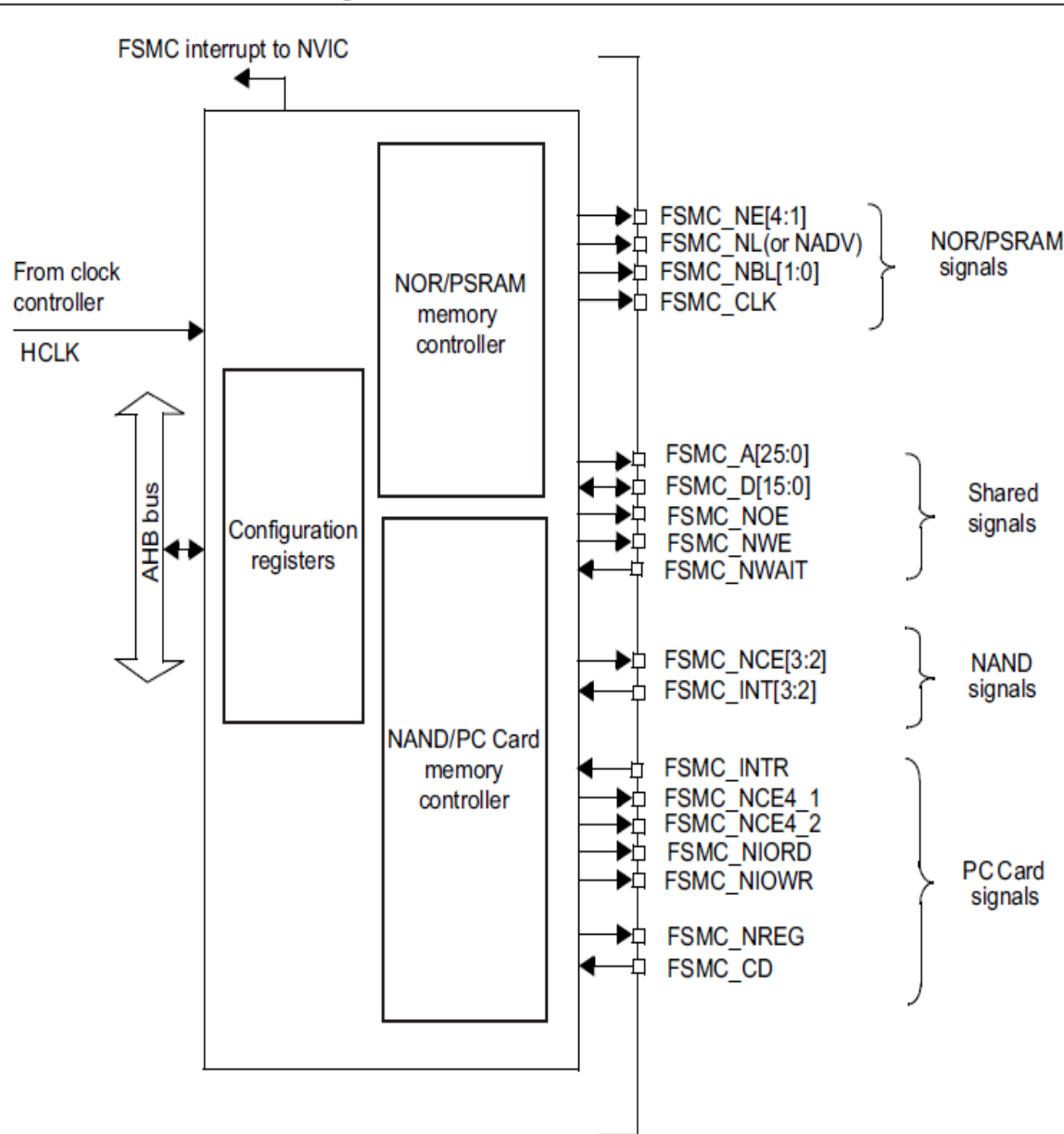
STM32F407IG Interrupt & Exception

●NVIC (Nested Vectored Interrupt Controller)

- STM32F4 시리즈의 모든 시스템 예외와 외부 인터럽트는 NVIC에서 처리
- NVIC는 구조적으로 Cortex-M4 프로세서와 밀접하게 상호 연결되어 있으므로 빠르고 효율적인 인터럽트의 처리가 가능
- STM32F40x의 NVIC의 특징
 - 82개의 마스크 가능한(maskable) 인터럽트 채널
 - Cortex-M4 프로세서로부터 입력되는 16개의 인터럽트 채널
 - 16 단계의 우선순위 설정이 가능 (인터럽트의 우선순위 설정에는 4비트를 이용함)
 - 빠른 인터럽트 처리 시간
- STM32F의 NVIC는 시리즈에 따라, 모델에 따라 지원하는 인터럽트 채널의 개수가 차이가 날뿐, 기본적인 특징이나 동작은 기본적으로 동일

STM32F407 FSMC(Flexible static Memory Controller)

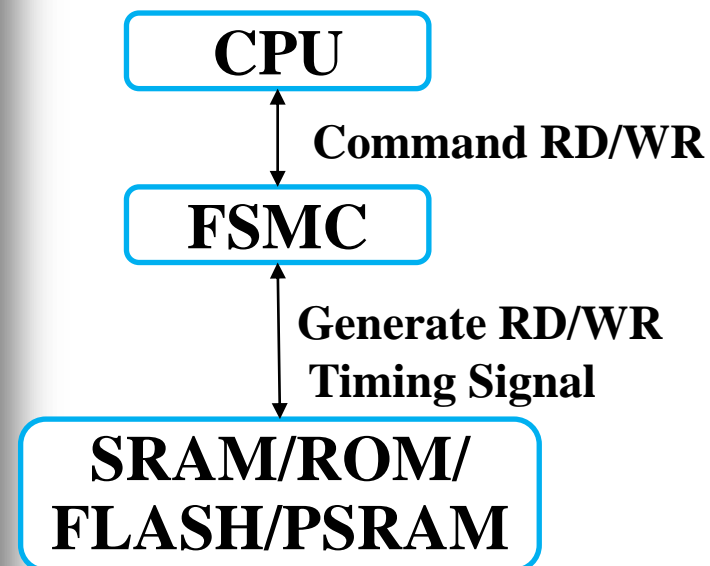
FSMC block diagram



Supported Memory Type

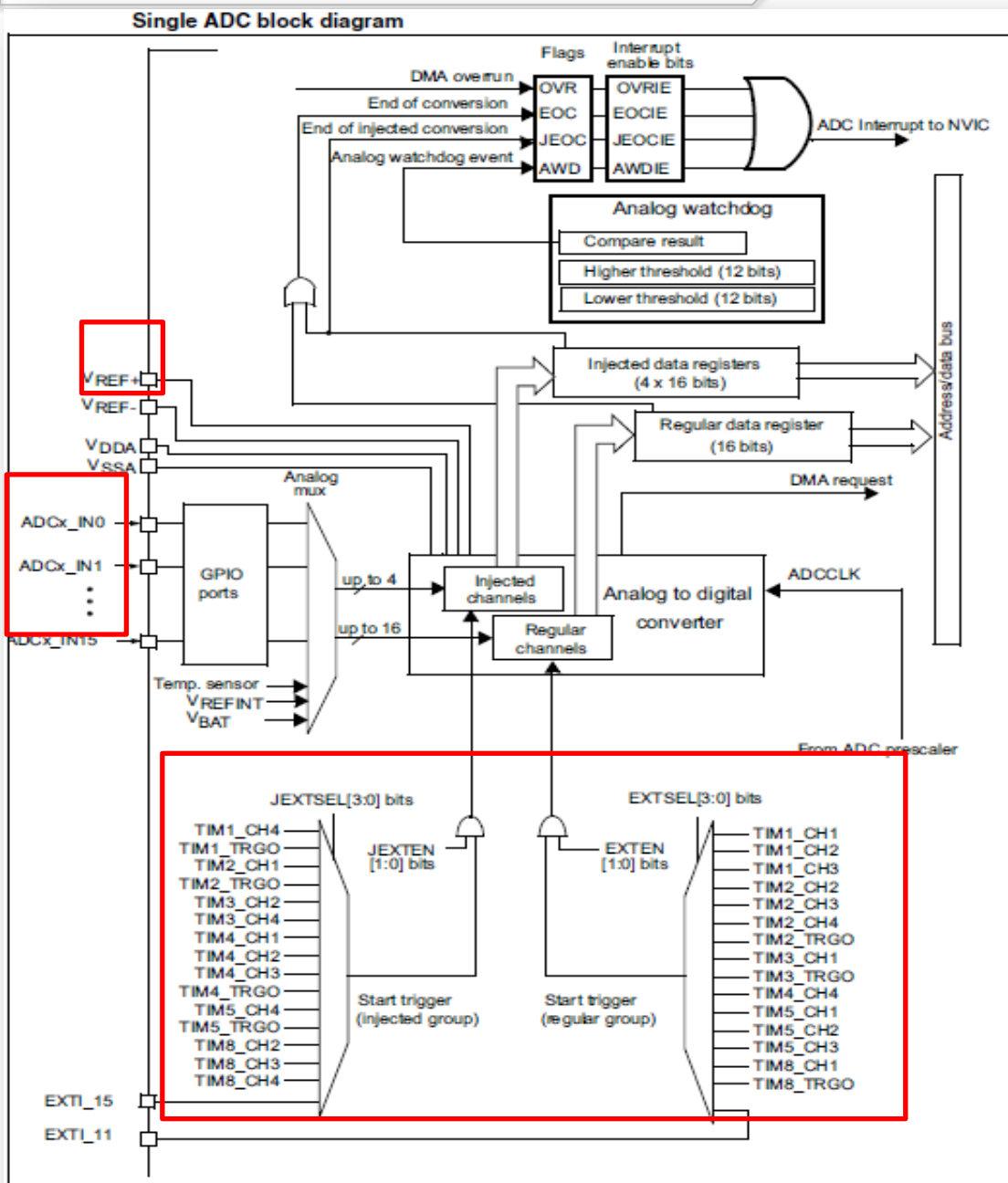
- SRAM
- ROM
- NOR/NAND Flash
- PSRAM(Pseudo SRAM)
- LCD Parallel Interface

Memory Access Structure



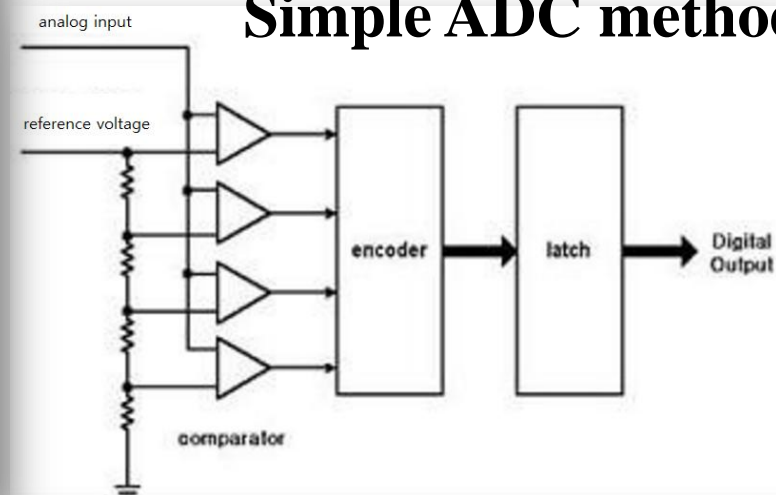
*PSRAM : SRAM의 접근 방식과 DRAM의 메모리 셀 구조를 채용한 메모리

STM32F407 A/D Converter



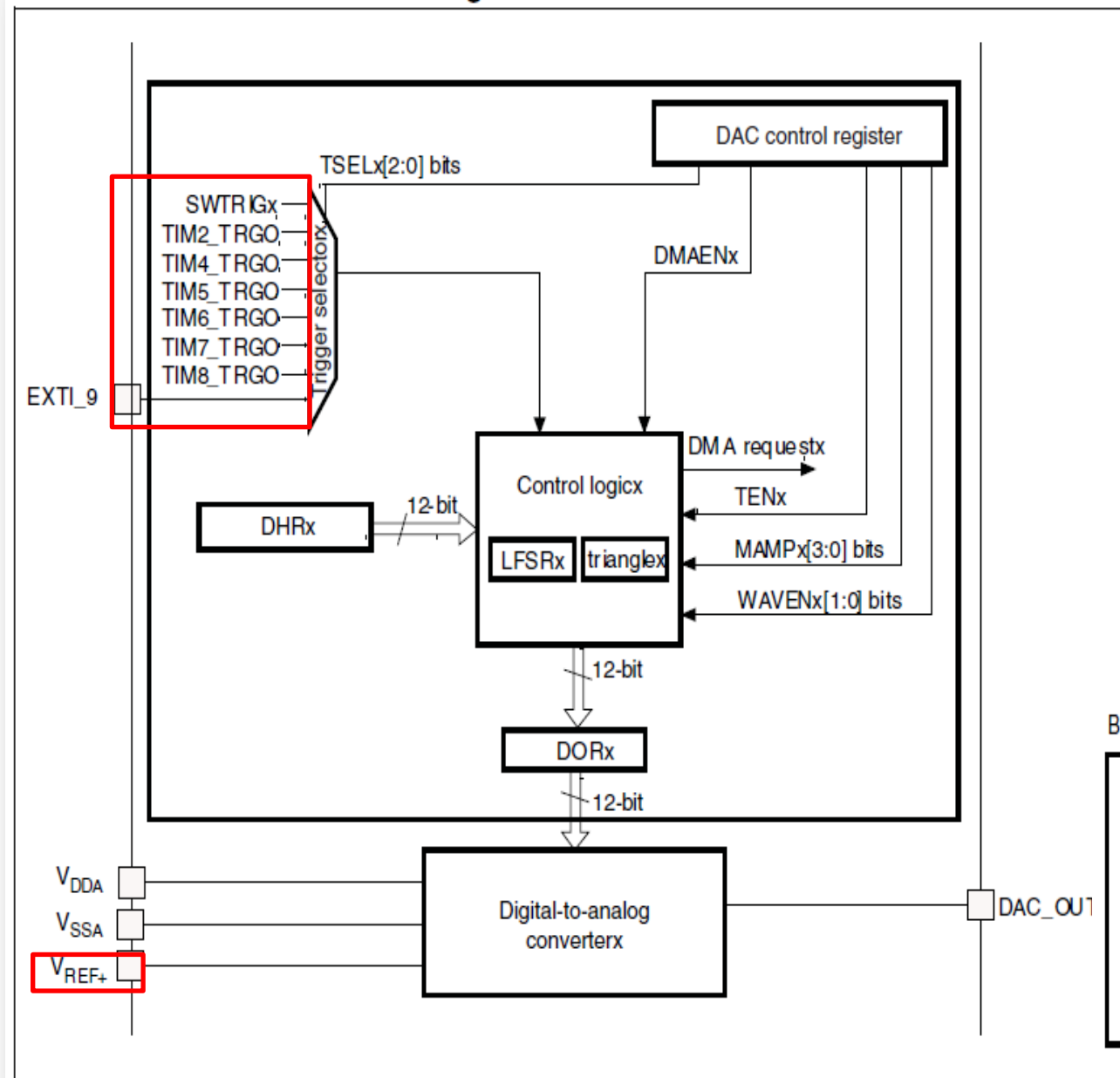
- 12bit ADC
- Conversion time up to 6 Msps(Interleave Triple ADC mode를 사용할 경우)
- DMA 설정 가능
- Input Voltage Range = 0 ~ 3.3V

Simple ADC method



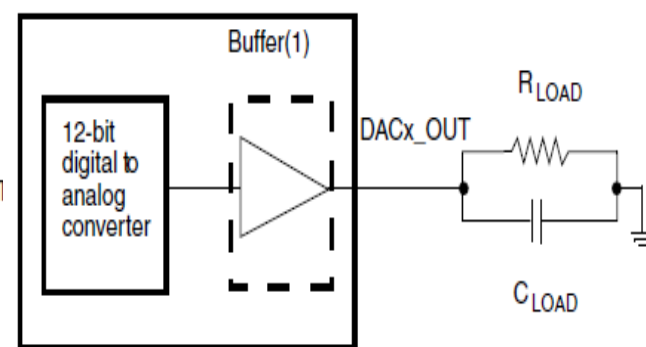
STM32F407 D/A Converter

DAC channel block diagram



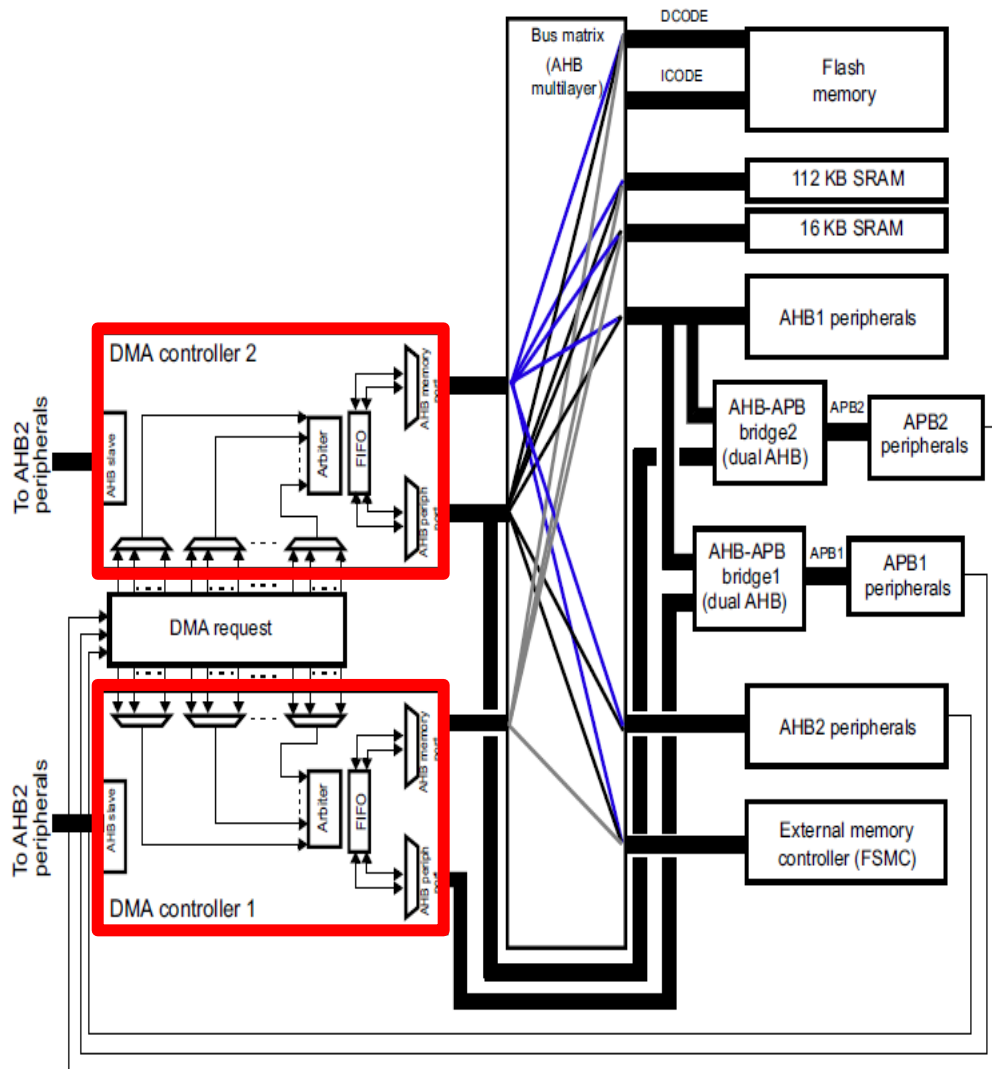
- 12bit DAC
- DMA 설정 가능
- Input Voltage Range = 0 ~ 3.3V
- Embedded Output Buffer
- Max Update Rate = 1Ms/s

Buffered/Non-buffered DAC



STM32F407 DMA(Direct memory access) Controller

System implementation of the two DMA controllers
(STM32F405xx/07xx and STM32F415xx/17xx)

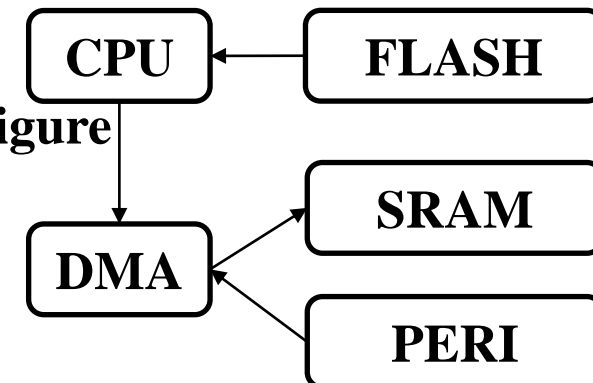


CPU를 사용 하지 않고 데이 터를 옮겨 주는 역할, CPU의 부하를 줄여준다.

Operating Sequence Of DMA

2. Execute program

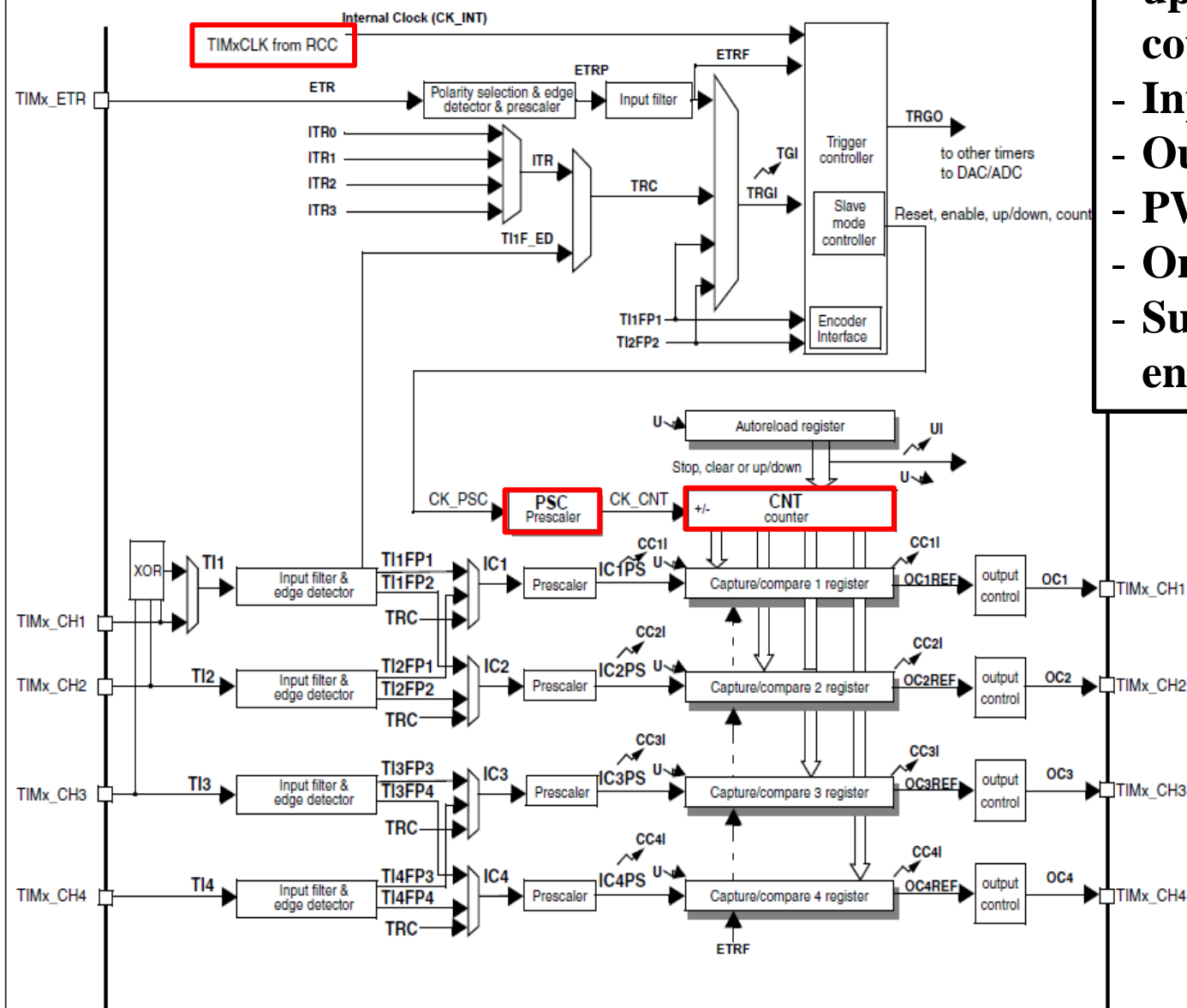
1. Configure DMA



2. Move data from Peripheral to SRAM

STM32F407 Timer

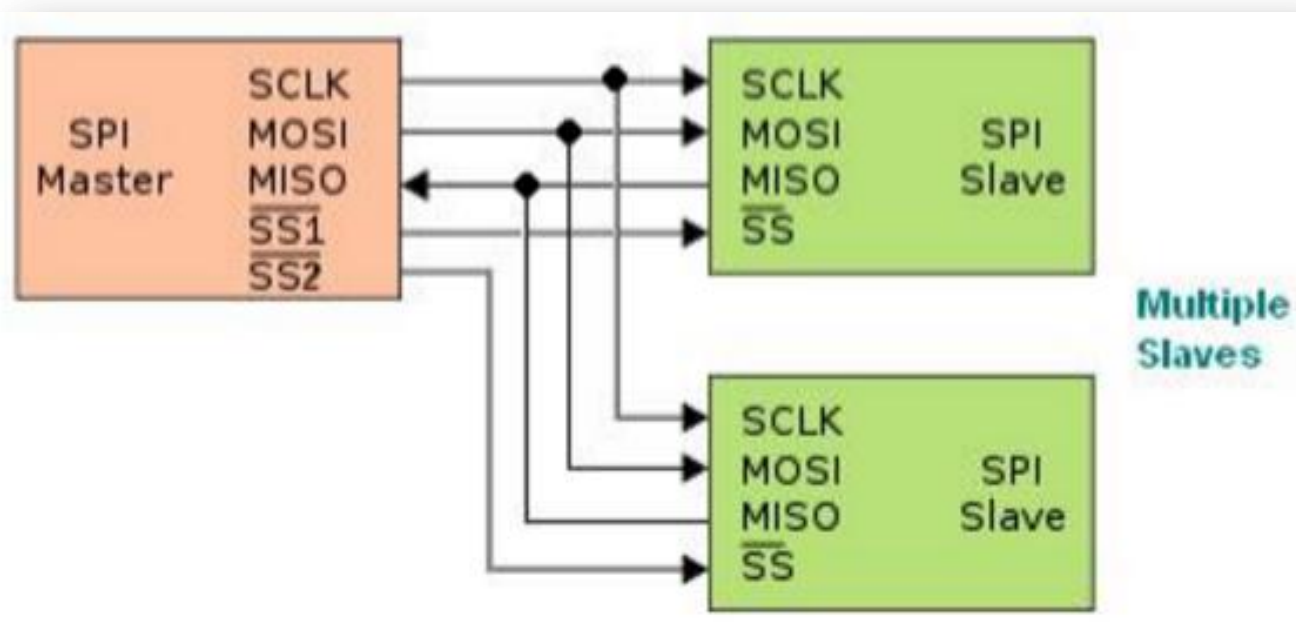
General-purpose timer block diagram



Timer Main Features

- 16bit or 32bit up, down, up/down auto reload counter
- Input Capture
- Output Compare
- PWM generation
- One-pulse mode
- Supports Incremental encoder

STM32F407 SPI(Serial Peripheral Interface)



Signal Name	Alternative Names	설명
SCLK	SCK, CLK	Serial Clock
MOSI	SDI, DI, SI	Master Output Slave Input
MISO	SDO, DO, SO	Slave Output Master Input
SS	nCS, CS, nSS, STE, CE	Slave Select, Chip Enable

SPI Features

- 시리얼 하드웨어 프로토콜의 한 종류
- 동시 양방향 통신 가능
- 주로 센서나 메모리 인터페이스에 사용
- MAX 42MHz로 데이터 전송 가능

STM32F407 based Micro-Computer(실습키트 구조)

