

Lab 1

學號: 109000205

姓名: 蕭皓隆

1. 實作過程

1-1 :

使用 always block 來讓 dir 改變時可以判斷要將 a 左 shift 或右 shift 幾個 bit。

```
1  `timescale 1ns/100ps
2
3  module lab1_1 (a, b, dir, d);
4      input [3:0] a;
5      input [1:0] b;
6      input dir;
7      output reg [3:0] d;
8
9      always @(*) begin
10         if(dir == 0) begin
11             d = a << b;
12         end
13         else
14             d = a >> b;
15         end
16     end
17 endmodule
```

1-2 :

先 instantiate module lab1_1 並另外宣告 wire OUT 將 module lab1_1 的 output 接出來。接著由判斷 aluctr 來決定需要做的運算，若為 shift 的話則將 module lab1_1 的 output 利用 wire OUT 接至 module lab1_2 的 output d；若為加減法運算則直接將結果給 output d。

```
1  `timescale 1ns/100ps
2
3  module lab1_2 (a, b, aluctr, d);
4      input [3:0] a;
5      input [1:0] b;
6      input [1:0] aluctr;
7      output reg [3:0] d;
8      wire [3:0] OUT;
9
10     lab1_1 c(.a(a), .b(b), .dir(aluctr), .d(OUT));
11
12     always @(*) begin
13         if(aluctr == 2'b00)
14             d = OUT;
15         else if(aluctr == 2'b01)
16             d = OUT;
17         else if(aluctr == 2'b10)
18             d = a + b;
19         else
20             d = a - b;
21     end
22
23 endmodule
```

2. 學到的東西與遇到的困難

學到的東西：了解到 `instantiate` 的方法，以及複習上學期邏輯設計所學到的一點 `verilog` 語法，也學到了 `wire` 和 `reg` 的不同以及使用時機。

遇到的困難：`debug` 過程中思維邏輯較難想像，容易被之前所學的軟體語言侷限。

3. 想對老師或助教說的話

謝謝教授以及助教們這麼努力回答同學的問題，連深夜發問都能得到回應，很感動。