

Lab 3

學號: 109000205

姓名: 蕭皓隆

1. 實作過程

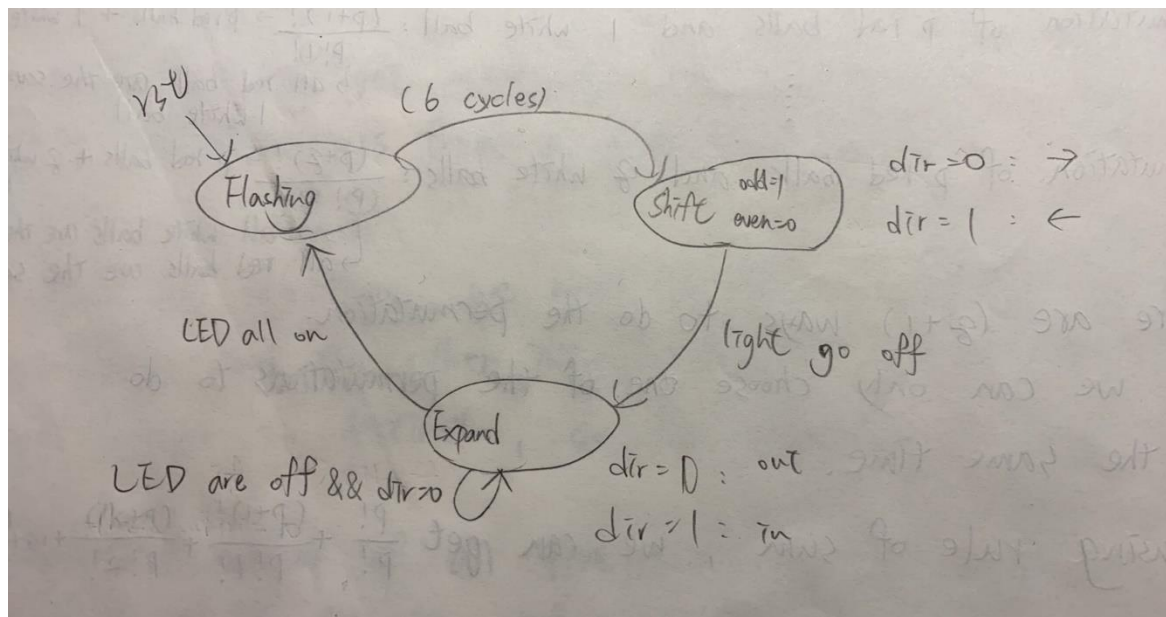
3-1 :

利用 always block 控制 rst 以及 LED 閃爍的速度，利用 speed 判斷要使用 CLK_OUT_24 或 CLK_OUT_27，宣告 reg led_now 並 assign 給 output led，利用 led_next 表示下個 clk 的 led 狀態，判斷 en 為 0 或 1 決定要不要閃爍

```
module lab3_1(  
    input clk,  
    input rst,  
    input en,  
    input speed,  
    output [15:0] led  
);  
  
    wire CLK_OUT_27, CLK_OUT_24, clk_div;  
    clock_divider #(.n(27)) a(.clk(clk), .clk_div(CLK_OUT_27));  
    clock_divider #(.n(24)) b(.clk(clk), .clk_div(CLK_OUT_24));  
  
    wire [15:0] led_next;  
    reg [15:0] led_now;  
  
    assign clk_div = (speed ? CLK_OUT_27 : CLK_OUT_24);  
  
    always @(posedge clk_div, posedge rst) begin  
        if(rst) begin  
            led_now = 16'b1111_1111_1111_1111;  
        end  
        else begin  
            led_now = led_next;  
        end  
    end  
  
    assign led = led_now;  
    assign led_next = en ? !led_now : led_now;  
  
endmodule
```

3-2 :

設計簡圖：



利用 finite state machine 實作，主體有兩個 always block，第一個為判斷是否有 rst 訊號進來，若有的話則回復到 flashing mode 及歸零其他相關參數，沒有的話則讓參數持續更新；第二個 always block 則是先判斷是否 en 是否為 0，若為 0 的話則不進行動作，若為 1 的話則利用 case 來決定 3 個 state(flash, shift, expand)需要做的事。

2. 學到的東西與遇到的困難

學到的東西：學到硬體實務的經驗，了解到 FPGA 板子的細節，自己做出成果蠻有成就感的。

遇到的困難：硬體較難 Debug，且修改完也須重跑才能看出結果，碰壁的時候很挫折。

3. 想對老師或助教說的話

謝謝老師跟助教的用心付出！順便和助教分享我的 BMW

當我覺得心情煩躁的時候，就喜歡開著BMW吹吹風

