강의계획서 (SYLLABUS)

1. 과목개요

강좌명 (Course Title)	디지털시스템입문	담당교수 (Instructor)	신동화	동영상강의 계획서	없음
년도 (Year)	2025학년도	학기 (Semester)	2학기	과목코드 (Course No.)	2150686901
분반 (Class)	01	수강대상학과 (Open to)	2학년 AI융합학부	이수구분 (Course Classification)	전필-AI융합
학점/주당시간	3.0 (0) / 3	성적스케일	점수 100기준 입력	성적평가방식	상대평가
교과목유형	이론	강의언어		상담 신청 방법	Office Hour
교수실 (Office)	051301	연락처 (Telephone)	02-820-0638	이메일 (e-mail)	donghwashin@ssu.ac.kr
강좌형식	이론	수업유형		동영상 제작년도	
공학인증 교과목 관련 항목	교과영역(*) (ABEEK Classification)		인증구분(*) (ABEEK Requirement)		
필수 선수과목					
권장 선수과목					
교과목 개요 (Course Description)	기초적인 디지털 논리 게이트 및 논리 소자의 구성과 동작 원리, 조합 논리 회로 및 순차 논리 회로의 해석 방법 및 하드웨어 설계 언어를 이용한 디지털 회로 설계 방법을 학습한다.				

교육목표	전공특화역량
디지털 시스템 구조 이해 및 설계 실습	시스템 HW/SW 개발 역량 응용 소프트웨어 역량

평가항목	각 항목별 만점(최대 100점)	반영비율(합계 100%)
총점	100	100

주요교재 및 참고자료 (Required Texts)	주교재	
	참고교재(대표)	*참고교재/Digital Design/F. Vahid/Wiley/2011/2nd ed. *참고교재/디지털 논리 설계와 컴퓨터 구조/저 : 데이비드 머니 해리스, 사라 L. 해리스/카오스북/2016/2판
학습준비사항		
수강학생 유의 및 참고사항		

2. 주차별 강의개요

주 (Week)	핵심어 (Keyword)	세부내용 (Description)	교수방법	교재범위 (Texts)
01	디지털 논리 게이트, 부울대수, 진리표	·디지털 회로 설계 과정 이해 ·기본 디지털 논리 게이트 동작 이해 ·디지털논리게이트/부울대수/진리표에 의한 디지털 회로 기술 방법 소개	강의, 토론	

강의계획서 (SYLLABUS)

02	Verilog HDL, VIVADO	·Verilog HDL 소개 및 초보 문법 이해 ·Verilog HDL 에 의한 디지털 회로 기술 ·VIVADO에서의 Verilog HDL 사용 방법	강의, 토론	
03	부울함수, 조합 회로 설계	·부울대수 이해 ·부울대수/진리표에 기반한 부울함수(조합회로) 표현 ·조합 회로 설계 과정 이해 ·추가적 디지털 논리 게이트	강의, 토론	
04	Verilog HDL 기반 조합회로 기술, Testbench, 조합회로 시뮬레이션	·조합 회로 예; 디코더/인코더, 먹스/디먹스 ·Schematic/Verilog HDL 기반 조합회로 기술 ·Testbench 작성 및 조합회로 시뮬레이션	강의, 토론, 실험,실습,실기	
05	조합회로 최적화	·대수적 방법을 이용한 2단계 조합회로 최적화 ·K-Map를 이용한 2단계 조합회로 최적화 ·2단계 조합회로 자동 최적화	강의, 토론	
06	플립플롭, 레지스터	·1비트 정보 저장 디지털 회로, D Flip-Flop 동작 이해 ·Clocks 및 순차회로 ·기본 레지스터 동작 이해	강의, 토론	
07	Finite State Machines	·FSM(Finite State Machine) 이해 ·FSM에 의한 순차회로 기술 방법	강의, 토론, 시험	
08	Controller	·Controller 설계 과정 이해 ·Controller 설계 과정에 의한 Controller (순차회로) 설계 예 학습	강의, 토론	
09	순차회로 시뮬레이션	·Verilog HDL 에 의한 순차회로 기술 및 시뮬레이션	강의, 토론, 실험,실습,실기	
10	Datapath	·Datpath Components 소개 ·Registers, Adders, Comparators, Multiplier, Subtractor	강의, 토론	
11	ALU, Counters, Timers	·ALU, Shiters, Counters , Timers, Register files	강의, 토론	
12	Datapath 시뮬레이션	·Verilog HDL 에 의한 Datapath 기술 및 시뮬레이션	강의, 토론, 실험,실습,실기	
13	RTL(Register-Transfer Level) Design 과정	·High-Level State Machine 에 의한 디지털 회로 동작 기술 ·RTL(Register-Transfer Level) Design 과정	강의, 토론, 실험,실습,실기	
14	Behavioral-Level Design	·Behavioral-Level Design ·Memory Components 이해 ·Hierarchy 기반 설계 방법 이해	강의, 토론, 실험,실습,실기	
15	RTL Design	·Verilog HDL 에 의한 RTL Design	강의, 토론, 실험,실습,실기	

강의계획서 (SYLLABUS)

[장애학생을 위한 강의 지원 안내 내용]

※숭실대학교 학칙 제65조의 2에 의거하여, 장애학생은 학기 시작 전후에 교과목 담당교수와의 면담을 통해 출석, 강의, 과제 및 평가에 관한 지원 사항을 요청할 수 있으며, 요청한 사항은 담당교수 또는 장애학생지원센터를 통해 지원받을 수 있습니다. 강의, 과제 및 평가 시, 가능한 장애유형별 지원의 예는 아래와 같습니다. 단, 실제 지원 내용은 강의 특성에 따라 달라질 수 있습니다.

[강의]

— 시각장애: 강의자료 제공, 대필 도우미 허용, 강의녹취 허용
— 지체장애: 강의자료 제공, 대필 및 수업보조 도우미 허용, 지정좌석 배정, 강의녹취 허용
— 청각장애: 강의자료 제공, 대필/수화통역 도우미 허용
— 지적장애/자폐성장애: 강의자료 제공, 대필도우미 및 수업보조 도우미 허용

[과제 및 평가]

— 시각장애/지체장애/청각장애: 과제 제출기한 연장, 과제 및 제출방식 조정, 시험시간 연장, 시험문항 및 응답 방식 조정, 별도 장소 제공, 대필도우미 연계 등
— 지적장애/자폐성장애: 개별 과제 및 대체 평가 실시 고려

※기타 지원이 필요한 경우 개강 전 담당 교수 또는 장애학생지원센터(02-820-0060)에 문의

강의계획서 (SYLLABUS)

3. 설계교육계획서(공학인증)

교과목명			담당교수	
학점(설계학점)				
설계주제				
설계 구성요소	문제정의			
	개념설계			
	설계구현			
	평가/피드백			
현실적 제한조건	경제성/생산성			
	사회윤리			
	심미성/사용성			
	안전/환경			
설계 운영요소	Open-ended problem			
	Teamwork			
	Communication skills			