

William Stallings

Arquitetura e Organização de Computadores

8ª Edição

Capítulo 7

Entrada/saída



Problemas de entrada/saída

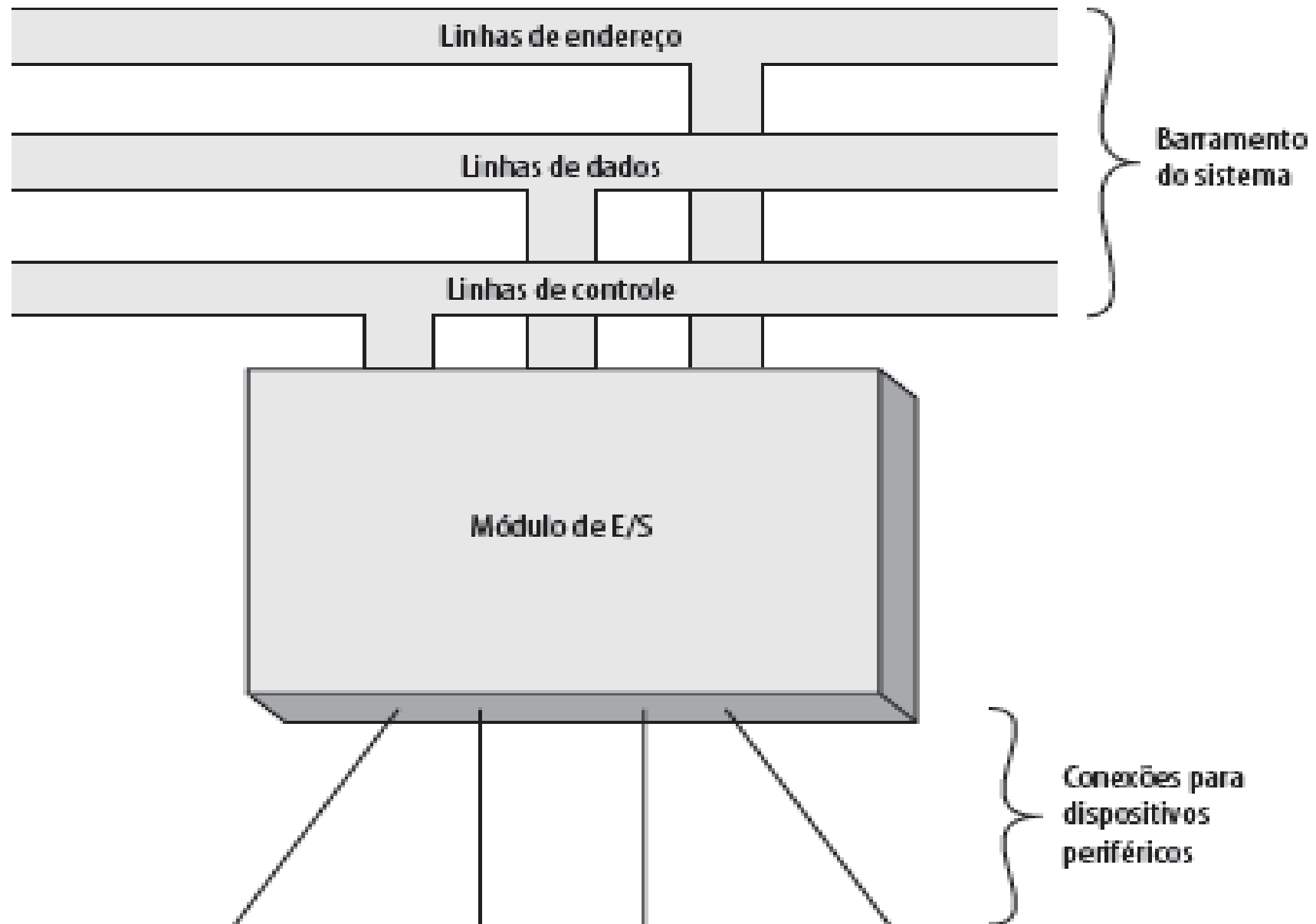
- Grande variedade de periféricos:
 - Entregando diferentes quantidades de dados.
 - Em velocidades diferentes (maior ou menor).
 - Em formatos diferentes.
- Em geral mais lentos que CPU e RAM.
- Daí a necessidade de módulos de E/S.

Módulo de entrada/saída

- Interface com CPU e memória.
- Interface com um ou mais periféricos.

Modelo genérico de módulo de E/S

WILLIAM STALLINGS
ARQUITETURA E ORGANIZAÇÃO
DE COMPUTADORES



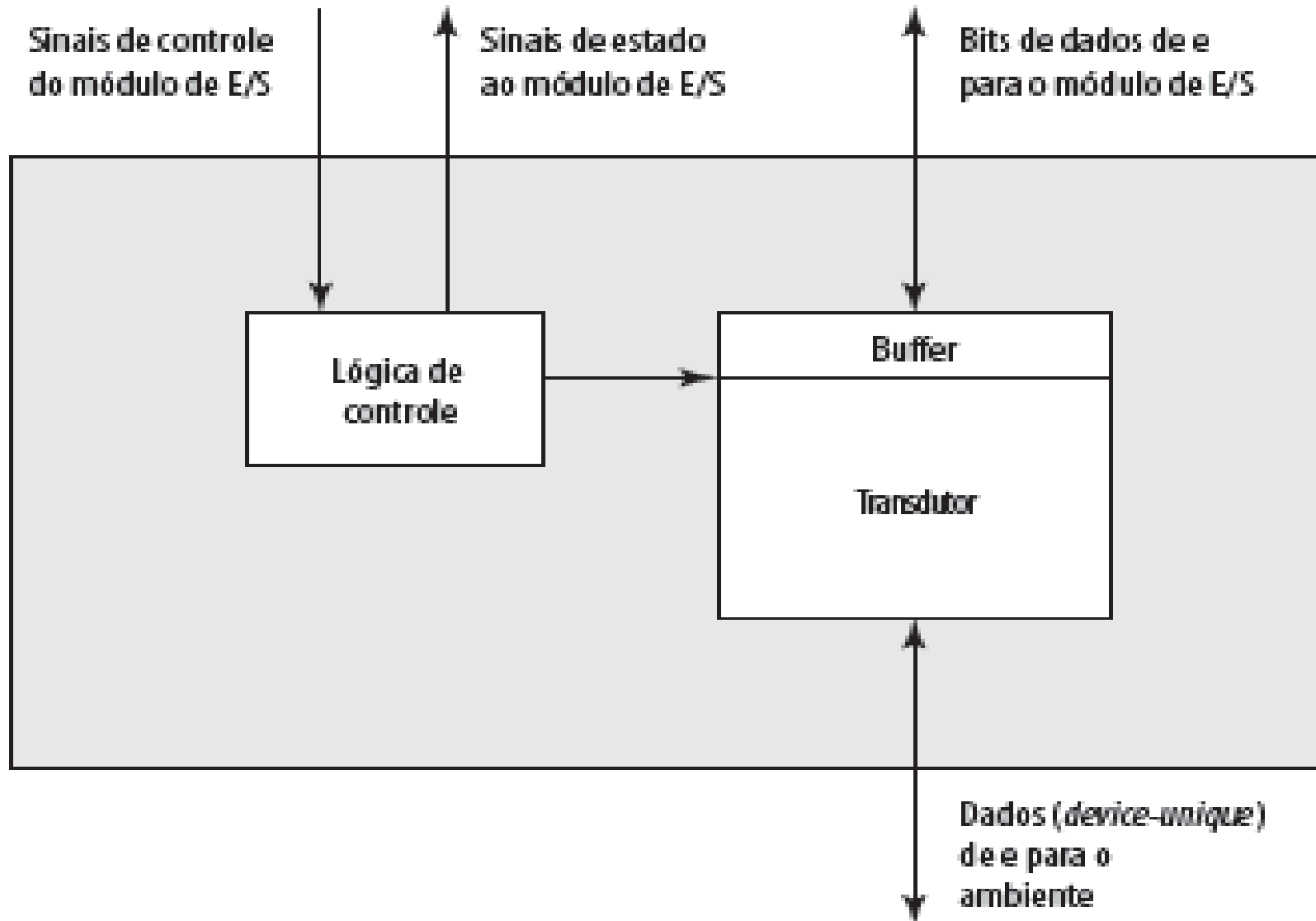
Dispositivos externos

- Legíveis ao ser humano:
 - Monitor, impressora, teclado.
- Legíveis à máquina:
 - Monitoração e controle.
- Comunicação:
 - Modem.
 - Placa de interface de rede (NIC).

Diagrama em blocos de um dispositivo externo

WILLIAM STALLINGS

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



Função do módulo de E/S

- Controle e temporização.
- Comunicação com a CPU.
- Comunicação com os dispositivos.
- Buffering de dados.
- Detecção de erro.

Etapas da E/S

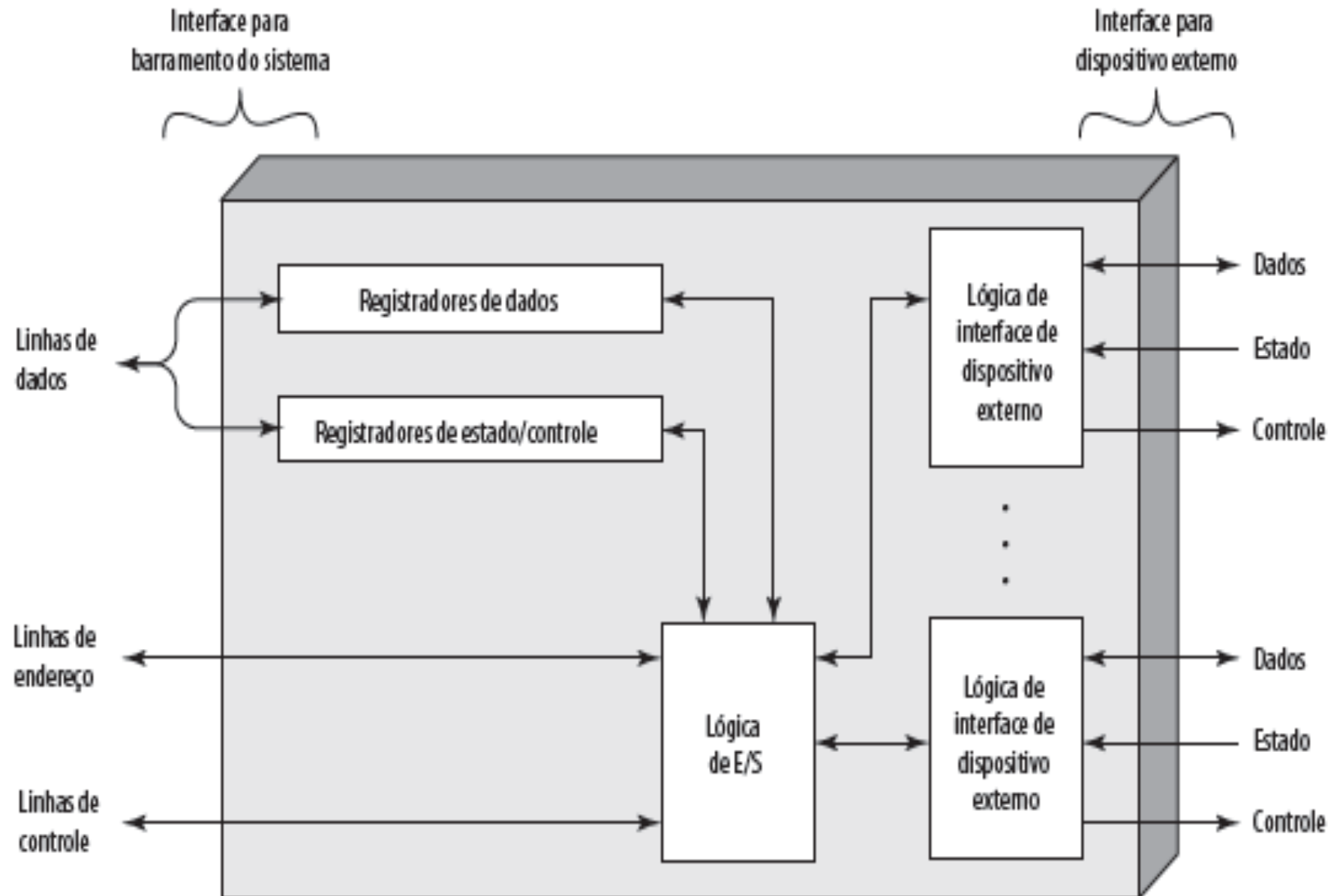
- CPU verifica estado do dispositivo do módulo de E/S.
- Módulo de E/S retorna o estado.
- Se estiver pronto, CPU solicita transferência de dados.
- Módulo de E/S recebe dados do dispositivo.
- Módulo de E/S transfere dados à CPU.
- Variações para saída, DMA etc.

Comunicação do módulo de E/S com o processador

- Decodificação de comandos
 - Ex: READ SECTOR, WRITE SECTOR, SEEK (trilha)
- Troca de dados
- Informação de estado
 - Ex: BUSY, READY, ERROR
- Reconhecimento de Endereço

Diagrama do módulo de E/S

WILLIAM STALLINGS
ARQUITETURA E ORGANIZAÇÃO
DE COMPUTADORES

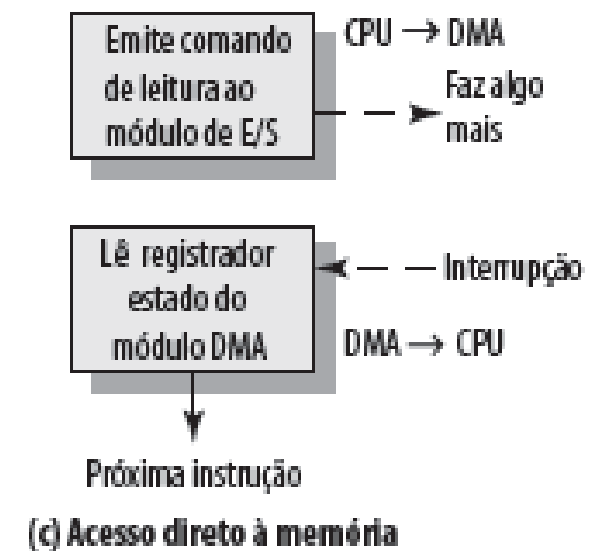
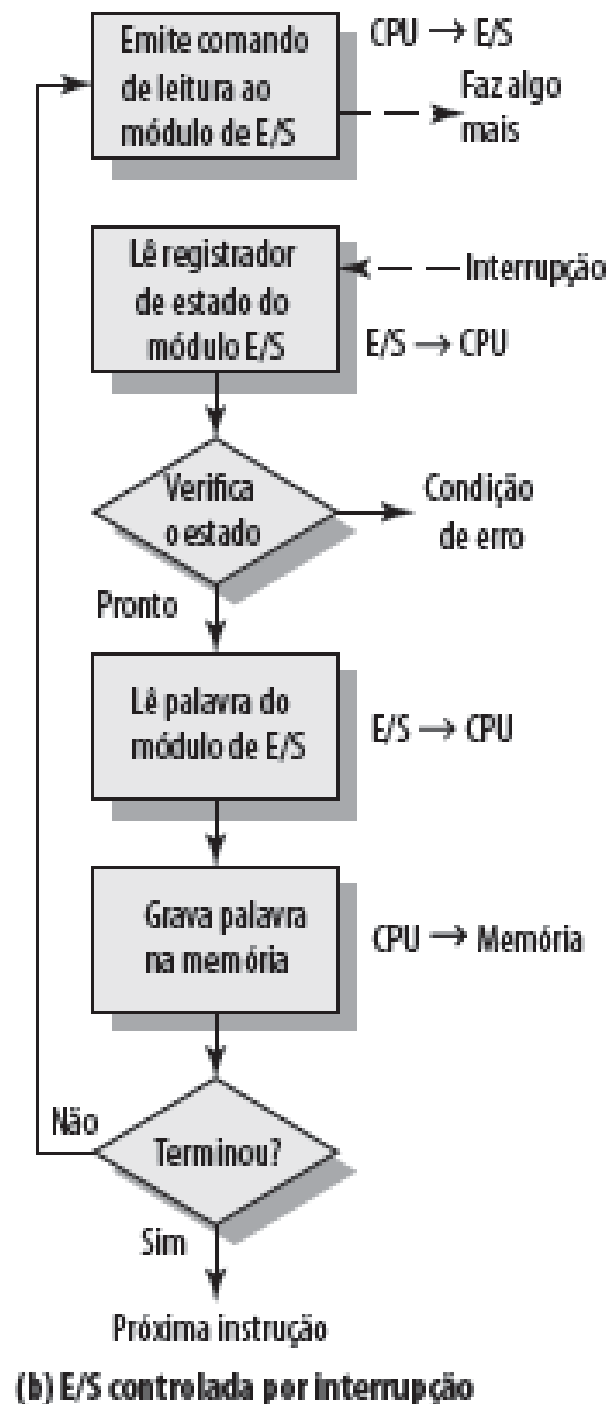
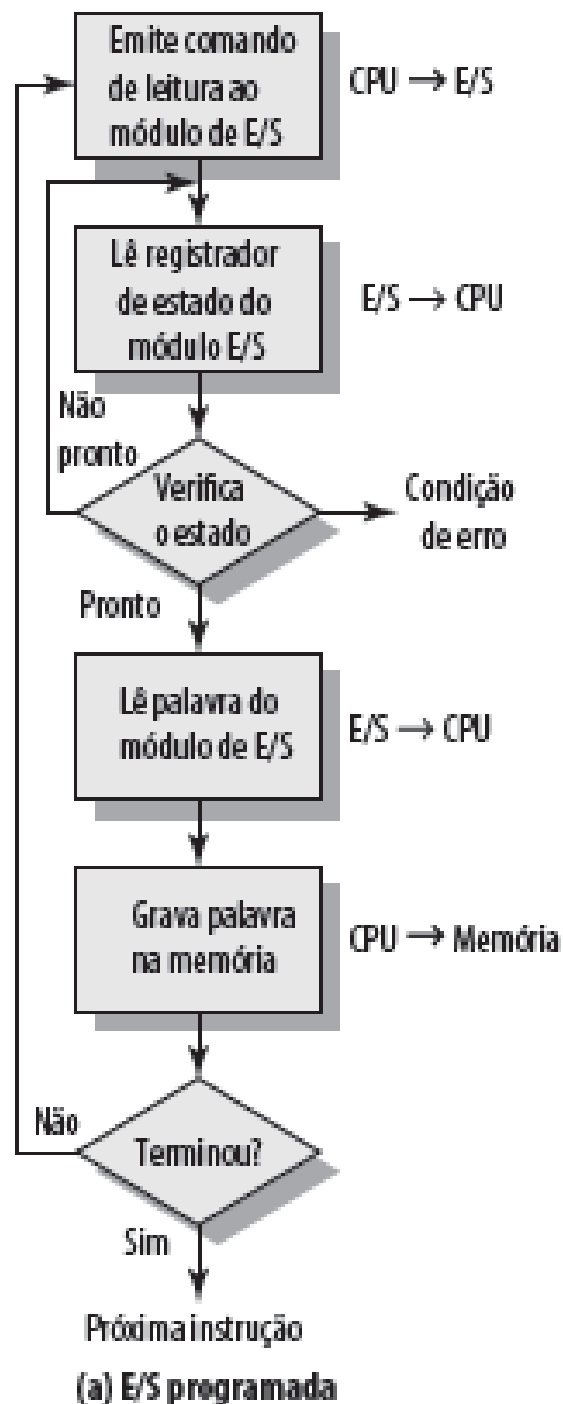


Decisões do módulo de E/S

- Ocultar ou revelar propriedades do dispositivo à CPU.
- Admitir dispositivo múltiplo ou único.
- Controlar funções do dispositivo.
 - P.e., Rebobinar uma fita.
- Permite que o processador veja uma grande quantidade de dispositivos de uma maneira simples.
- Também decisões do SO.
 - P.e., Unix trata tudo o que pode como arquivo.
- Em relação a complexidade pode ser classificado:
 - Canal ou processador de E/S.
 - Controlador de dispositivo.

Técnicas de E/S

- Programada (PIO).
- Controlada por interrupção.
- Acesso direto à memória (DMA).



E/S programada

- CPU tem controle direto sobre E/S:
 - Conhecendo o estado.
 - Comandos de leitura/escrita.
 - Transferindo dados.
- CPU espera que módulo de E/S termine a operação.
- Desperdiça tempo de CPU.

E/S programada – detalhe

- CPU solicita operação de E/S.
- Módulo de E/S realiza operação.
- Módulo de E/S define bits de estado.
- CPU verifica bits de estado periodicamente.
- Módulo de E/S não informa à CPU diretamente.
- Módulo de E/S não interrompe CPU.
- CPU pode esperar ou voltar mais tarde.

Comandos de E/S

- CPU emite endereço:
 - Identifica módulo (& disp. se >1 por módulo).
- CPU emite comando:
 - Controle – dizendo ao módulo o que fazer.
 - P.e., girar disco
 - Teste – verifica estado:
 - P.e., alimentado? Erro?
 - Leitura/escrita:
 - Módulo transfere dados via buffer de/para dispositivo.

Endereçando dispositivos de E/S

- Sob E/S programa, transferência de dados é muito semelhante ao acesso à memória (CPU ponto de vista da CPU).
- Cada dispositivo recebe identificador exclusivo.
- Comandos da CPU contêm identificador (endereço).

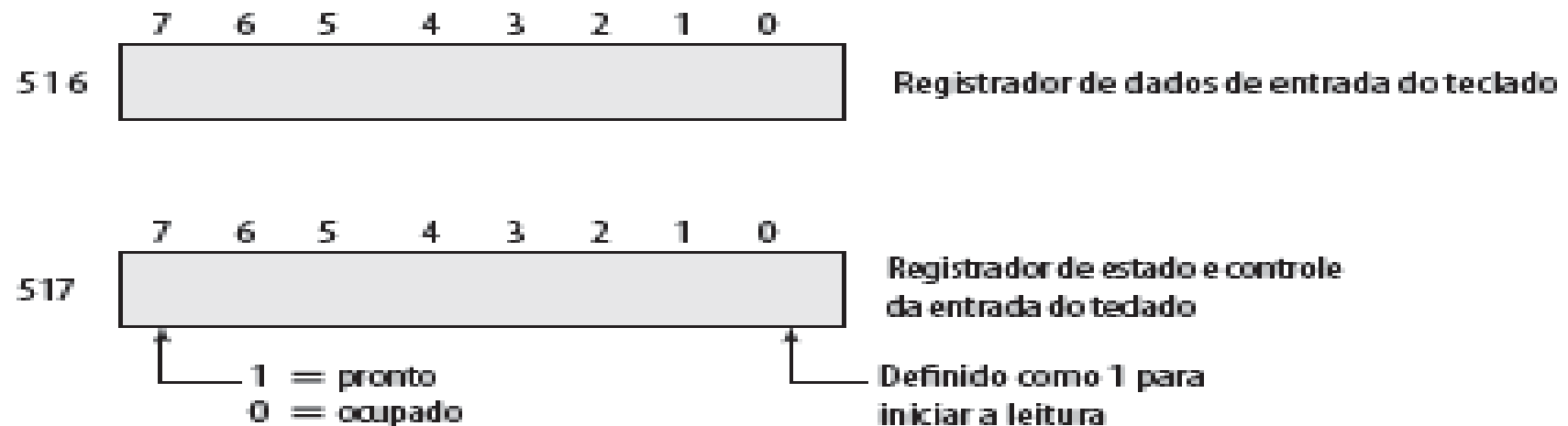
Mapeamento de E/S

- E/S mapeada na memória:
 - Dispositivos e memória compartilham um espaço de endereços comum.
 - E/S se parece com leitura/escrita na memória.
 - Nenhum comando especial para E/S.
 - Grande seleção disponível de comandos de acesso à memória.
- E/S independente:
 - Espaços de endereços separados.
 - Precisa de linhas de seleção de E/S ou memória.
 - Comandos especiais para E/S.
 - Conjunto limitado.

E/S mapeada na memória e independente

WILLIAM STALLINGS

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



ENDEREÇO	INSTRUÇÃO	OPERANDO	COMENTÁRIO
200	Carrega AC	"1"	Carrega acumulador
	Armazena AC	517	Inicia leitura do teclado
202	Carrega AC	517	Apanha byte de estado
	Desvia se sinal = 0	202	Loop até estar pronto
	Carrega AC	216	Carrega byte de dados

(a) E/S mapeada na memória

ENDEREÇO	INSTRUÇÃO	OPERANDO	COMENTÁRIO
200	Carrega E/S	5	Inicia leitura do teclado
201	Testa E/S	5	Verifica término
	Desvia se não pronto	201	Loop até estar pronto
	Entrada	5	Carrega byte de dados

(b) E/S isolada

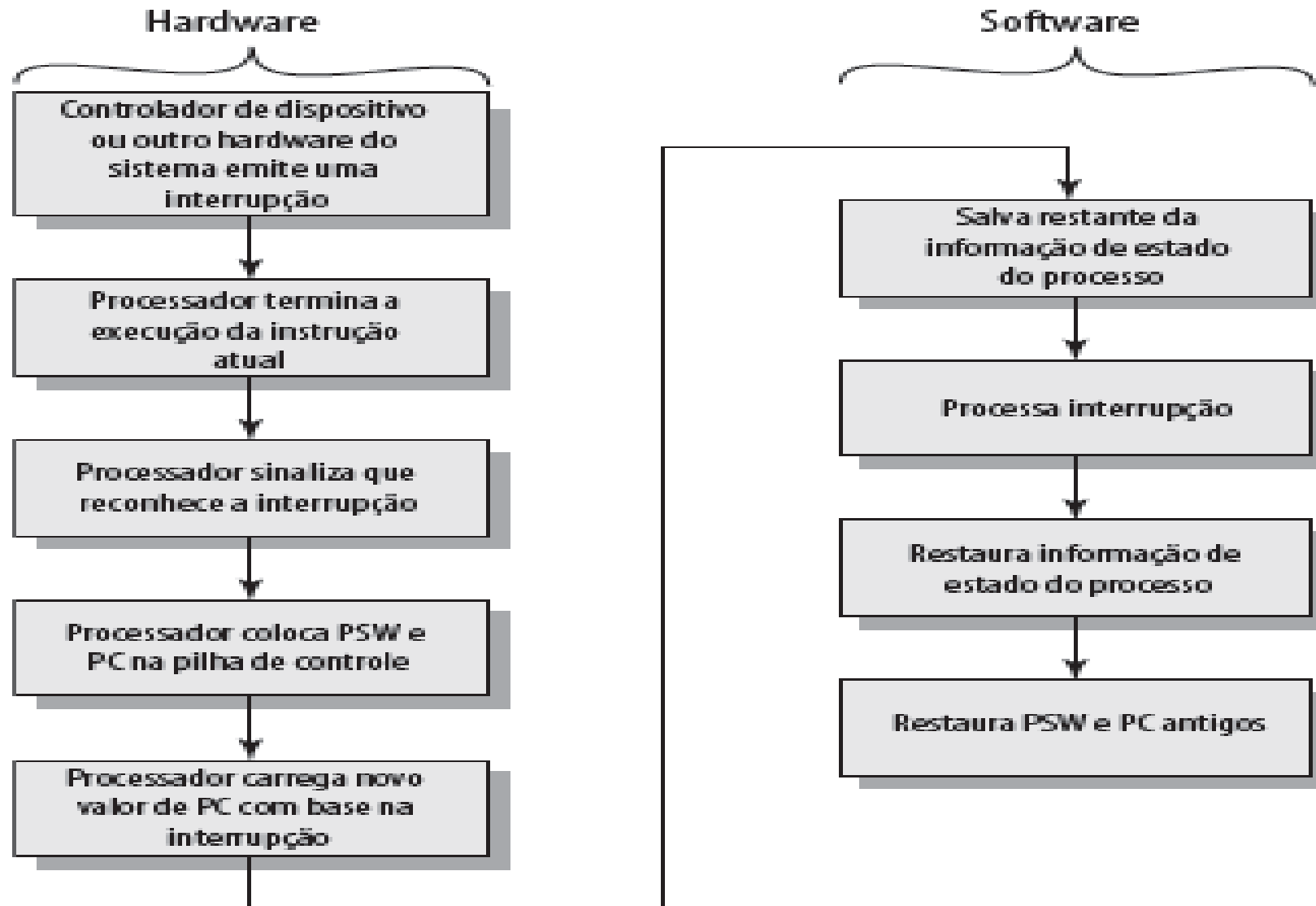
E/S controlada por interrupção

- Contorna problema de espera da CPU.
- Sem verificação de dispositivo repetida da CPU.
- Módulo de E/S interrompe quando estiver pronto.

E/S controlada por interrupção – Operação básica

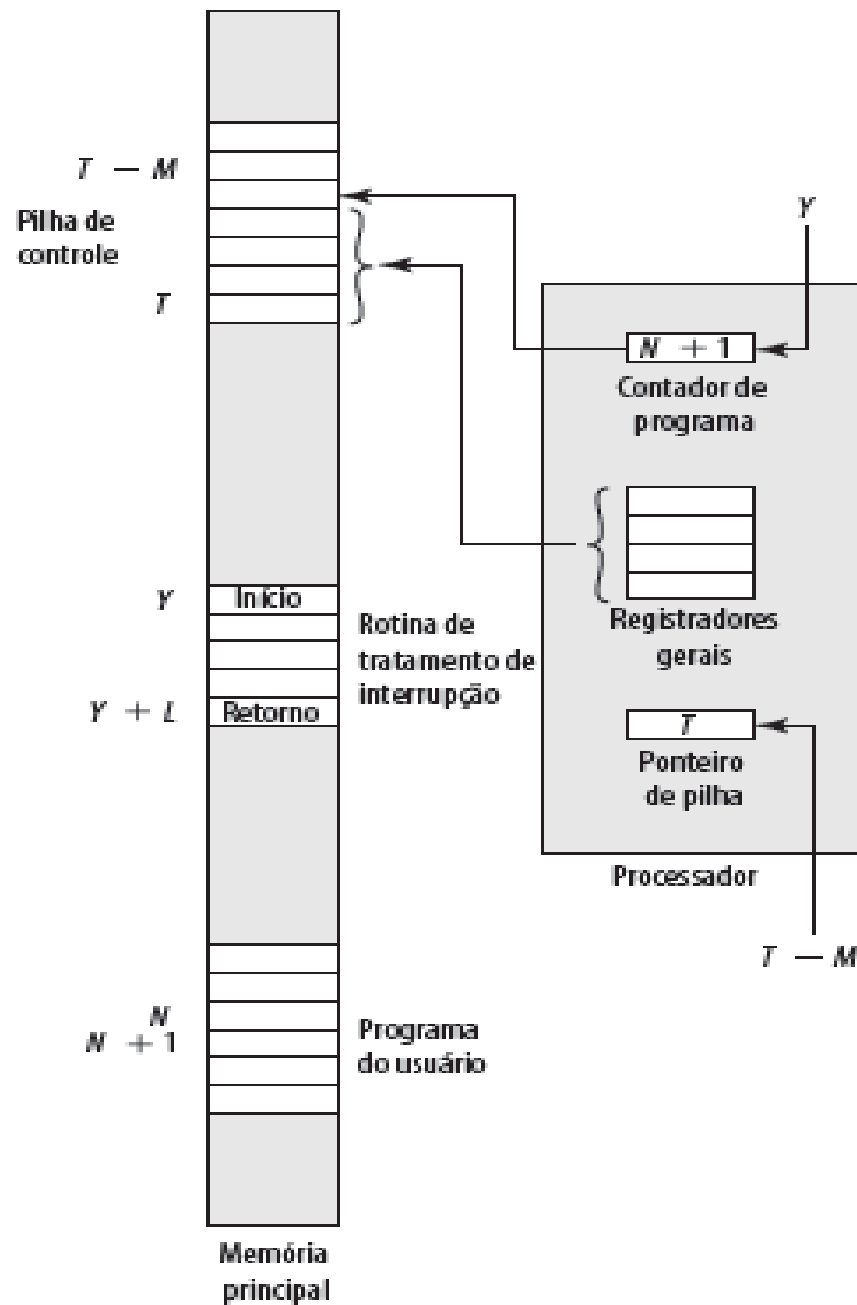
- CPU emite comando de leitura.
- Módulo de E/S recebe dados do periférico enquanto CPU faz outro trabalho.
- Módulo de E/S interrompe CPU.
- CPU solicita dados.
- Módulo de E/S transfere dados.

Processamento de interrupção simples

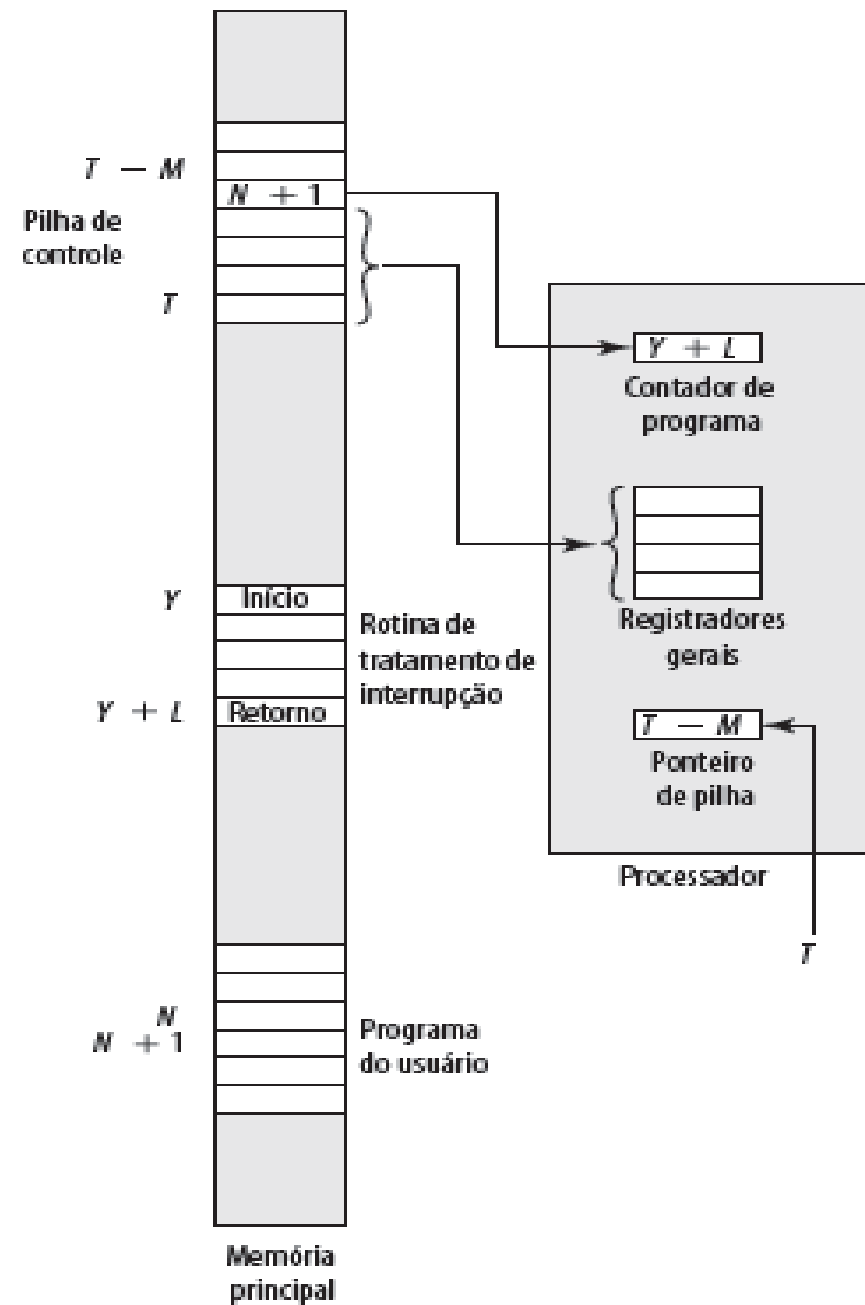


Ponto de vista da CPU

- Emite comando de leitura.
- Realiza outro trabalho.
- Verifica interrupção ao final de cada ciclo de instrução.
- Se interrompida:
 - Salva contexto (registradores).
 - Processa interrupção.
 - Busca dados & armazena.
- Ver notas do sistema operacional.



(a) Interrupção ocorre após instrução no local N



(b) Retorno da interrupção

Aspectos de projeto

- Como identificar o módulo que emite a interrupção?
- Como lidar com interrupções múltiplas?
 - Ou seja, um tratador de interrupção sendo interrompido.

Identificando módulo que interrompe

- Linha diferente para cada módulo:
 - PC.
 - Limita número de dispositivos.
- Verificação por software:
 - CPU verifica cada módulo por vez.
 - Lento.

- Daisy chain ou verificação por hardware.
 - Interrupt Acknowledge enviado por uma cadeia.
 - Módulo responsável coloca vetor no barramento.
 - CPU usa vetor para identificar rotina do tratador.
- Arbitração de barramento:
 - Módulo deve reivindicar o barramento antes que possa causar uma interrupção.
 - P.e., PCI & SCSI.

Múltiplas interrupções

- Cada linha de interrupção tem uma prioridade.
- Linhas com prioridade mais alta podem interromper linhas com prioridade mais baixa.
- Com *bus mastering*, só o mestre atual pode interromper.

Exemplo – Barramento do PC

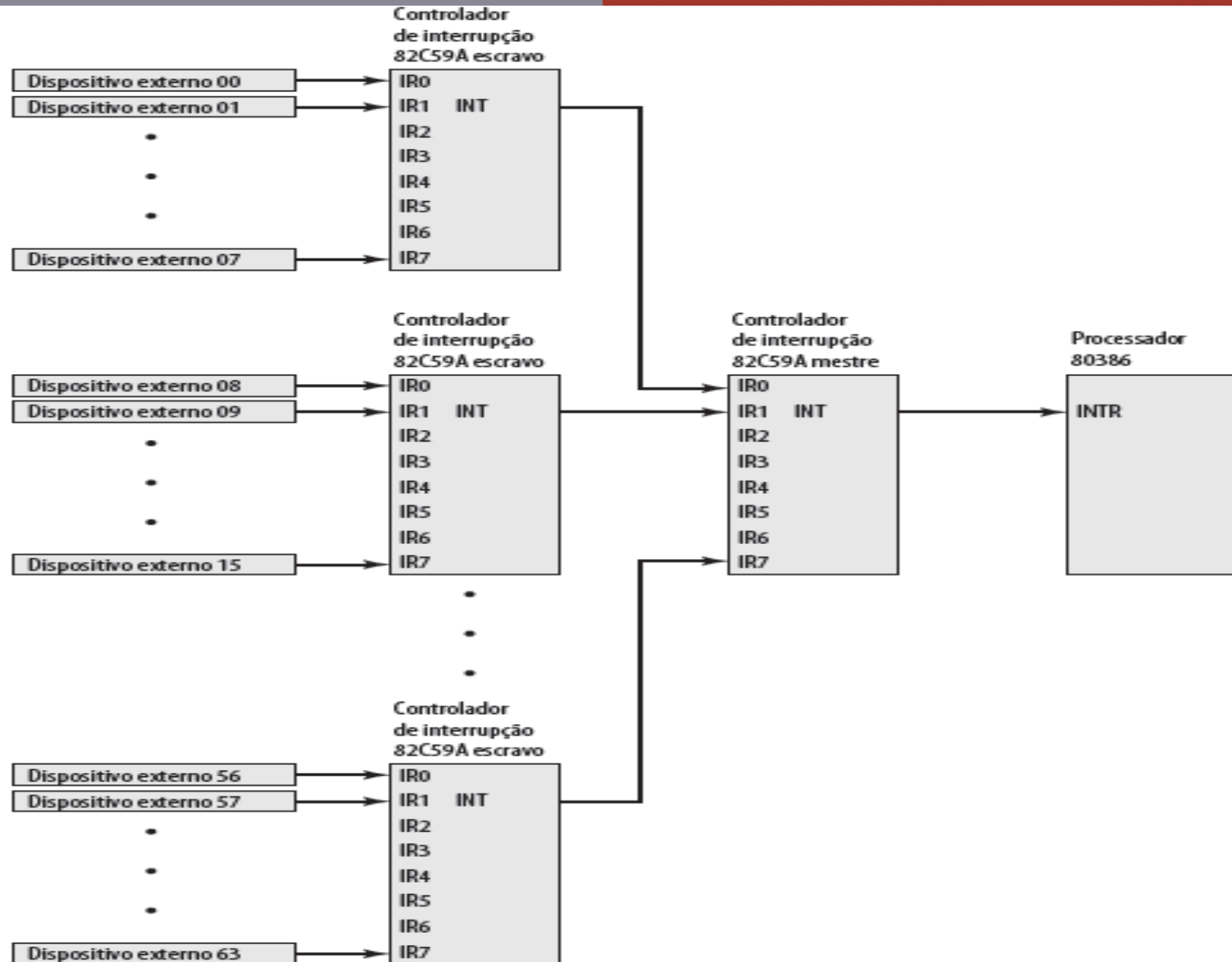
- 80x86 tem uma linha de interrupção.
- Sistemas baseados no 8086 usam um controlador de interrupção 8259^a.
- 8259A tem 8 linhas de interrupção.

Sequência de eventos

- 8259A aceita interrupções.
- 8259A determina prioridade.
- 8259A envia sinal ao 8086 (levanta linha INTR).
- CPU confirma.
- 8259A coloca vetor correto no barramento de dados.
- CPU processa interrupção.

Sistema de interrupção de barramento ISA

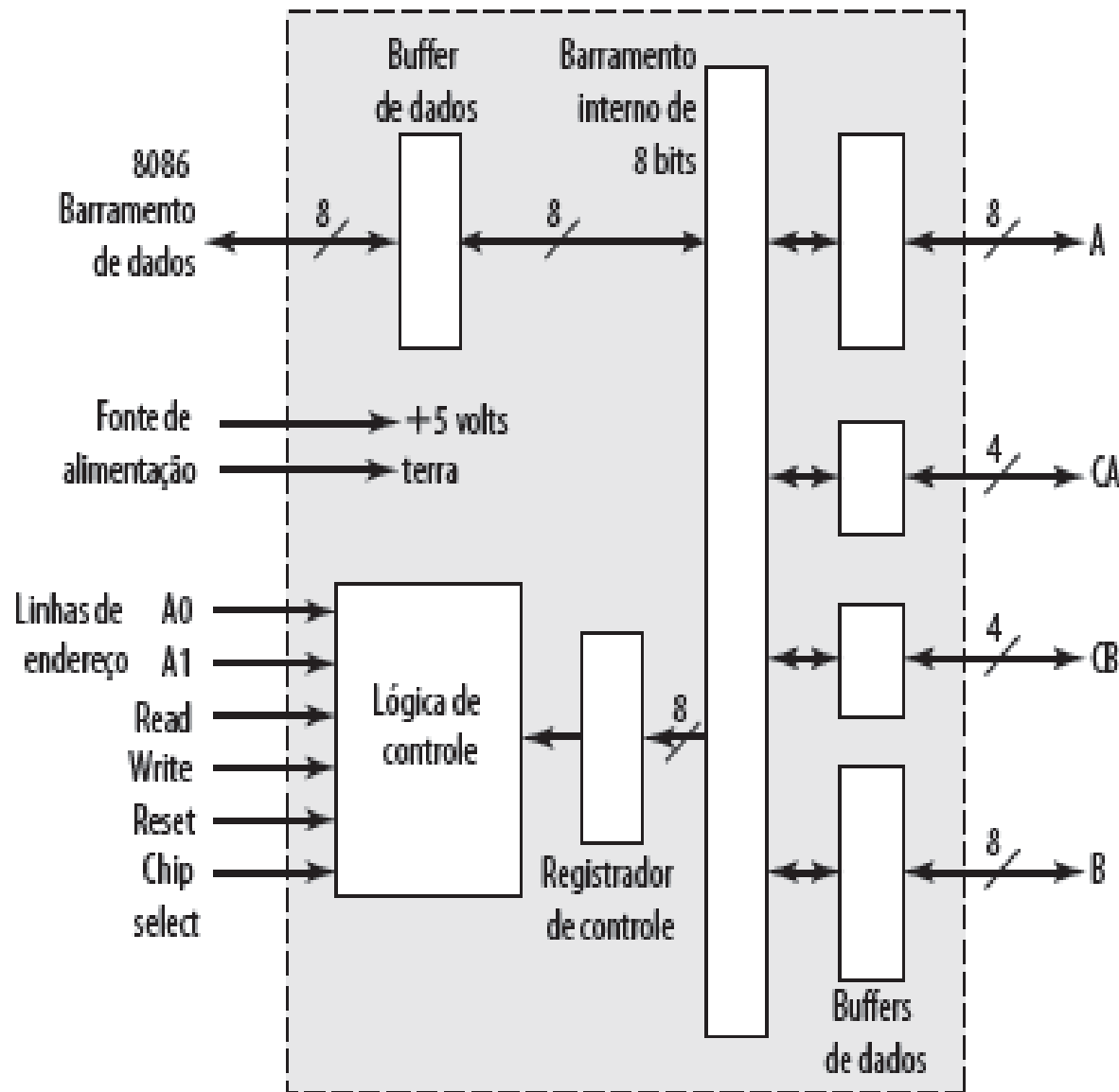
- Barramento ISA encadeia dois 8259As.
- Ligação é via interrupção 2.
- Gera 15 linhas:
 - 16 linhas menos uma para ligação.
- IRQ 9 é usada para redirecionar qualquer coisa tentando usar IRQ 2.
 - Compatibilidade.
- Incorporado no chip set.



Intel 82C55A

WILLIAM STALLINGS

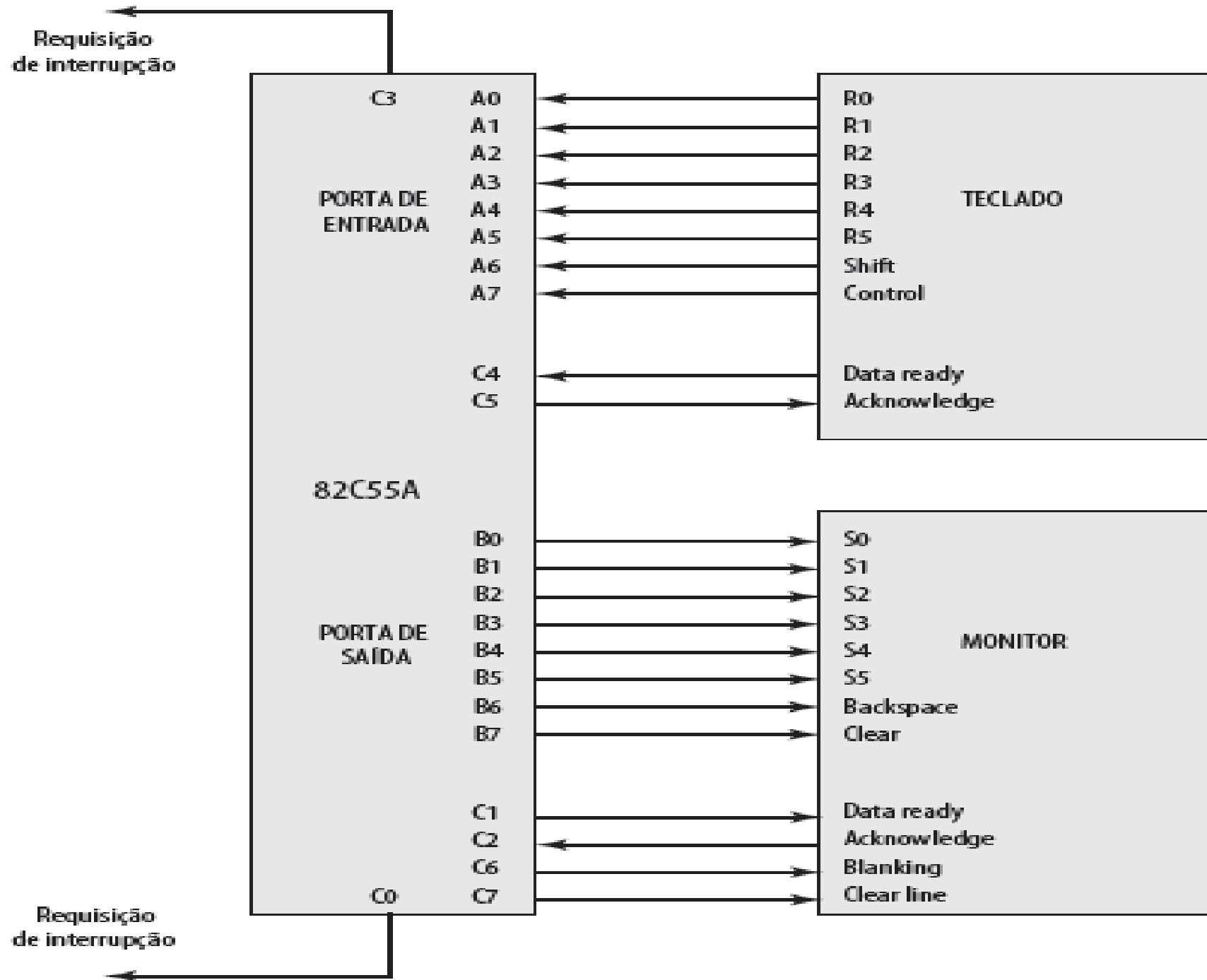
ARQUITETURA E ORGANIZAÇÃO



(a) Diagrama em blocos

3	PA	1	40	PA4
2	PA	2	39	PA5
1	PA	3	38	PA6
0	PA	4	37	PA7
	Read	5	36	Write
	Chip select	6	35	Reset
	Terra	7	34	D0
1	A	8	33	D1
0	A	9	32	D2
	PC7	10	31	D3
	PC6	11	30	D4
	PC5	12	29	D5
	PC4	13	28	D6
	PC3	14	27	D7
	PC2	15	26	V
	PC1	16	25	PB7
	PC0	17	24	PB6
	PB0	18	23	PB5
	PB1	19	22	PB4
	PB2	20	21	PB3

(b) Layout de pinos



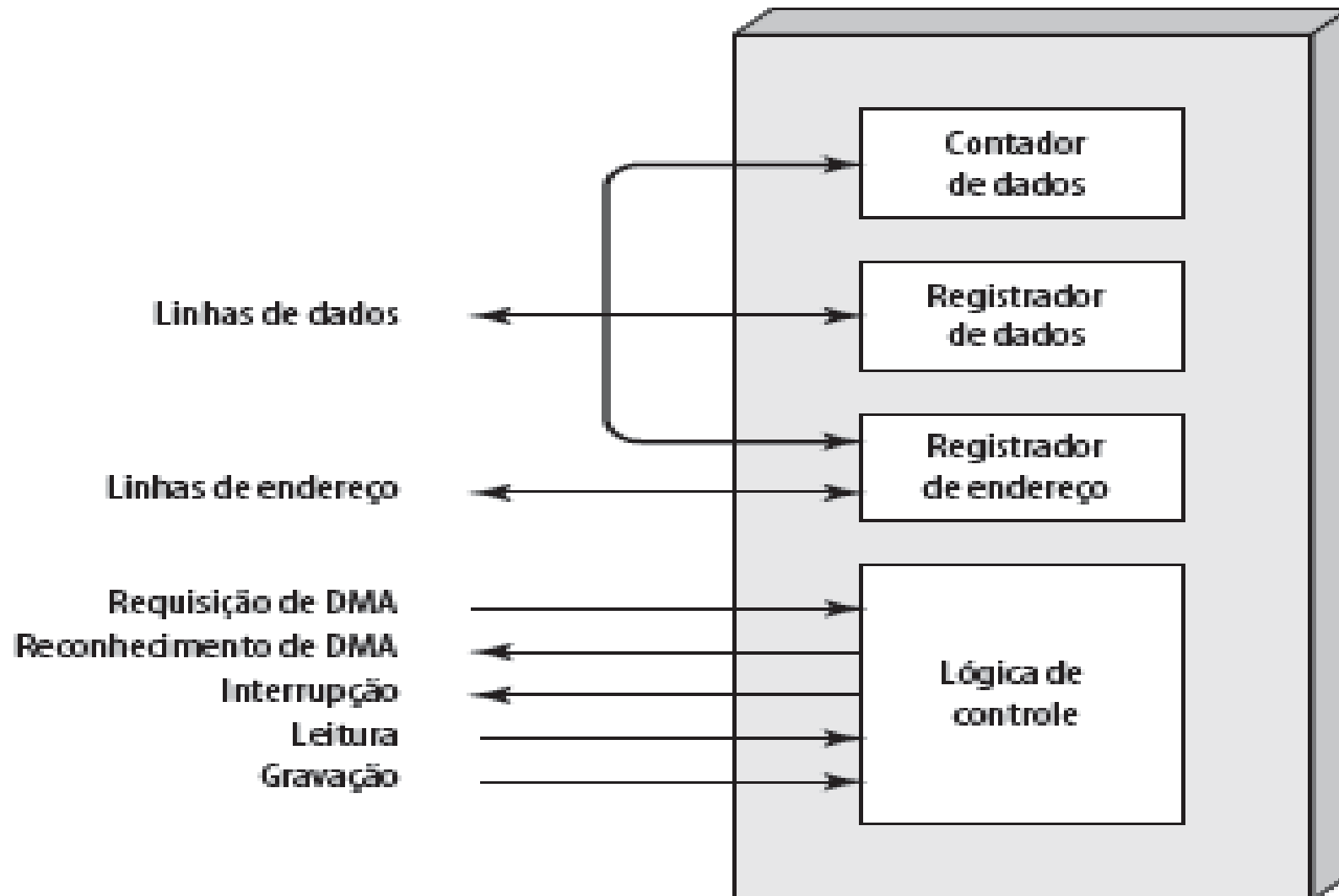
Acesso direto à memória

- E/S controlada por interrupção e programada exige intervenção ativa da CPU.
 - Taxa de transferência é limitada.
 - CPU fica amarrada.
- DMA é a resposta.

Função do DMA

- Módulo adicional (hardware) no barramento.
- Controlador de DMA toma o comando da CPU para E/S.

Diagrama típico do módulo de DMA



Operação do DMA

- CPU diz ao controlador de DMA:
 - Leitura/escrita.
 - Endereço do dispositivo.
 - Endereço inicial do bloco de memória para dados.
 - Quantidade de dados a serem transferidos.
- CPU prossegue com outro trabalho.
- Controlador de DMA lida com transferência.
- Controlador de DMA envia interrupção quando terminar.

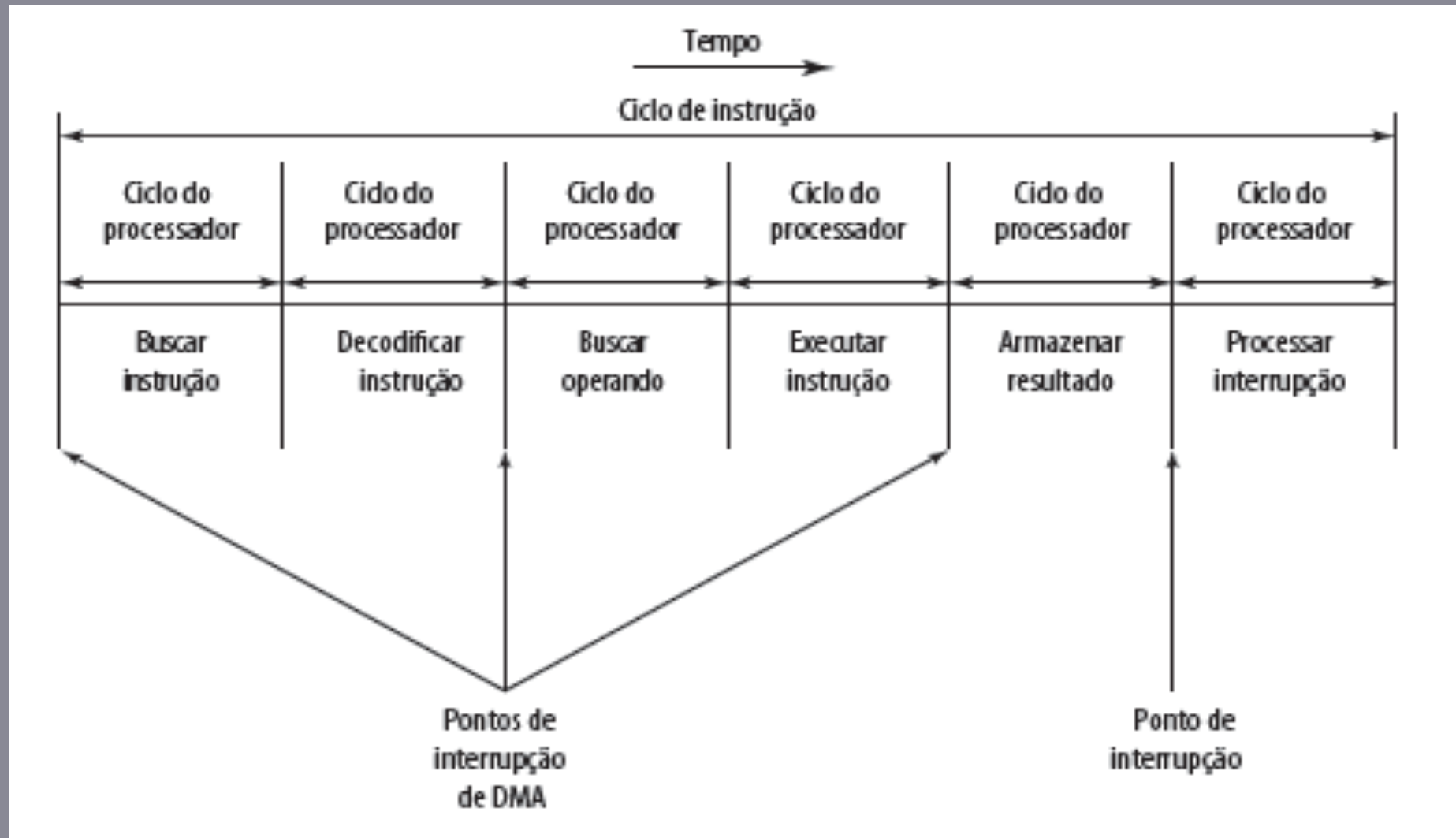
Transferência de DMA – Roubo de ciclo

- Controlador de DMA assume o barramento por um ciclo.
- Transferência de uma palavra de dados.
- Não uma interrupção.
 - CPU não troca de contexto.
- CPU suspensa logo antes de acessar o barramento.
 - Ou seja, antes de uma busca de operando ou dados ou uma escrita de dados.
- Atrasa a CPU, mas não tanto quanto a CPU fazendo transferência.

DMA e pontos de interrupção durante um ciclo de instrução

WILLIAM STALLINGS

ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES



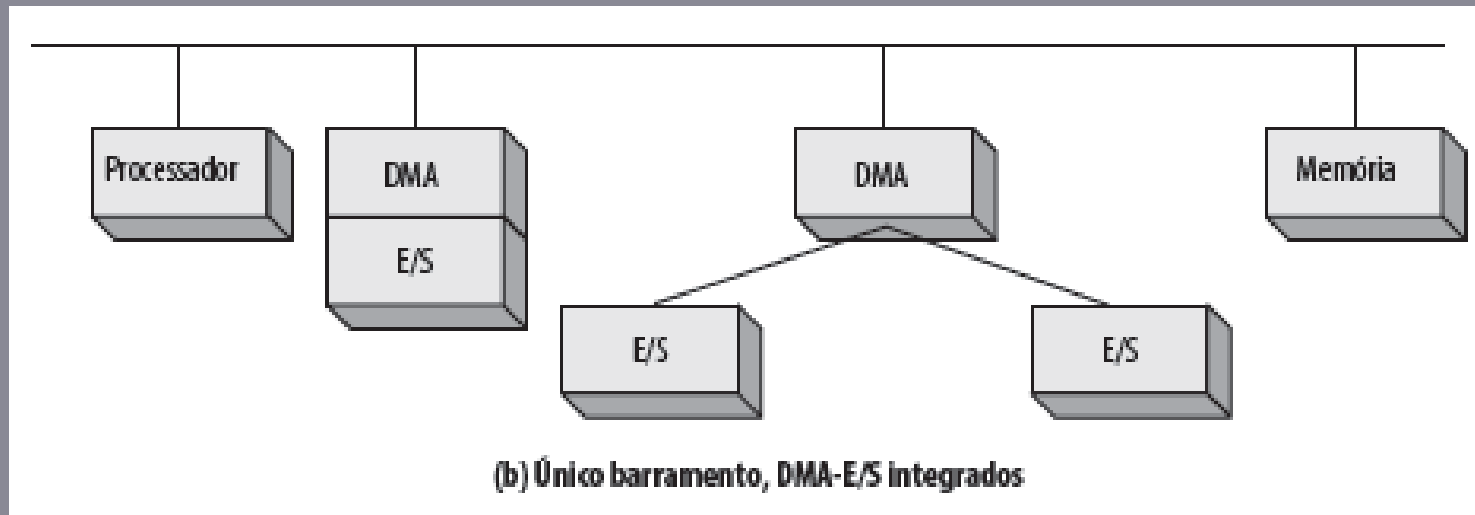
Aparte

- Que efeito tem a memória caching sobre o DMA?
- E a cache da placa?
- Dica: o quanto os barramentos do sistema estão disponíveis?

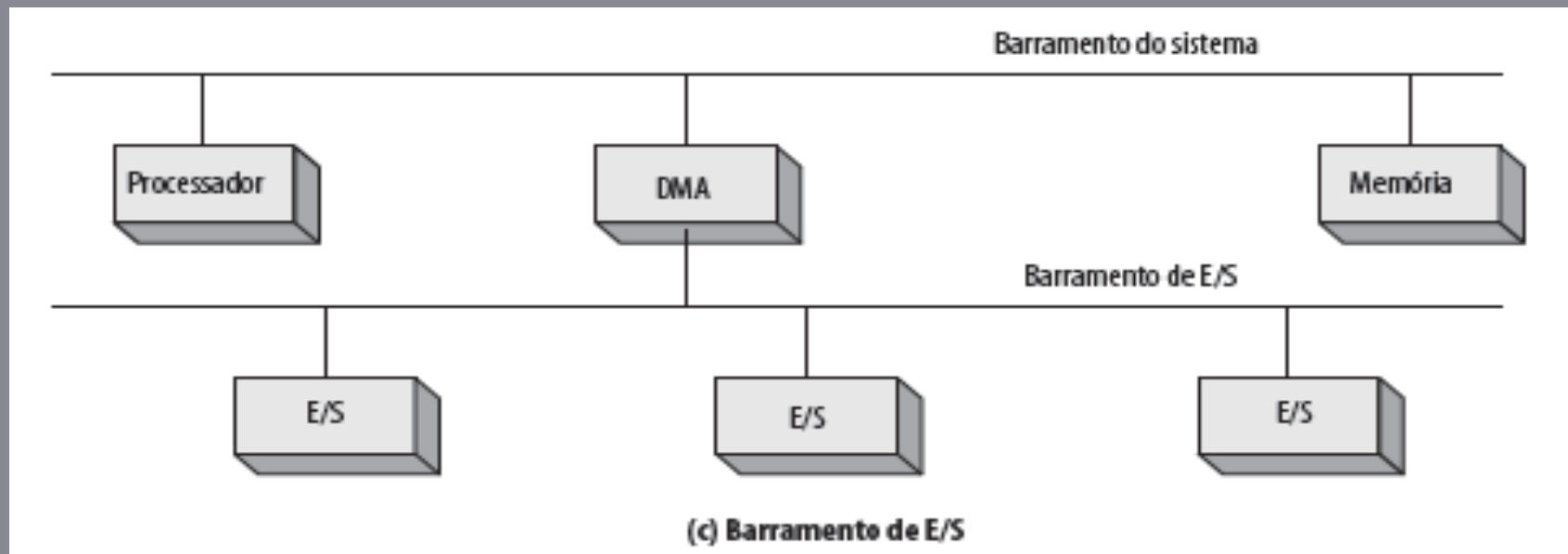
Configurações de DMA



- Único barramento, controle de DMA separado.
- Cada transferência usa barramento duas vezes.
 - E/S para DMA, depois DMA para memória.
- CPU é suspensa duas vezes.

ARQUITETURA E ORGANIZAÇÃO
DE COMPUTADORES

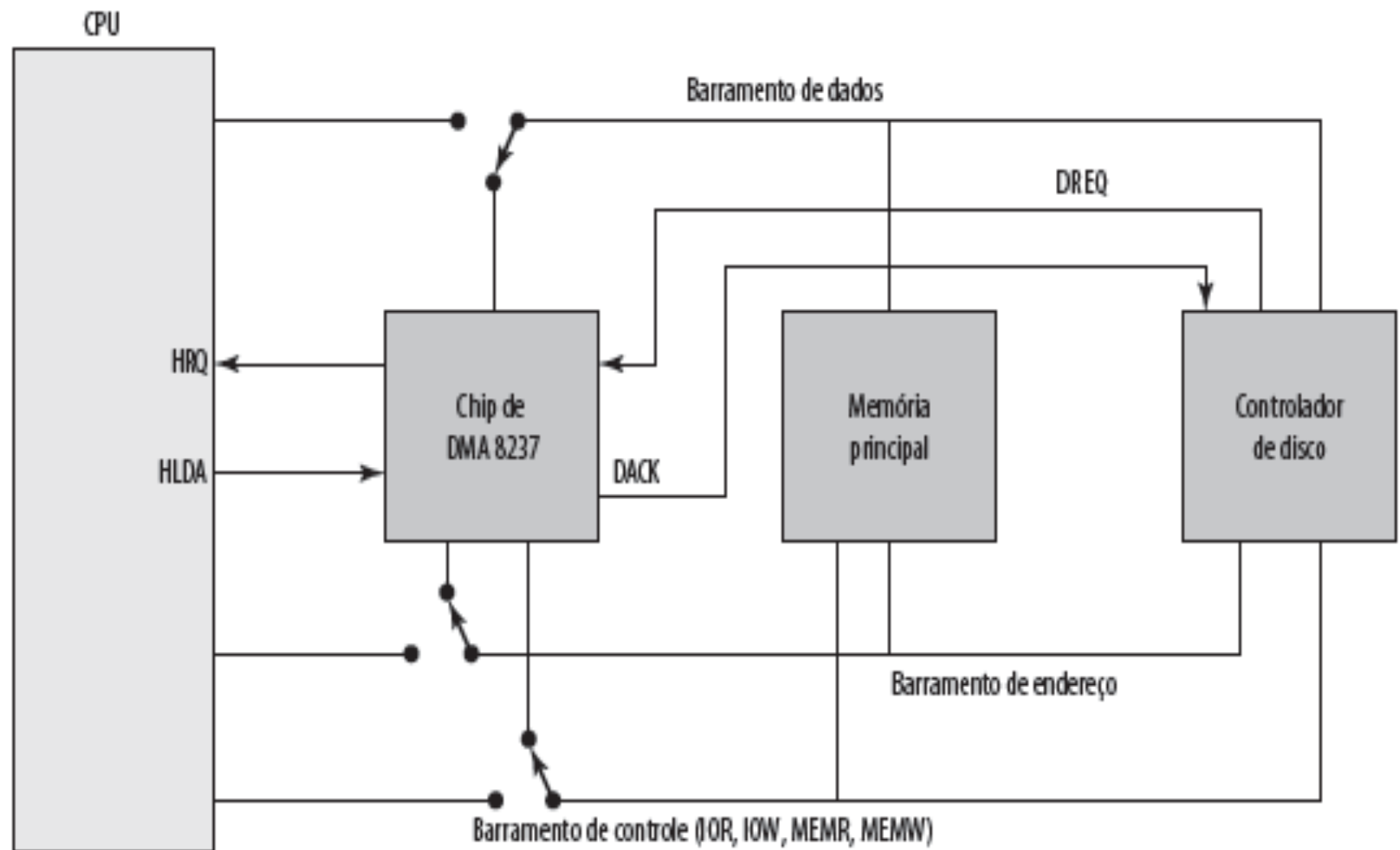
- Único barramento, controlador de DMA integrado.
- Controlador pode aceitar mais de um dispositivo.
- Cada transferência usa barramento uma vez.
 - DMA para memória.
- CPU é suspensa uma vez.

**ARQUITETURA E ORGANIZAÇÃO
DE COMPUTADORES**

- Barramento de E/S separado.
- Barramento aceita todos dispositivos habilitados para DMA.
- Cada transferência usa barramento uma vez.
 - DMA para memória.
- CPU é suspensa uma vez.

Controlador de DMA Intel 8237A

- Interfaces com família 80x86 e DRAM.
- Quando o módulo de DMA precisa de barramentos, ele envia sinal HOLD ao processador.
- CPU responde HLDA (hold acknowledge) .
 - Módulo de DMA pode usar barramentos.
- P.e., transferir dados da memória para o disco.
 1. Dispositivo requisita serviço de DMA levantando DREQ (requisição de DMA).
 2. DMA levanta sua linha HRQ (hold request).
 3. CPU termina ciclo de barramento presente (não necessariamente instrução presente) e levanta linha HDLA HDLA (hold acknowledge). HOLD permanece ativo pela duração do DMA.
 4. DMA ativa DACK (DMA acknowledge), dizendo ao dispositivo para iniciar a transferência.
 5. DMA inicia transferência colocando endereço do primeiro byte no barramento de endereço e ativando MEMR; depois, ativa IOW para escrever no periférico. DMA decrementa contador e incrementa ponteiro de endereço. Repete até contagem chegar a zero.
 6. DMA desativa HRQ, retornando o controle do barramento de volta à CPU.



DACK = DMA *acknowledge* (reconhecimento de DMA)
 DREQ = DMA *request* (requisição de DMA)
 HLDA = HOLD *acknowledge* (reconhecimento de HOLD)
 HRQ = HOLD *request* (requisição de HOLD)

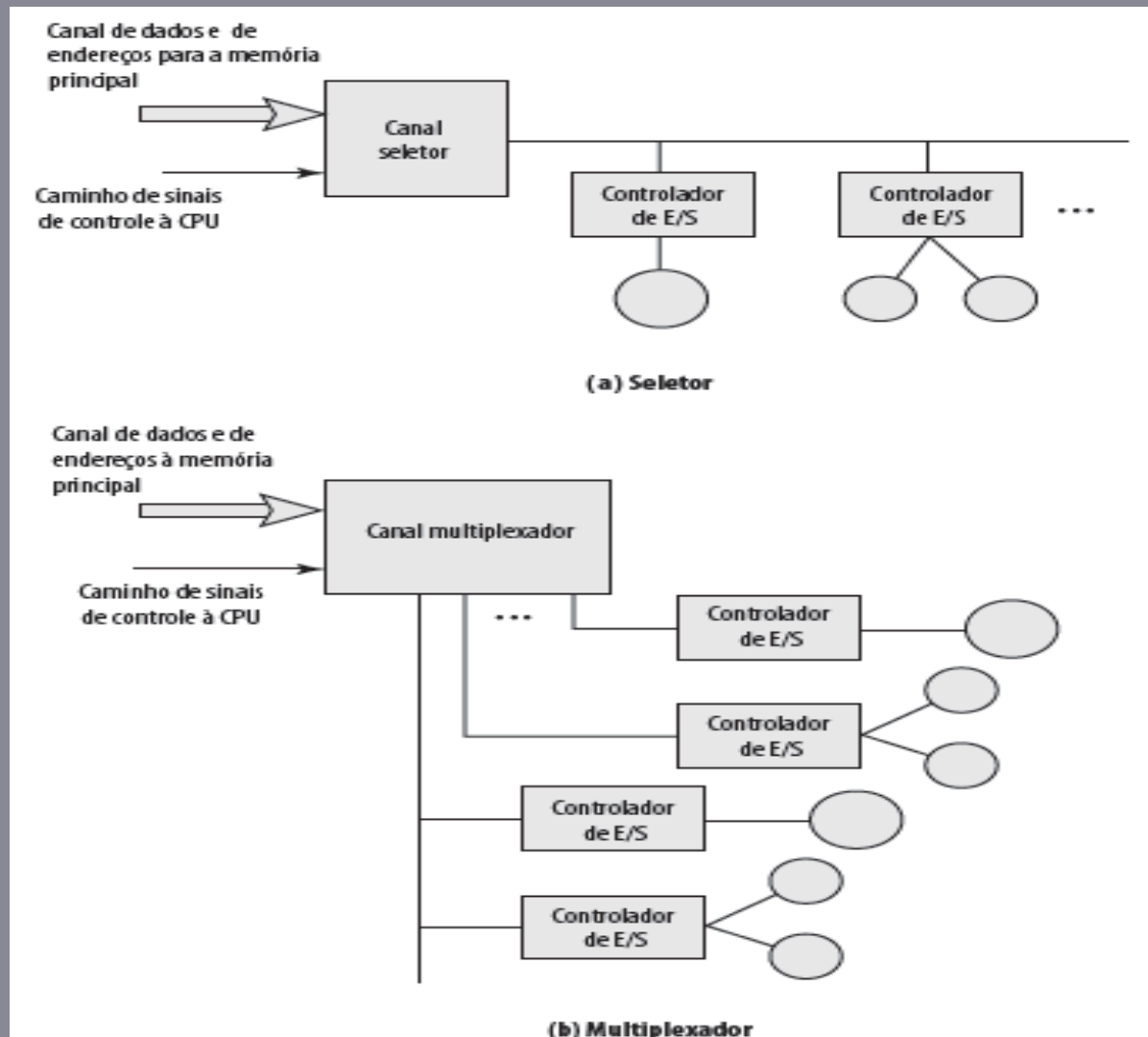
Flutuando

- Enquanto DMA usa barramentos, processador fica ocioso.
- Processador usando barramento, DMA ocioso:
 - Conhecido como controlador de DMA flutuante.
- Dados não passam e são armazenados no chip de DMA.
 - DMA apenas entre porta de E/S e memória.
 - Não entre duas portas de E/S ou dois locais de memória.
- Pode transferir de memória para memória via registrador.
- 8237 contém quatro canais de DMA.
 - Programado independentemente.
 - Qualquer um ativo.
 - Canais numerados com 0, 1, 2 e 3.

Canais de E/S

- Dispositivos de E/S se tornam mais sofisticados.
- P.e., placas gráficas 3D.
- CPU instrui controlador de E/S a realizar transferência.
- Controlador de E/S realiza transferência inteira.
- Melhora velocidade.
 - Retira carga da CPU.
 - Processador dedicado é mais rápido.

Arquitetura do canal de E/S



Interface

- Conexão de dispositivos.
- Bit de fio?
- Processador dedicado/memória/barramentos?
- P.e., FireWire, InfiniBand.

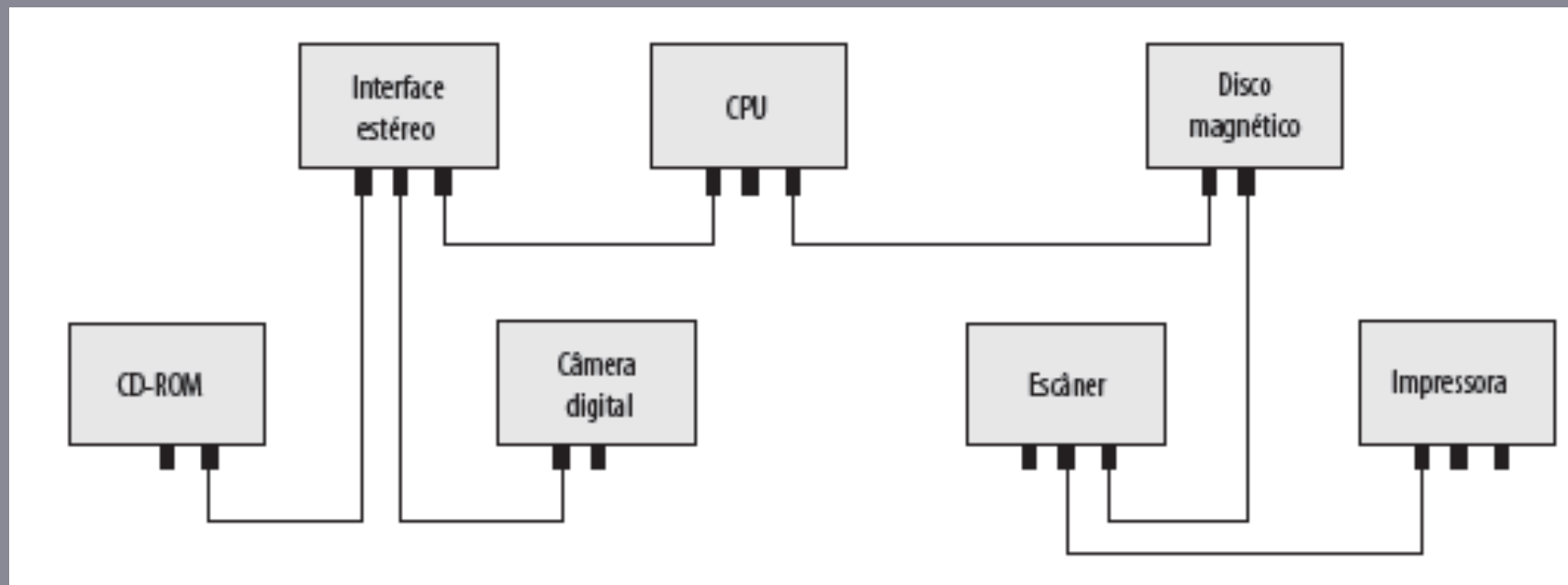
IEEE 1394 FireWire

- Barramento serial de alto desempenho.
- Rápido.
- Baixo custo.
- Fácil de implementar.
- Também sendo usado em câmeras digitais, VCRs e TV.

Configuração de FireWire

- Daisy chain.
- Até 63 dispositivos em única porta.
 - Na realidade, 64, dos quais um é a própria interface.
- Até 1022 barramentos podem ser conectados com pontes.
- Configuração automática.
- Sem terminações de barramento.
- Pode ser estruturada em forma de árvore.

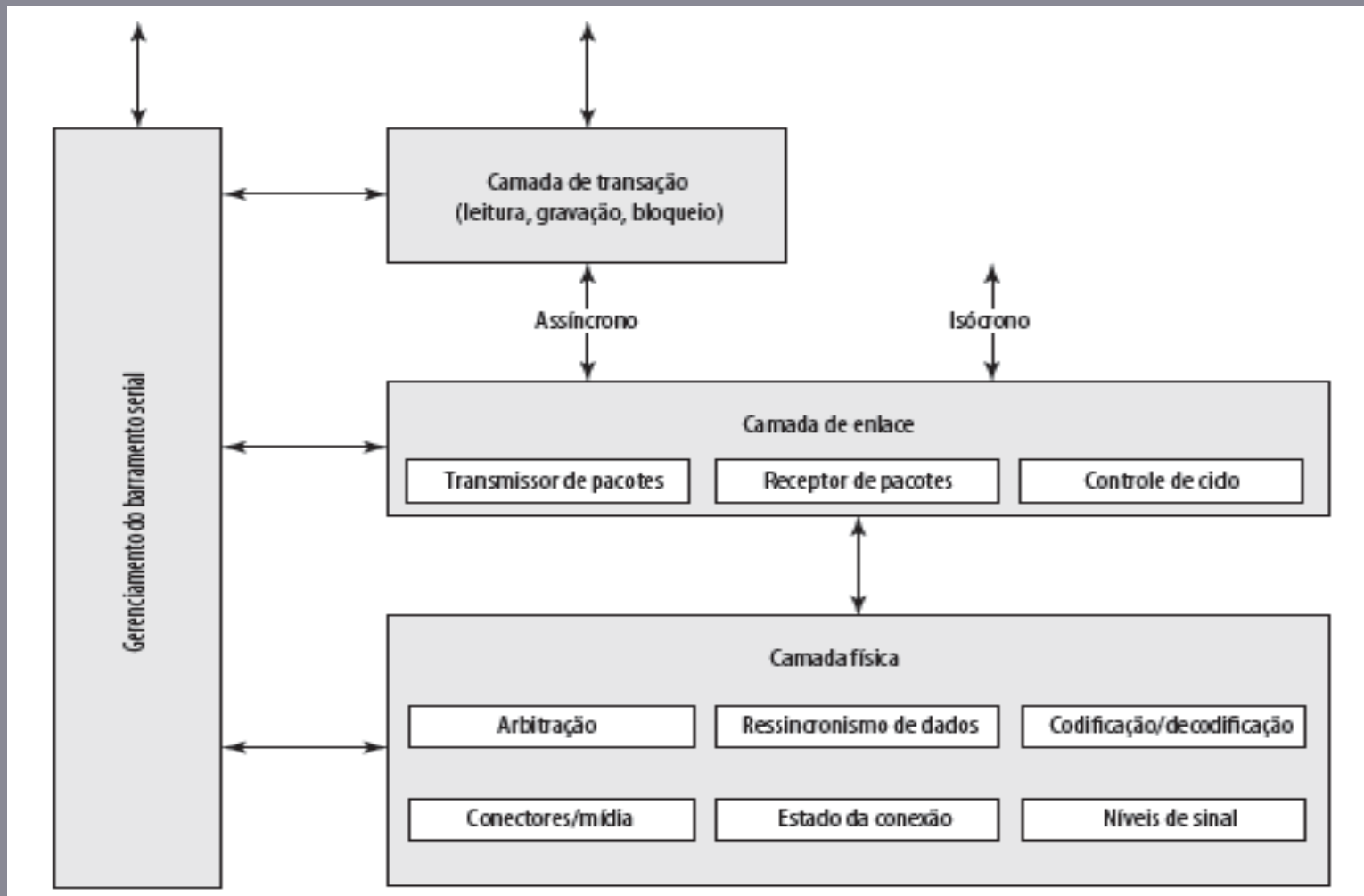
Configuração FireWire simples



Pilha de 3 camadas do FireWire

- Física:
 - Meio de transmissão, características elétricas e de sinalização.
- Enlace:
 - Transmissão de dados em pacotes.
- Transação:
 - Protocolo requisição-resposta.

Pilha de protocolos FireWire



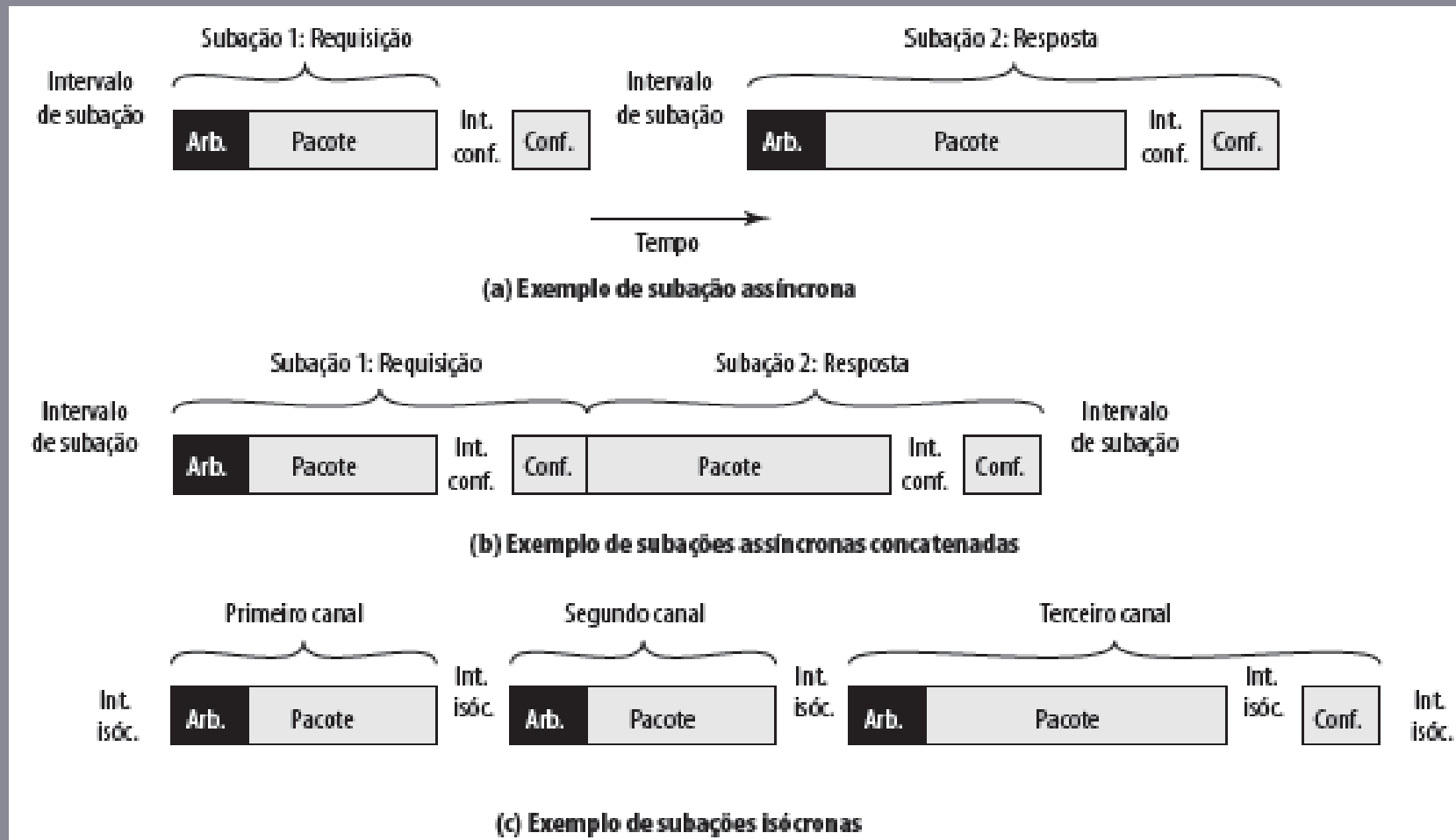
Fire Wire – Camada física

- Taxas de dados de 25 a 400Mbps.
- Duas formas de arbitração:
 - Baseado na estrutura em forma de árvore.
 - Raiz atua como árbitro.
 - Primeiro a chegar, primeiro a ser atendido.
 - Prioridade natural controla requisições simultâneas.
 - Ou seja, quem está mais próximo da raiz.
 - Arbitração imparcial.
 - Arbitração urgente.

Fire Wire – Camada de enlace

- Dois tipos de transmissão:
 - Assíncrono:
 - Quantidade variável de dados e vários bytes de dados de transação transferidos como um pacote.
 - Para endereço explícito.
 - Confirmação retornada.
 - Isócrono:
 - Quantidade variável de dados em sequência de pacotes de tamanho fixo em intervalos regulares.
 - Endereçamento simplificado.
 - Sem confirmação.

Subações do Fire Wire



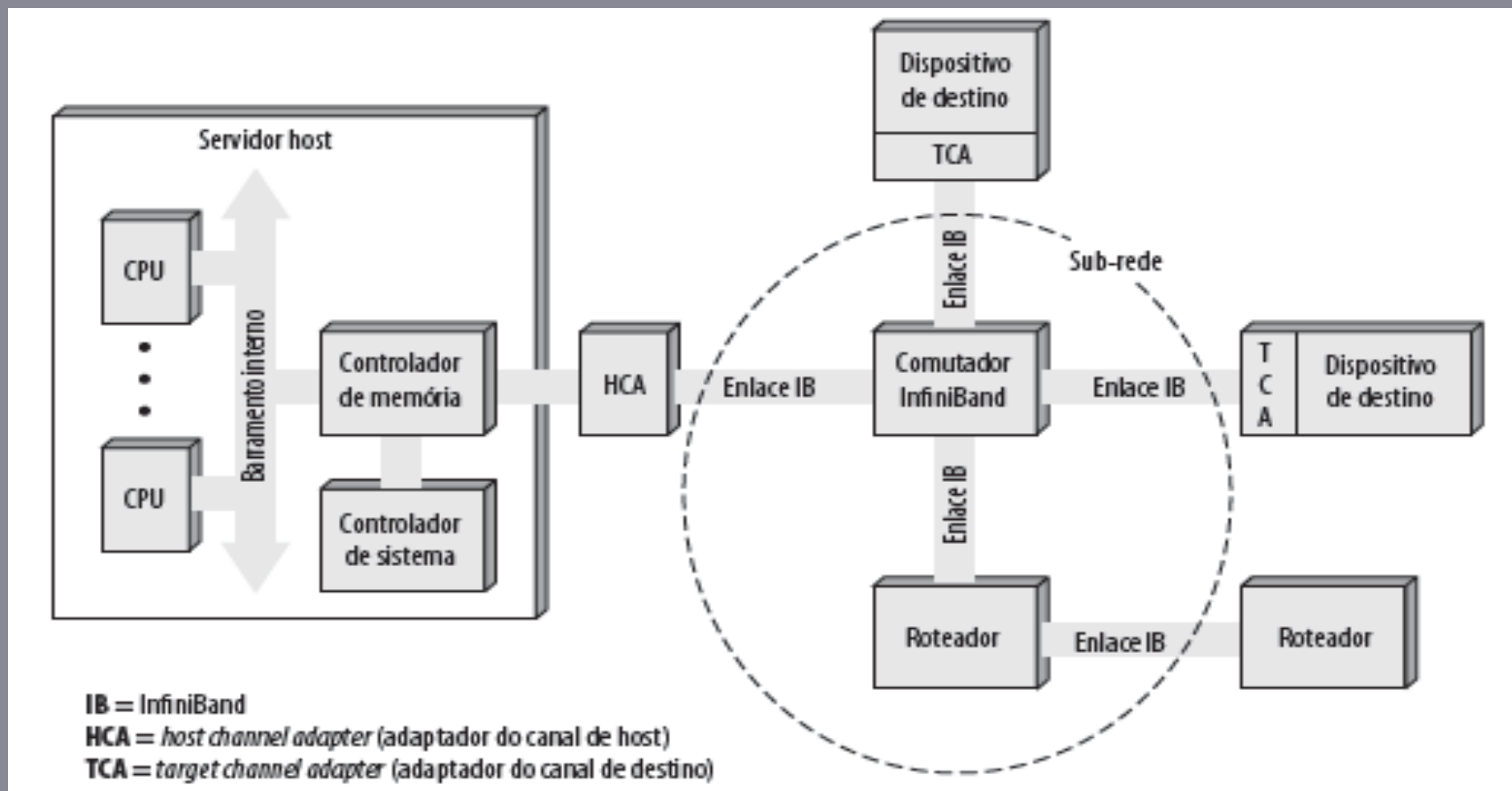
InfiniBand

- Especificação de E/S voltada para servidores de ponta.
 - União da Future I/O (Cisco, HP, Compaq, IBM) e Next Generation I/O (Intel).
- Versão 1 lançada no início de 2001.
- Arquitetura e especificação para fluxo de dados entre processador e dispositivos de E/S inteligentes.
- Pretende substituir PCI nos servidores.
- Maior capacidade, facilidade de expansão, flexibilidade.

Arquitetura InfiniBand

- Armazenamento remoto, rede e conexão entre servidores.
- Conecta servidores, armazenamento remoto, dispositivos de rede à estrutura central de comutadores e conexões.
- Maior densidade de servidores.
- Central de dados expansível.
- Nós independentes acrescentados conforme a necessidade.
- Distribuição de E/S do servidor até:
 - 17m usando cobre.
 - 300m usando fibra óptica multimodo.
 - 10km usando fibra óptica de modo único.
- Até 30Gbps.

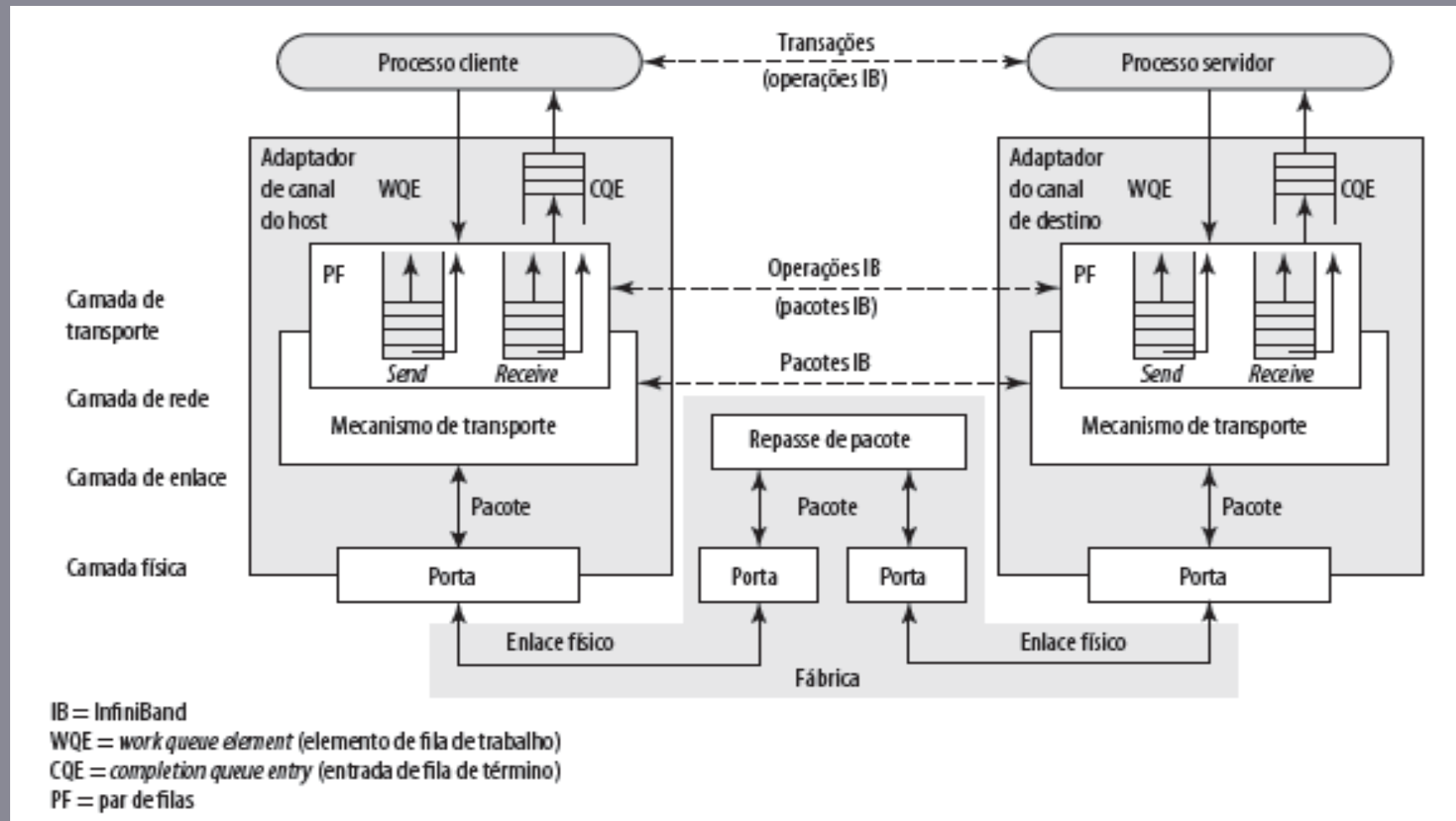
Fábrica de comutadores InfiniBand



Operação do InfiniBand

- 16 canais lógicos (pistas virtuais) por enlace físico.
- Uma pista para gerenciamento, restante para dados.
- Dados no fluxo de pacotes.
- Pista virtual dedicada temporariamente a transferência fim a fim.
- Comutador mapeia tráfego da pista de entrada para pista de saída.

Pilha de protocolos InfiniBand



Leitura de base

- Procure por Universal Serial Bus (USB).
- Compare com outros padrões de comunicação, p.e., Ethernet.