

Санкт-Петербургский государственный политехнический университет

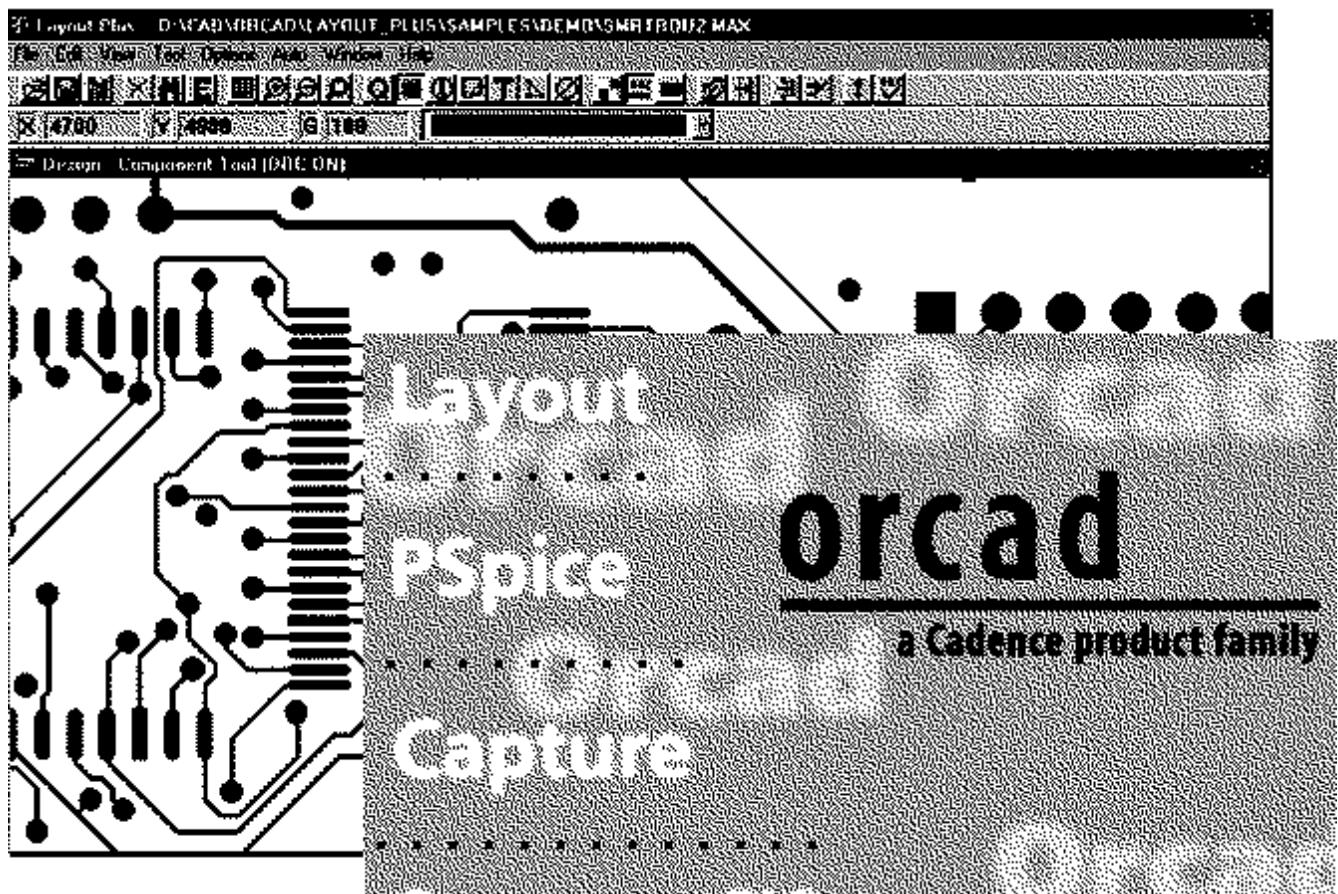
Институт информационных технологий и управления

Кафедра Компьютерных систем и программных технологий

Кошелев С.И.

**Автоматизация проектирования электронных
устройств средствами САПР OrCAD**

Учебное пособие



Санкт-Петербург
2014

УДК 004.31

Кошелев С.И Автоматизация проектирования электронных устройств средствами САПР OrCAD: Учебное пособие. / Кошелев С.И. - СПб.: Изд-во СПбГПУ, 2014. - 116с.

Самоучитель по проектированию аналоговых и цифровых схем в соответствии с требованиями ЕСКД, их моделированию и разводке печатных плат.

© Кошелев С.И.

© Санкт-Петербургский государственный политехнический университет, 2014

Содержание

Введение	6
1. Конфигурация проекта в программе OrCAD Capture.....	10
1.1 Установка параметров шаблона проектов.....	10
1.2 Установка параметров отображения проекта на экране.....	12
1.3 Начало нового проекта	13
1.4 Загрузка существующего проекта.....	14
2. Создание УГО элементов принципиальной схемы в OrCAD Capture (Part and Symbol Editor).....	15
2.1. Создание собственной библиотеки и заимствование элементов.....	15
2.2. Пример создания УГО 153ИЕ13 с использованием аналога 74ALS191	16
2.3. Создание простого элемента на примере ИС 561ЛА7.....	16
2.4. Установка выводов элемента (УГО).....	18
2.5. Коррекция "видимости" атрибутов элемента.....	19
2.6. Завершение графики УГО.....	19
2.7. Параметры выводов питания и "земли".....	20
2.8. Просмотр невидимых выводов питания на чертеже.....	20
2.9. Ввод остальных секций элемента.....	20
2.10. Изображение разъемов.....	20
2.11. Создание не электрического символа схемы.....	21
3. Разработка принципиальной схемы в OrCAD Capture (Schematic Editor).....	22
3.1. Загрузка принципиальной схемы проекта	22
3.2. Основные команды построения принципиальной схемы.....	23
3.3. Редакция элементов схемы.....	25
3.4. Просмотр схемы, перенос в текстовые документы, печать на принтере...	26
3.5. Передача схемы в программу проектирования печатных плат Layout	26
4. Автоматическая разводка печатной платы в OrCAD Layout.....	28
4.1. Упаковка принципиальной схемы на плату.....	28
4.2. Подбор корпусов элементам принципиальной схемы.....	29
4.3. Область автоматического контроля параметров платы.....	30
4.4. Регенерация и панорамирование изображения.....	30
4.5. Нанесение контура печатной платы.....	30
4.6. Установка крепежных отверстий.....	30
4.7. Коррекция сеток размещения компонентов.....	31
4.8. Размещение компонентов на плате.....	31
4.9. Контекстное меню команды перемещения.....	32
4.10. Установка точки начала координат.....	32
4.11. Поиск ошибок расстановки	33
4.12. Оперативная корректировка платы.....	33

4.13.Разветвление (Fanout).....	33
4.14.Автоматическая трассировка проводников.....	34
4.15.Коррекция надписей на плате и в сборочных чертежах.....	35
4.16.Вывод на печать чертежей платы.....	35
4.17.Экспорт проекта в файлы программы Gerber.....	36
4.18.Краткая характеристика библиотек корпусов.....	37
5. Создание корпуса элемента (footprint)	38
5.1 Создание корпуса с заимствованием.....	38
5.2 Создание оригинальной контактной площадки.....	42
6. Коррекция технологических параметров и стратегии трассировки	44
6.1. Выбор технологического шаблона ПП.....	44
6.2. Выбор слоев платы для разводки трасс.....	45
6.3. Коррекция зазоров и второстепенных параметров платы.....	46
6.4. Использование переходных отверстий.....	46
6.5. Загрузка SF - файла стратегии трассировки.....	47
7. Интерактивная разработка платы в OrCAD Layout	49
7.1. Создание контура платы и размещение компонентов.....	50
7.2. "Горячая связь" между принципиальной схемой и платой.....	50
7.3. Пользовательские настройки программы.....	50
7.4. Выбор цепей и задание параметров их трассировки.....	51
7.5. Создание медного полигона (Copper Pour).....	52
7.6. Режимы работы команд трассировки.....	53
7.7. Ручная прокладка трассы.....	53
7.8. Коррекция сегмента трассы.....	54
7.9. Прокладка трассы с расталкиванием.....	54
7.10.Подключение цепей к слоям металлизации.....	54
7.11.Визуальный контроль и редактирование трасс.....	54
7.12.Простановка размеров платы.....	55
7.13.Прямая и обратная корректировки проекта.....	55
8. Ввод цифровых тестовых сигналов в OrCAD Capture.	
Редактор Stimulus Editor	56
8.1. Создание проекта в OrCAD Capture с возможностью моделирования.....	56
8.2. Ввод сигналов постоянного логического уровня.....	56
8.3. Ввод одиночного переменного сигнала.....	57
8.4. Ввод многоразрядного сигнала (шины).....	57
8.5. Задание временных параметров тестовой диаграммы.....	58
8.6. Редакция стимулов в Stimulus Editor.....	58
8.7. Прочие команды редактора Stimulus Editor.....	59
9. Моделирование цифровых схем в OrCAD Capture средствами программы PSpiceA/D	60
9.1. Загрузка проекта.....	60
9.2. Задание на моделирование.....	60
9.3. Выполнение моделирования и просмотр результатов.....	63
9.4. Перенос результатов моделирования в текстовые документы.....	65
10. Ввод аналоговых тестовых сигналов в OrCAD Capture	67

10.1.Доработка принципиальной схемы в OrCAD Capture.....	67
10.2.Ввод и настройка аналоговых сигналов в Stimulus Editor	68
10.3.Прочие команды редактора Stimulus Editor.....	69
11. Моделирование аналоговых схем в PSpice AD.....	71
11.1.Составление задания на моделирование.....	71
11.2 Выбор точности вычислений при моделировании.....	72
11.3.Анализ во временной области, осциллографмы переходных процессов.....	73
11.4.Параметрический анализ во временной области.....	74
11.5 Температурный анализ во временной области.....	75
11.6 Параметрический анализ по постоянному току в зависимости от температуры.....	76
11.7 Параметрический анализ по постоянному току в зависимости от сопротивления резистора.....	76
12. Введение в описание языка моделирования PSpice.....	78
12.1.Формат входных файлов языка PSpice.....	78
12.2.Описание схемы проекта на языке PSpice.....	79
12.3 Префиксы и типы элементов.....	80
12.4 Директивы управления языка PSpice.....	81
12.5 Директива описания моделей .MODEL.....	83
12.6 Директива описания макромоделей .SUBCKT.....	84
13. Описание моделей элементов в OrCAD PSpice.....	85
13.1.Шаблоны ввода параметров элементов в задание на моделирование.....	85
13.2.Модели простейших пассивных элементов.....	86
13.3.Создание модели элемента и собственной библиотеки моделей.....	88
13.4.Описание элементов с взаимной индуктивностью.....	89
13.5.Трансформатор без сердечника.....	89
13.6 Модели линий связи.....	90
Приложение 1. Библиотеки элементов с PSpice – моделями.....	93
Приложение 2. Отечественные и зарубежные серии ИС стандартной логики.....	96
Приложение 3. Позиционного обозначения элементов по ГОСТ 2.710-81.....	97
Приложение 4. Условные графические обозначения (УГО) элементов.....	101
Приложение 5. Правила выполнения электрических схем.....	107
Приложение 6. Основная надпись по ГОСТ 2.104-68.....	112
Приложение 7. Обозначения изделий и конструкторских документов по ГОСТ 2.201-80.....	116
Заключение.....	118
Литература.....	118

Введение

Система автоматизированного проектирования (САПР) печатных плат **OrCAD**, пожалуй, вторая по известности в России, после **P-CAD**.

Пакет OrCAD в настоящее время принадлежит компании **Cadence**, представленной во многих странах мира и специализирующейся на разработке программ для проектирования больших интегральных схем, а так же полупроводниковых приборов, печатных плат и систем. Новейшая разработка Cadence - пакет **PCB Design Studio** - мощная система сквозного проектирования сверхплотных, многослойных и быстродействующих плат, базируется на развитии основных модулей пакета OrCAD. В нее вернулась возможность проектирования схем гибкой логики при помощи языков высокого уровня VHDL и Verilog, удаленная из версии OrCAD 9.2

OrCAD 9.2 - тоже система сквозного проектирования, позволяющая разрабатывать принципиальные схемы электронных устройств, моделировать их работу а затем упаковывать на печатные платы с достаточно высокими характеристиками:

- максимальный размер платы 365x365 см, с разрешением 1 мкм;
- общее число слоев - 30, а число одновременно разводимых - 16;
- до 7500 компонентов и до 3200 выводов у каждого из них.
- 1000 типов контактных площадок и 250 типов переходных отверстий;

Наиболее привлекательные свойства OrCAD 9.2 следующие:

- доступность
- функциональная полнота сквозного проектирования, т.е. возможность разработать принципиальную схему, выполнить моделирование, развести печатную плату и передать файлы для исполнения на производство.
- простота создания библиотечных элементов и схем, возможность их выполнения в соответствии с отечественными стандартами ЕСКД.
- встроенная система моделирования аналоговых и цифровых схем PSpice с обширными библиотеками моделей реальных элементов, создаваемыми их изготовителями.

САПР можно представить как базу данных, содержащую информацию о компонентах, принципиальных схемах и других объектах проектирования, размещенную во множестве связанных таблиц. На дисплее эта информация представляется как в алфавитно – цифровом виде, так и в графическом, в виде чертежей в **графических слоях** проекта, или, для краткости, просто слоях. Например, изображение транзистора хранится в слое Part Body, точки электрических контактов – в слое Pin, а их номера – в слое Pin Number и т.д. Печатная плата описывается слоями проводников, чертежом отверстий в слое DRILL, слоями для надписей на ПП и сборочных чертежей. Цвета слоев можно менять, делать невидимым, запрещать для вывода на печать.

Обычно книги по САПР (или фирменные руководства) имеют устрашающую толщину. В тоже время известно, что дети легко осваивают компьютерные

игры, никогда не читая их описаний. Они пользуются интуицией и небольшими подсказками, зато имеют возможность много пробовать и начинать с начала после неудачи. Такой интерактивный режим освоения программ на начальном этапе оказывается эффективней штудирования многословных инструкций. Поэтому данное пособие **составлено в форме кратких указаний к выполнению типичных рабочих заданий**, что позволяет за пару дней освоить основные возможности САПР OrCAD и почувствовать вкус к совершенствованию. За очень короткое время Вы научитесь создавать библиотеки элементов, разрабатывать принципиальные схемы и моделировать их работу, разводить печатные платы.

Все модули OrCAD имеет обычный "офисный" интерфейс, в котором команды выбираются из меню одним из трех способов:

- Вложенные меню команд из верхней строки экрана. Далее в тексте слово команда будем опускать, а просто через "\" указываем соответствующие меню и команду.
- Контекстные меню, открывающиеся по щелчку правой кнопки мыши. В этом случае употребляем слово "меню" или сокращение КМ.
- Кнопки с рисунком и всплывающими подсказками. В тексте будем указывать их номера соответственно их расположению, например:
 - кн.5 – пятая кнопка, считая слева или сверху
 - кн.-2 – вторая кнопка, если считать справа или снизу.

К сожалению интерфейс не отделяет важнейшие команды от второстепенных, что всегда затрудняет начальное изучение. Поэтому здесь сведения, важные уже при первом чтении, выделены **жирным** шрифтом.

Предостерегаем от использования кириллицы как при размещении системы на жестком диске, так и при работе в ней, хотя формально OrCAD ее допускает. Недоразумения могут возникнуть даже если кириллица присутствует в названии папки, из которой извлекаются файлы!

Основной источник сведений для пособия - книги Всеволода Даниловича Разевига и собственный опыт автора, поэтому далее ссылки на источники не приводятся. Новизна данного пособия - в форме подачи материала.

В приложениях изложены сведения из ГОСТов Единой системы конструкторской документации (ЕСКД), достаточные для правильного оформления проектов, хотя они и не исчерпывают широких возможностей, предоставляемых этой системой.

Термины и сокращения

- **Component – компонент**, реальный электрический элемент (резистор ...)
- **Footprint – отпечаток**, изображение корпуса компонента для печатной платы.
- **Track - трасса**, дорожка печатного проводника или граница металлизации.
- **Pin - вывод** элемента или отпечатка на плате ("ножка").
- **Pad - контактная площадка (КП)** для выводов компонентов или ПО.
- **VIA - переходное отверстие (ПО)**, через которые печатные проводники переходят с одной поверхности платы на другую.
- **Spacing - минимально допустимый зазор** между проводниками
- **Obstacle – барьер**, так называют все графические элементы платы, за исключением трасс проводников.
- **Ratsnet - "крысиные норы"**, символические линии связей между выводами компонентов на печатной плате до ее разводки.

- **Part – элемент**, условно – графическое обозначение (УГО) компонента на принципиальной схеме.
- **Symbol – символ**, не электрический элемент схемы (штамп, "земля" ...)
- **Reference Designator (Ref.Des)** – позиционное обозначение (номер) элемента на принципиальной схеме и компонента на печатной плате.
- **Name – имя** элемента, под которым он хранится в библиотеке.
- **Value – номинал** элемента, атрибут, облегчающий чтение чертежа.
- **Implementation – реализация**, название математической модели элемента.

- **ПП - печатная плата**
- **УГО - условно – графическое обозначение** элемента принципиальной схемы.
- **ЛК – щелчок левой кнопкой мыши.**
- **2ЛК – два быстрых щелчка левой кнопкой мыши.**
- **Указать – установить** курсор на объект и ЛК.
- **ПК – щелчок правой кнопкой мыши.**
- **КМ - контекстное меню**, появляющееся после ПК
- **(кн.X), (кн.-Y)** – кнопки интерфейса для вызова команды, с номером X, если считать слева (сверху) и с номером Y, если считать справа (снизу).
- **кл.I, кл.O.... – "горячие" клавиши** клавиатуры – наиболее удобный способ вызова команд.

Состав и установка САПР OrCAD 9.2

Для работы системы OrCAD 9.2 требуется процессор Pentium с ОЗУ от 32 Мбайт и около 300 Мбайт памяти на жестком диске. Система состоит из нескольких модулей, набор которых определяет номенклатуру выполняемых операций и цену пакета. При установке, после запроса, нужно ввести литеры, соответствующие коду выбранных компонентов. **Каждую литеру - в отдельной строке.** Рекомендуем следующий комплект:

A
F
I
K

Компонент	Код	МБайт	
Capture	A	128	Создание принципиальных схем всех типов
Capture CIS	B	20	Аналог Capture, с интернет доступом к базам данных компонентов.
Layout	E	105	Редактор печатных плат, вкл. сеточный трассировщик MaxRoute, средства создания файлов для фото плottеров и программу черчения Vsual CADD.
Layout EngEd	G		Аналогичен Layout, но без автотрассировщика. Расстановка компонентов и ручная прокладка цепей перед передачей в программу автотрассировки.
Layout Plus	F	78	Аналогичен Layout, но вкл. бессеточный автотрас- сировщик SmartRoute. Двусторонняя совместимость с MicroSim PCBoards, SPECCTRA , P-CAD, Tango, PADS, Protel и AutoCAD;
PSpice	H	18	Моделирование аналоговых схем, полуавтоматическое описание моделей элементов.
PSpiceAD	I	20	Моделирование аналоговых, плюс алогово-цифровых устройств.
PSpice ADBasics	J		Упрощенная версия PSpice A/D.
PSpice Optimizer	K		Оптимизация параметров смешанных устройств при линейных и нелинейных ограничениях.
PSpice Schematic			Старая программа создания принципиальных схем, входившая в систему DesignLab ф. MicroSim.
Visual CADD			Графический редактор ф. Numera Software (упрощенный AutoCAD)
GerbTool			Создание управляющих файлов для фотоплottеров (ф. WISE Software Solutions, аналог CAM350)

1. Конфигурация проекта в программе OrCAD Capture

Перед созданием нового проекта надо настроить (проверить) параметры "шаблона" (**template**), определяющих масштаб изображения и соотношение размеров элементов (УГО) и их обозначений, которые после начала проекта изменить нельзя. Перед следующим проектом их опять можно изменить и они автоматически сохранятся, но после начала проекта – опять нельзя.

Конфигурируются оба модуля программы Capture:

- **Schematic** - редактор принципиальных схем.
- **Part and Symbol** - редактор элементов и символов принципиальной схемы.

1.1 Установка параметров шаблона проектов: Option \ Design Template.

- **Fonts – шрифт.** Размер шрифта выбирается из предложений ГОСТ 2.304-81 (приложение 5) и, так как важнейшими являются позиционные обозначения элементов, должен соответствовать размерам резисторов и конденсаторов, чьи размеры заданы в абсолютной величине: длина около 10 мм, ширина - около 4 мм (приложение 4). Размеры остальных УГО, как правило, относительны. С другой стороны, размер шрифта определяется как типом и "кеглем", так и шагом сетки чертежа (см.далее). С учетом всех этих соображений, рекомендую **высоту заглавной буквы 3,5 мм** и шрифт **Arial Narrow, 18pt**.

Кириллицу можно использовать только в комментарии (Text) !

- Alias — псевдоним (дополнительное имя) цепи, шины или компонента.
 - Net Name – имя цепи, например GND, +5V, CLK.
 - Part Reference — позиционное обозначение (R1, D2-1, X3-22).
 - Part Value - название элемента (R_1206, KXO-V97, EPM1270T144...).
 - Pin Name – имя вывода элемента (RES, SET, CLK...).
 - Pin Number – номер вывода элемента.
 - Power Text – названия выводов питания
 - Text – комментарий, **можно использовать и кириллицу**.
 - Bookmark - маркер для быстрого поиска на схеме
 - Border Text – текст рамки чертежа
 - Hierarchical Block – метка иерархического блока.
 - Off-page Connector - межстраничный соединитель
 - Port - элемент связи для иерархических проектов
 - Property - свойства
 - Title block Text— шрифт углового штампа схемы. Не используем.
-
- Title Block – основная надпись чертежа в Американском стандарте (угловой штамп). Заполнять не надо, а на схеме надо удалить. Основная надпись (штамп) и дополнительные графы (см. приложение 6) создается как **символьные элементы** собственной библиотеки и устанавливаются на чертеже.

- **Page Size** – задать метрическую систему единиц измерения **Millimeters**.
- **New Page Size** - размер листа **A1 = 841x594 мм** (приложение 5). Подсистема вывода, в случае необходимости, распечатывает большой формат на обычных листах принтера А4, которые, после склейки, позволят получить полно-масштабный чертеж. Однако, она же может уменьшить масштаб, и вывести весь чертеж на лист А4, вполне читаемый и удобный для работы.
- **Pin-to-Pin Spacing** – размер шага сетки изображений УГО, минимальное расстояние между их контактами. **Рекомендую 2 мм.** Этот параметр **после открытия проекта не изменяется**. Он определяет и масштаб представления библиотечных элементов на чертеже, и реальный размер шрифта. Размеры элементов в библиотеках OrCAD условны, и при их размещении на схеме, автоматически изменяются так, что бы абстрактному шагу сетки символально-го редактора, соответствовал заданный шаг сетки схемы. Например, если длину резистора в символическом редакторе сделать 5 шагов, то при сетке 2 мм его длина на принципиальной схеме будет 10 мм, что и требуется по ГОСТ 2.728-74. Этот же шаг 2 мм определяет минимальное расстояние между линиями на чертеже. Шаг в 1 мм был бы еще удобней, но, к сожалению, при таком шаге точки соединения цепей на чертеже изображаются слишком мелко и их трудно разглядеть на экране.
Внизу экрана, справа, указываются координаты курсора: для редактора схем - в миллиметрах, а для редактора элементов - в единицах шага сетки!
- **Grid Reference** – координатная рамка по периметру чертежа.
 - Horizontal, Vertical - параметры рамки, располагаемой вокруг листа и присваивающей координаты участкам схемы, как в игре "морской бой".
 - Count — количество граф на рамке по горизонтали и вертикали;
 - Alphabetic — нумерация граф в алфавитном порядке;
 - Numeric — нумерация граф в числовом порядке;
 - Ascending — установка номеров граф рамки в возрастающем порядке;
 - Descending — установка номеров граф рамки в убывающем порядке;
 - Width — ширина рамки по горизонтали и вертикали;
 - **Border Visible** – границы чертежа можно сделать видимыми (**Displayed**), но выводить на печать не следует (**Printed**).
 - **Grid Reference Visible** – флаги не устанавливать, чтобы рамки не было ни на экране (**Displayed**), ни при печати (**Printed**).
 - ANSI grid references — изображение по стандарту ANSI.
 - **Title Block Visible** – основная надпись, не соответствующая ГОСТу. Удалить и заменить на "штамп", создаваемый как не электрический символьный элемент собственной библиотеки (см. п.2.11 и приложение 6)
- **Hierarchy** - параметры иерархических блоков, не поддерживаемых версией 9.2!

- SDT Compatibility - устанавливается соответствие параметров элементов с DOS-версией OrCAD Schematic Design Tools (SDT 386+).

1.2 Option \ Preferences - параметры отображения проекта на экране. За исключением двух, лучше не трогать. Сохраняются в capture.ini.

- **Grid Display - стиль изображений сетки перемещения курсора.**
 - **Schematic Page Grid** - сетка редактора схем.
 - **Displayed, Dots**, - отображение сетки в виде точек.
 - **Pointer snap to grid** – "привязка" курсора к узлам сетки (**кн.-3**). Только этот выбор при создании элементов и схем обеспечит легкую "стыковку" между контактами. "**Отвязанный**" курсор используют для размещения текста или "не электрической" графики.
 - **Part and Symbol** - сетка редактора элементов.
 - **Displayed, Lines** - отображение сетки в виде линий.
 - **Pointer snap to grid** – "привязка" курсор к узлам сетки (**кн.-3**).
- **Miscellaneous – "горячая" связь с печатной платой** и стиль графики.
 - Fill Style - стиль заливки замкнутых фигур
 - Line Style and Width - стиль и ширина линий
 - Color - цвет графических объектов (линий, многоугольников и дуг). По Default они соответствуют цветам Graphics на закладке Color/Print
 - Font (Arial 9) - шрифт, используемый в менеджере проектов и файле протокола Session Log
 - Render True Type fonts with strokes — изображение шрифтов True Type в виде растровых шрифтов (для вывода на печать);
 - Fill text — заливка шрифтов;
 - **Enable Auto Recovery** — периодическое автосохранение проектов в каталоге \WINDOWS\TEMP\AUTOSAVE;
 - Update every xxx minutes — интервал автосохранения, в минутах;
 - **Automatically reference placed parts** — автоматическое присваивание позиционных обозначений элементам, вводимым в схему.
 - **Enable Intel-tool Communication (ITC)** — режим оперативного взаимодействия с программами моделирования (PSpice) и проектирования ПП (Layout). "**Горячая связь**" - cross probing.
- Color / Print – цвета слоев и отметки о выводе их на печать (графа Print).
 - Use Defaults - восстановить значения, задаваемые по умолчанию.
 - Pan and Zoom - коэффициент увеличения / уменьшения масштаба изображения (Zoom Factor) и процент панорамирования (Auto Scroll Percent). Панорамирование, т.е. смещение схемы, производится при приближении курсора к границе окна, если нажата и удерживается ЛК.
- Select - принцип выделения объектов (Area Select): объект полностью внутри области выбора (Fully Enclosed) или касается ее границы (Intersection).

- Maximum number of objects to display at high resolution while dragging - количество объектов, отображаемых при их перемещении.
- Text Editor - конфигурация редактора VHDL-файлов, отключенного в v.9.2.

1.3 File \ New \ Project.... - начало нового проекта.

- **Name** - задать произвольное имя проекта, например N1
- **Выбрать второй вариант**, позволяющий создать принципиальную схему, выполнить моделирование цифровых элементов и развести печатную плату.
 - Analog or Mixed A/D – разводка ПП, моделирование цифровых, аналоговых или аналого – цифровых схем.
 - **PC Board Wizard** – разводка ПП, моделирование цифровых схем.
 - Schematic Design – только разработка принципиальной схемы.
 - Programmable Logic Wizard – программируемая логика. Отключена.
- **Location** – указать произвольную папку в которой разместится проект. В частности текстовый файл загрузки проекта **OPJ - файл**.
- **Enable project simulation** – установить флаг разрешающий моделирование.
 - К проекту автоматически подключаются 4 библиотеки источников тестовых сигналов, из которых достаточно оставить только **sourse.olb** и **sourcestm.olb**.
 - Предлагается список библиотек из папки ...**OrCAD \ Captire \ Library \ PSpice**, содержащих элементы, имеющие математические модели. Любую из библиотек можно подключить как здесь, так и позже.
 - **Если моделирование не предполагалось** – будет предложен список библиотек из ...**OrCAD \ Captire \ Library**, с элементами без математических моделей.
 - Использованием VHDL моделей в версии 9.2 исключено.
- На экране откроется структура проекта в виде системы папок:
 - **dsn** – файл, графический файл принципиальной схемы, разбитый на страницы чертежей заданного формата (PAGE).
 - **Указать страницу, ПК, Edit Page** – и можно рисовать схему (см. гл.3) .
 - **Design Cache** – буфер, хранящий образы всех элементов, введенных в схему. Так что при повторном обращении за элементом, он будет извлекаться не из библиотеки, а из кэша. Иногда это мешает.

1.4 Загрузка существующего проекта.

File \ Open \ Project, выбрать загружаемый **OPJ** – файл, например N1.OPJ, выводящий на экран **Design Resources** - структуру папок проекта:

- **N1.dsn** – созданный ранее файл принципиальных схем, содержащий:
 - **SCHEMATIC1** – список страниц принципиальной схемы.
 - **PAGE1** – первая страница принципиальной схемы. По ПК ее можно открыть для редактирования, переименовать, изменить шаблон. А вот **изменить шаг сетки проектирования – нельзя**, т.к. для этого пришлось бы перерисовывать масштаб изображения всех элементов схемы.
- **Design Cache** - все элементы, введенные в схему, оседают и в кэше, и при повторном вводе извлекаются уже не из библиотеки, а из него. Это может вызвать недоумение при коррекции элемента в библиотеке и замене им элемента схемы, т.к. в схему все равно будет вводиться элемент не отредактированный – из кэша. **Удалить же из кэша можно только те элементы, которые удалены и из схемы!**
- **Удаление элементов из кэша:**
 - Удалить все экземпляры элементов из схемы
 - Указать dsn – файл, команда **Design \ Cleanup Cache**
- **Library** – список библиотек элементов (**OLB** – файлов), подключенных при создании проекта. Для подключения новых библиотек, достаточно:
 - Указать папку **Library**, ПК, выбрать **Add Fill**
 - Обычным образом найти каталог (... \CAPTURE\LIBRARY) и выбрать OLB-файл библиотеки.
- **Outputs** – выходные файлы программы для связи с другими модулями.
- Расширения файлов, образуемых в папке проекта без моделирования

.opj	текст	Файл вызова проекта. Описывает состав и пути к файлам
.dsn	граф.	Принципиальная схема проекта.
.dbk	граф.	Копия предыдущей версии файла принципиальной схемы
.olb	бинар	Библиотеки элементов.
.obk	бинар	Копия измененного файла библиотек элементов
.net	текст	Список соединений схемы в текстовом формате
.als	текст	Список номеров выводов элементов и имен подключенных цепей
.mnl	бинар	Список соединений схемы для программы разводки ПП Layout

2. Создание УГО элементов принципиальной схемы в OrCAD Capture (Part and Symbol Editor)

Информация об элементах хранится в библиотечных файлах трех типов и, по необходимости, система автоматически к ним обращается:

- По адресу ... \ Capture \ Library \ хранятся **olb** – файлы элементов принципиальных схем (УГО), которые, однако, не позволяют выполнять моделирование.
- По адресу ... \ Capture \ Library \ PSpice \ находятся как olb – библиотеки элементов, перечисленные в приложении 1, так и соответствующие им текстовые **lib** – файлы библиотек моделей на языке PSpice.
- По адресу\ Layout_Pius\ Library \ находятся **lib** - файлы библиотек корпусов, которые используются в программе разводки ПП **Layout**.

В библиотеках OrCAD 9.2 находится более 30 тыс. элементов, изображения которых не соответствуют требованиям ЕСКД, хотя и близки к ним. Но после небольшой редакции, в соответствии с приложением 4, они вполне могут соответствовать требованиям ГОСТ и их можно (и нужно) использовать, предварительно сохранив в собственной библиотеке. Элементов в OrCAD так много, что иной раз проще создать собственный УГО, чем найти библиотечный. Но такие УГО не будут иметь математических моделей. Кстати, и "фирменные" элементы не все содержат ссылки для связи с моделями и корпусами, но ссылки на корпуса несложно добавить в процессе проектирования вручную.

2.1. Создание собственной библиотеки и заимствование элементов.

- **File \ Open \ Project**, в менеджере проекта указать на папку **Library**.
- **File \ New \ Library** – в папке появится файл **Library1.olb** новой библиотеки.
- **Сохранить библиотеку: указать, ПК, Save As...** Задать имя и место.
- **Удаление библиотеки из проекта** выполняется кл. **Delete**. Однако, физически файл сохраняется и может быть подключен снова, как здесь, так и непосредственно в редакторе схем.
- **Подключение библиотеки:** указать папку **Library**, ПК, Add Fail, найти и указать файл библиотеки.
- **Копирование элемента из одной библиотеки в другую** осуществляется через буфер обмена операционной системы, обычным образом:
 - Открыть чужую библиотеку (ЛК на квадрате с крестом перед именем), указать элемент, скопировать в буфер командой **Edit / Copy** (кн.6).
 - Открыть свою библиотеку и вставить содержимое буфера командой **Edit / Paste** (кн.7).

2.2 Пример создания УГО 1533IE13 с использованием аналога 74ALS191

Всегда удобней создавать УГО элемента путем копирования аналога из фирменной библиотеки в свою и редактируя графику и название. При этом, если **не менять имена выводов**, модель элемента сохраняет работоспособность!

Большинство серий микросхем стандартной логики (и отечественных и импортных) являются между собой и функциональными, и "pin - аналогами" (см. приложение 2). Это позволяет для исследования логики работы заменять ИС одной серии, на другие. Однако, быстродействие функциональных аналогов обычно различается и это надо учитывать при моделировании работы устройств.

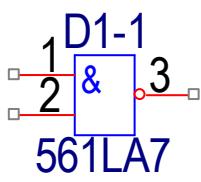
- В менеджере проекта указать папку **Library, ПК, Add Fill**, найти библиотеку ..\Capture\Library\PSpice\ 74als.olb, открыть, выбрать 74ALS191 и скопировать в буфер.
- Открыть свою библиотеку и скопировать в нее из буфера элемент 74ALS191.
- **Отредактировать УГО элемента.**
 - Указать элемент 74ALS191 в собственной библиотеке, **ПК, Edit Part**.
 - **Options \ Package Properties** (не выходя из Edit Part) :
 - **Name** заменить на 1533IE13 (шрифт латинский)
 - **Part Reference Prefix** заменить с U на D. Эта буква, префикс позиционного обозначения (приложение 3), ставится перед позиционным обозначением элемента и на схеме, и на плате и характеризует его тип.
 - **Part Numbering** – установить цифровую (**Numeric**) нумерацию секций.
 - **Options \ Part Properties** (не выходя из Edit Part) в таблице **User Properties** "значение элемента" (**Value**) 74ALS191 заменить на 1533IE13.
- **Коррекция графики условно-графического изображения (УГО) элемента** описана ниже. Но **ни имя модели элемента (Implementation), ни названия выводов менять нельзя, иначе использование модели элемента станет невозможным.**

2.3. Создание УГО элемента "с нуля" на примере простой ИС 561ЛА7.

Указать библиотеку **ПК, New Part**, в окне **New Part Properties** установить:

- **Name = 561LA7-** имя символа, параметр Value;
- **Part Reference Prefix = D** – префикс позиционного обозначения ИС.
- **PCB Footprint** - имя корпуса, например, DIP.100/14/W.300/L. Отсутствие этого атрибута не мешает разработке принципиальной схемы и ее моделированию. Но при переходе к печатной плате, **OrCAD Layout** предложит выбрать корпус из имеющихся библиотек.

- **Parts per Package** = 4 - количество элементов в корпусе т.к. в корпусе к561ЛА7 упаковано 4 одинаковых элемента 2И-НЕ.
- **Package Type** = **Homogeneous**, т.к. в 561ЛА7 все элементы одинаковы. А, например, для ИС 564ЛП2 - Heterogeneous, так как в ней 2 элемента ЗИЛИ-НЕ и один элемент НЕ;
- **Parts Numbering** = **Numeric**, т.к. в России принято обозначать секции цифрами (D1.1, D1.2, D1.3...), а не буквами, как в США (D1A, D1B, D1C ...). К сожалению, нумерация в OrCAD будет отличаться от ГОСТовской: D1-1, D1-2, но, думаю, грех не большой.
- **Pin Number Visible** – показывать ли на схеме номера выводов элемента? Здесь да, но, например, у резисторов и конденсаторов это не нужно.
- Create Convert View - создание изображения символа другого типа опускаем;
- Part Aliases – псевдонимы символа. Не обязательны, но позволяют уменьшить объем библиотек. Например, если присвоить в качестве псевдонимов имена pin - аналогов к561ЛА7, к176ЛА7, кр1561ЛА7, их УГО автоматически окажутся в библиотеке.
- Attach Implementation – подключение дополнительного описания символа (эквивалентная схема, VHDL-файл, список соединений, модель PSpice).
 - Implementation type — тип модели, принимающей значения:
 - Schematic View — схема объекта;
 - PSpice Model — модель для программы Spice;
 - PSpice Stimulus — описание внешнего сигнала для программы PSpice;
 - VHDL — описание компонента на языке VHDL;
 - EDIF — список соединений в формате EDIF;
 - Project — схема проекта программируемой логики (для него необходимо дополнительно задать выводы иерархических блоков);
 - Implementation — имя присоединенного объекта;
 - Path and filename — полное имя файла присоединенного объекта.
- **OK** - переход в графический редактор **Part and Symbol Editor**.



УГО элементов должны иметь минимальные допустимые размеры, чтобы, в идеале, вся схема помещалась на листе обычного принтера. Примерно так, как на рисунке слева:

- буквы и цифры имеют заданную высоту 3,5 мм.
- размеры УГО соизмеримы с размером шрифта

Все необходимые команды графического редактора выведены на кнопки, сгруппированные в колонку справа. Будем их нумеровать сверху вниз.

2.4. Установка выводов УГО

Укрупните изображение командой **Zoom to All** (кн.-10).

Пунктирный прямоугольник в окне редактора ограничивает габариты "тела" будущего символа (габаритный символ), а выводы элемента устанавливаются на его периметре. Буксировкой угла габаритного символа изменяют его размер до необходимого, не забывая, что, в принципе, он должен быть как можно меньше, чтобы чертеж не занимал много места.

Шаг сетки символьного редактора условен, но при последующем вводе созданного элемента в схему его размеры автоматически изменятся так, что одной клетке будет соответствовать шаг сетки принципиальной схемы, заданный ранее 2 мм (п.1.1, Pin-to-Pin Spacing). Чтобы номера ножек высотой 3,5 мм помещались между выводами, расстояние между ними надо сделать в 2 клеточки. Остальные размеры УГО ИС должны быть соразмерны расстоянию между выводами (приложение 4), а общий вид должен соответствовать изображению в учебниках, что облегчает чтение схем. **Неоправданно увеличивать размеры УГО вредно!**

Place \ Pin (кн.3) – разместить 5 выводов на боковых ребрах прямоугольника: два вывода на левой стороне и по одному сверху, справа и снизу. После установки, задать параметры : указать вывод, 2ЛК, задать атрибуты:

- **Name** — имя вывода, любое, например, in1, out1, ... (**латинские буквы!**). Для ввода знака инверсии над именем, нужно после каждой буквы вводить косую черту “ \ ”.
- **Number** — номер вывода в корпусе компонента.
- **Shape** — форма рисунка вывода:
 - **Line** - длинный вывод - 3 шага сетки
 - **Short** - короткий, длиной 1 шаг сетки – предпочтительный вариант!
 - **Dot** – инверсный вывод, длиной 3 шага сетки (выход ЛА7)
 - **Clock** – положительный динамический вход
 - **Dot-Clock** - отрицательный динамический вход
 - **ZeroLength** - вывод нулевой длины, для "невидимых" выводов питания.
- **Type** — тип вывода. Позволяет автоматически находить некоторые ошибки в соединениях элементов (например, соединение двух выходов):
 - **Input** - вход
 - **Output** - выход
 - **Bidirectional** - двунаправленный вывод
 - **3-State** - тристабильный вывод (1, 0 и Z-состояние разрыва цепи).
 - **Open Collector** - выход с открытым коллектором
 - **Open Emitter** - выход с открытым эмиттером
 - **Passive** - вывод пассивного элемента (резистора, конденсатора и т.п.)
 - **Power** - выводы "земли" и "питания".
- **Scalar** или **Bus** - выбор между одиночным выводом или шиной.
- **Pin Visible** - возможность скрыть на чертежах выводы питания (тип **Power**), что обычно и делается для логических ИС (ГОСТ 2.708-81, п.1.28).
- **User Properties** - просмотр и редактирование характеристик вывода.

2.5 Коррекция "видимости" атрибутов элемента.

Имена выводов простых логических элементов на чертежах должны быть невидимыми. У резисторов, конденсаторов, диодов и тому подобное, невидимыми должны быть и имена, и номера выводов.

- **Options \ Part Properties**, в таблице **User Properties** найти и указать строку **Pin Names Visible**, которая по умолчанию имеет значение **True** (истина). Выбрать в окне снизу значение **False** (ложь), после чего имена выводов станут невидимыми.
- **Значение элемента** - атрибут **Value** в последней строке той же таблицы. Введенное значение (латиница!) заменит атрибут <Value> на чертеже элемента.
- Другие атрибуты, представленные в таблице без признака **R** (только чтение), редактируются так же.
V – признак вывода атрибута в схему вместе с элементом. **Редактировать значение и видимость атрибутов элемента можно и после установки его в схему** в окне **Display Properties**, вызываемом по 2ЛК на том или ином атрибуте элемента. **Но эти изменения сохраняются только в схеме и не затронут элемент в библиотеке!**

2.6. Завершение графики УГО.

Согласно вышеизложенному, длина боковых сторон прямоугольника будет 4 клетки, а длина верхней и нижней сторон – по 3 клетки. Исходя из этого, буксируем габаритный символ до прямоугольника 4 x 3.

- **Place \ Rectangle** (кн.7) – рисуем прямоугольник поверх габаритного символа.
- Перемещаем выводы как должно: входы слева, выходы справа. При этом они остаются строго в узлах сетки, что гарантирует легкость коммутации элементов на принципиальной схеме.
- Для размещения надписей **отцепим курсор от сетки** кнопкой **Snap to grid** (кн.-3) в горизонтальном ряду, с изображением стрелки (кнопка покраснеет). Однако, потом не забудьте вернуть ее в правильное, "привязанное" положение:
 - **Place \ Text...** (кн.10) - нанести символ функции "И" &, предварительно изменив кегль шрифта на 14.
 - **Установите название элемента (Value)** под элементом, либо, для "больших" элементов, где то на его изображении.
 - Префикс позиционного обозначения **D?** разместите над элементом.

2.7 Параметры выводов питания и "земли"

- **Name** — имя выводов питания, обычно, VCC, а земли - GND. Невидимые на схеме, эти выводы на печатной плате будут автоматически подключаться к одноименным цепям. Если же цепь питания схемы назвать по-другому, например +5, соединения не произойдет! Поэтому, надо контролировать названия невидимых выводов и прямо на схеме их переименовывать. При этом в библиотеке названия меняться не будут.
- **Number** — номер вывода. У ЛА7 VCC = 14, а GND = 7
- **Shape – Zero Length** – нулевой длины, поскольку все равно невидим.
- **Type – Power**, как для питания, так и для "земли"
- **Pin Visible** - сбросить флагок, чтобы сделать невидимым на схеме.

У элементов, не столь стандартизованных как элементарная логика, в частности ПЛМ, выводы питания надо делать видимыми, и надо не забыть между каждой парой VCC – GND подключить фильтрующий конденсатор.

2.8 Просмотр невидимых выводов питания на чертеже.

Это может потребоваться, например, для документирования:

- В менеджере проекта указать dsn - файл, **Options \ Design Properties**.
- На закладке **Miscellaneous** выбрать **Display Invisible Power Pins** (for documentation purposes only), после чего, если открыть страницу чертежа PAGE, на ней появятся номера выводов питания, однако, в не очень презентабельном виде. После закрытия страницы невидимые номера опять станут невидимыми.

2.9 Ввод остальных секций элемента.

- **View \ Next Part**, указать вывод, 2ЛК , задать номер.

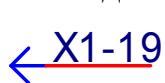
Для однородных элементов надо задать только номера выводов остальных секций. Выводы же питания у них общие, т.е. уже установлены.

Для неоднородных элементов изображение каждой секции рисуется заново, но выводы "земли" и "питания" достаточно ввести только в одной из секций.

- **View \ Package** - просмотр изображений всех секций. Возврат - 2ЛК.

2.10 Изображение разъемов.

Разъем изображается подобно ИС, состоящей из нескольких однородных секций. Каждая его секция – один единственный вывод (контакт).

 Например, так выглядит штыревой контакт № 19 разъема с позиционным номером X1.

Графика УГО контакта создается один раз, при вводе первой секции разъема, с именем 1 и с номером тоже 1. Потом, по команде **View \ Next Part** переходим ко второй секции, 2ЛК на выводе и присваиваем и имя 2, и номер 2. Аналогично в секции 19 присваиваем выводу имя 19 и номер 19. И т.д., до последней секции разъема (до последнего вывода).

2.11 Создание не электрического символа схемы.

Например, это может быть "стрелка", символизирующая подключения к шине питания, символ "земли" (Power), символ соединения цепей, размещенных на разных станицах проекта (Off-Page Connector), или угловой штамп чертежа (Title Block). Осуществляется весьма похожим образом:

- Указать библиотеку, ПК, **New Symbol**.
- В окне **New Symbol Properties**, назначить имя и тип и можно рисовать.
- Для ввода такого символа на чертеж схемы нужно пользоваться командой соответствующего символу типа, например
 - **Place \ Power (кн. 8, 9)** - для символов питания и земли.
 - **Place \ Off-Page Connector (кн. 12)** - для символов соединения цепей.
 - **Place \ Title Block** - для ввода чертежных штампов.

3. Разработка принципиальной схемы в OrCAD Capture (Schematic Editor)

Процесс разработки кажется исключительно простым: извлечь необходимые элементы из библиотек и соединить нужные выводы между собой. Однако, схема должна, по возможности, легко читаться, для чего надо придерживаться как требований ГОСТов, так и некоторых общепринятых правил, например:

- элементы и типовые фрагменты схемы должны **выглядеть стандартно**, "как в учебнике", что существенно облегчает чтение чертежей.
- информация в схемах передается **слева направо и сверху вниз**.
- функционально обособленные части лучше **и пространственно обособить**.
- **объединять в шины только цепи параллельной передачи однородной информации**, либо в случае крайней необходимости, т.к. это ухудшает читаемость схемы.
- лучше ввести **несколько шин** для каждой из функционально обособленных частей схемы, чем одну, общую для всех.
- рабочий чертеж не должен быть большим. При шаге сетки 2 мм, формате листа А1, шрифте **Arial Narrow 18pt** и четырехкратном уменьшении при печати, чертеж поместится на обычном листе принтера А4.

Кроме того, не надо забывать о мерах, повышающих помехоустойчивость схемы:

- Использовать **наиболее медленные элементы**, с большим временем нарастания и спада и с малой амплитудой выходных сигналов.
- Уменьшать количество одновременно переключаемых элементов, для чего **сдвигать синхросигналы**, управляющие группами элементов, друг относительно друга.
- Если синхросигнал имеет **скважность 0,5** (меандр), четные гармоники помех резко уменьшаются.
- К ножкам питания ИС **подключать керамические конденсаторы** емкостью 100...300 нФ, сглаживающие импульсы тока по цепям питания.
- Установить **фильтрующие конденсаторы на обоих концах проводов** межплатного соединения, между обратным проводом, подключенным к земле, и шиной питания.
- Сигналы, приходящие на плату, пропускать через **буферные элементы** с тригерами Шмитта на входе.
- **Сигналы, выходящие из платы не подавать на входы** схем, находящихся на этой плате, т.к. отражения в случае рассогласования могут вызвать ложные срабатывания

3.1 Загрузка принципиальной схемы проекта : File \ Open \ Project – загрузить проект через **орј – файл вызова проекта**, описывающий состав проекта и пути к его файлам. **PAGE1** – первая страница принципиальной схемы, которую и надо открыть: **ПК, Edit Page или 2ЛК**.

3.2 Основные команды построения принципиальной схемы.

Основные команды, снабженные подсказками, выведены на кнопки в вертикальной панели в правой части экрана:

- **Place \ Part** (кн.2) - **ввод библиотечных элементов.**

Элементам автоматически присваивается позиционное обозначение (**Part Reference Designator**) из буквы, порядкового номера и номера секции. Позиционное обозначение и название элемента (**Value**) можно перемещать и редактировать, дважды щелкнув по ним ЛК.

- **Add Libraries** – подключить библиотеку, выделить ее в окне **Libraries**.
- **Part List** – список элементов выделенной библиотеки. Изображение и упаковочные данные элемента, выделенного в списке, появляются в нижней части окна.

Для автоматического поиска в выделенной библиотеке можно задать имя или его часть в окне **Part..**

- **Parts** – номер вводимой секции, показываемой в окне справа.
- **Parts per Pkg** – число элементов (секций) в корпусе.
- **Graphic** - обычное (Normal) или эквивалентное изображение логических компонентов в стиле DeMorgan (Convert),
- **Type** – сообщение об однородности или неоднородные элемента

- **OK** - перенос выбранного элемента в схему с фиксацией по ЛК.

Автоматически вводится следующая копия и т.д., пока не задать **Esc** или команду **Select** (кн.1).

- **Remove Library** - удаление указанной библиотеки из проекта.
- **Part Search** - поиск конкретного элемента в библиотеках, расположенных в папке указанной в окне Library Path. В окне Libraries выводится список библиотек, содержащих заданный элемент.

- **Контекстное меню** открывается, если во время ввода элемента нажать ПК:

- **Rotate** (кл. R) – вращение элемента на 90 гр.
- **Mirror** - зеркальное отображение.
- **Zoom In** (кл. I), **Zoom Out** (кл. O) – увеличение или уменьшение масштаба изображения всей схемы.
- **Edit Properties** – редакция УГО элемента.
- **End Mode** – прерывание команды ввода.

- **Select** (кн.1 - верхняя, со стрелкой) - **выбор объекта редактирования.**

- **Выбор объекта** – указать (установить курсор на объект и щелкнуть левой кнопкой мышки).
- **Выделить еще объект** – ЛК при нажатой клавише Ctrl (Ctrl+ЛК).
- **Снять выделение для объекта** – Ctrl+ЛК.
- **Снять выделение всей группы** - ЛК вне объекта.
- **Выделить объекты "окном"** – нажать и не отпуская ЛК охватить окном выделяемые объекты

- **Перемещение объектов** – выделить, курсор внутри, ЛК и, не отпуская, перетащить.
- **Тиражирование объекта:** выделить, нажать Ctrl и, не отпуская, перетащить копию в нужное место. По **Edit \ Repeat Copy** (или по **F4**) возникнет еще одна копия на том же расстоянии от копии предыдущей.
- **Place \ Wire** (кн.3) - размещение электрических цепей линиями ширины 0,2 мм, при масштабе 1:1. Такими же линиями изображаются контура элементов и их выводы. Ширина линий не изменяется.
 - Указать начало цепи, ЛК, курсор приобретает вид креста, протяжка.
 - Ввод завершается, если конец цепи совпадает с выводом компонента или любой точкой другой цепи. Принудительное завершение – 2ЛК.
 - Излом проводника под углами, кратными 90° , фиксируется ЛК. Протяжка под произвольным углом - при нажатой кл. **Shift**.
 - Для отмены соединения надо разместить сверху соединительной точки еще одну: **Place \ Junction** (кн.6)
 - Выделить всю цепь для просмотра можно двумя путями
 - указать любой сегмент и в меню (ПК) выбрать **Select Entire Net**
 - в команде **Edit \ Find** задать имя цепи
 - Если при перемещении элементов цепи могут объединиться, они высвечиваются и выводится предупреждение. Для отмены перемещения нажмите **OK** и **Edit \ Undo Move**.
 - Перемещение цепей без учета электрических соединений производится при нажатой кл. **Alt**.
 - Режим завершается кл. **Esc** или выбором **End Wire** в контекстном меню.
- **Place \ Net Alias** (кн.4) – присвоение имени цепи (псевдонима).

Всем цепям автоматически присваиваются системные имена, которые изменить невозможно, например N01049. Однако, для удобства, можно присвоить и собственное имя – **псевдоним (Alias)** и даже несколько псевдонимов (таблица свойств **Properties**).

- **Place \ Bus** (кн.5) - размещение шин - утолщенных линий, символизирующих группу проводников. Шины экономят место на чертеже и облегчают его чтение, если объединяют проводники, передающие однородную информацию. В противном случае лучше их не использовать, т.к. чтение чертежа усложняется.

Например, если шине однородных сигналов данных D1...D8, присвоить имя D[8..1] и подключить к ней 8 разрядный тестовый сигнал (см. главу 8), то младший разряд сигнала окажется поданным на линию D1. Если же назвать шину D[1..8], то младший разряд тестового сигнала окажется на линии D8.

Можно шину и не именовать, а трактовать как не электрическую линию, просто рисунок, символизирующий протяжку проводников из одной части схемы в другую. В этом случае входные и выходные цепи, обязательно поименованные (кн.4), можно "подключать" к шине в произвольном порядке.

- **Place \ Junction** (кн.6) – установка электрического соединения, например, для пересекающихся сегментов цепей. Три способа: или **Place Junction** или 2ЛК в точке соединения, или Shift]+J. Эти же действия и разрывают соединение.
- **Place \ Power, Place Ground** (кн.8 и 9) - размещение символов "питания" и "земли" для объединения соответствующих цепей. Для цифровых ИС, со стандартными именами выводов VCC и GND, да к тому же невидимыми, обычно не используется.
- **Place \ Off - Page Connector** (кн.13) - символ соединения цепей, размещенных на разных страницах проекта. Из библиотеки **CAPSYM.OLB** извлечь символ OFFPAGELEFT-R или OFFPAGELEFT-L, сориентировать направление стрелок кл. R, подключить к цепям на нужных страницах, 2ЛК и присвоить имена, общие для объединяемых цепей.
- **Place \ No connect** (кн.14) - символ "нет соединений" (NC), подключается к свободным выводам элементов, чтобы программы проверки не фиксировали ошибку. Для его удаления нужно поверх разместить еще такой же.
- Place \ Bus Entry (кн.7) – ввод отводов шины. Это сегмент обычной цепи, но развернутый на 45°. Элемент не обязательный.
- Далее идут кнопки неэлектрической графики (линии, прямоугольники, эллипсы) и текстового комментария.

В меню **Edit** имеются следующие полезные команды:

- **Edit \ Select All** - выделить все.
- **Edit \ Undo** – отмена последней выполненной команды
- **Edit \ Redo...** – отмена выполненной команды **Edit \ Undo...**
- **Edit \ Repeat...** – повторное выполнение только что выполненной команды.

3.3 Редакция элементов схемы: указать УГО, 2ЛК, выбрать Edit Part.

Если при выходе из редактора элемента выбрать **Update All**, исправления будут распространены на все экземпляры элемента, размещенные на схеме, хотя не коснутся библиотеки и кэша. Редакция элементов схемы позволяет присвоить невидимым выводам питания имена, совпадающими с названиями соответствующих цепей. Часто требуется изменить расположение выводов элементов, чтобы схема проще читалась.

Чтобы исправления в элементе распространялись и на последующие проекты, редактировать его надо прямо в библиотеке. Однако, **чтобы отредактированный элемент вводился и в начатый проект, все его старые версии должны быть удалены сначала из проекта, а потом и из кэша**, командой: **Design \ Cleanup cache**, которая доступна только из менеджера проекта, если в нем указать на папку **Design Cache**.

3.4 Просмотр схемы, перенос в текстовые документы, печать на принтере.

Для просмотра используют клавиши масштабирования (кл. I и кл. O) или команду поиска элементов **Edit \ Find**, например, по позиционному обозначению.

Перенос схемы или ее фрагментов в текстовые документы выполняется обычным образом, через буфер системы: выделить, скопировать...

Настройка печати с предварительным просмотром позволяют распечатать по частям проекты даже большого формата. Помимо формата A4 (297x210) рекомендую форматы ему кратные, т.е. 297x420 (A3), **297x630**, 297x840 и т.д.

- **File \ Print Preview....** - задание параметров и просмотр перед печатью.
 - Кнопкой **Setup...** перейти в окно выбора принтера, размера бумаги (A4) и ее ориентации (альбомная).
 - **Scale** - способ соотнесения размеров чертежа и ориентации листа бумаги формата A4 принтера "книжная" или "альбомная".
 - **Scale to paper size** - масштабирование в размер бумаги по ее ширине, с учетом ориентации . Т.е. схема займет все пространство листа от левого края до правого, но снизу и сверху останется свободное пространство. Очевидно, на альбомном листе масштаб будет крупнее.
 - **Scale to page size** - масштабирование в один из форматов, выбранных в поле справа **Page size**, включающий и нестандартный реальный формат проекта Custom. Изображение на бумаге будет зависеть от ее ориентации и от скрытых ограничений принтера на печать у краев бумаги.
 - **Scaling** - произвольное изменение масштаба схемы и ее размещение на листах выбранной ориентации. Обычно дает лучший результат, т.к. небольшое уменьшение, например 0.95, позволяет компенсировать невозможность принтера работать у края и оптимально разместить проект, например 297x630, на 3 листах бумаги А4 книжной ориентации.
 - **Print offsets** : X - отступ слева на первой странице, мм. Например 30 мм, необходимые при брошюрование чертежа в скоросшивателе.
Y - отступ сверху на всех страницах, мм.

3.5 Передача схемы в программу проектирования печатных плат Layout.

Войти в менеджер проекта, закрыв схему (крестик в правом верхнем углу).

Открыть папку **Design Resources**

- Указать **DSN** – файл проекта.
- **Tools \ Create Netlist** – составление **MNL**- файла списка соединений принципиальной схемы одного из 40 предусмотренных форматов:
 - Закладка **Layout**
 - **Run ECO to Layout** - задание автоматической корректировки печатной платы проекта, если в схеме сделаны изменения (см. п. 7.8)
 - **User Properties are in inches**, т.к. корпуса элементов в фирменных библиотеках выполнены в дюймовой системе измерений. ОК. Менеджер проекта по-

кажет MNL - файл в папке выходных файлов **Outputs**.

Перед созданием MNL - файла можно выполнить сервисные команды:

- Tools \ Design Rules Check (DRC) - Проверка схемы на ошибки
 - Design Rules Check — установить содержание отчета о проверке:
 - Scope — проверка всего проекта (Check entire design) или выбранных страниц (Check selection);
 - Action — проверка соблюдения правил проектирования (Check design rules) или удаление со схемы нанесенных ранее DRC-маркеров;
 - Report - выбор параметров проверки и отчета:
 - Create DRC markers for warnings — размещение символов DRC для предупреждения о возможных ошибках (безусловные ошибки маркируются всегда);
 - Check off-page connector connections — проверка совпадения имен цепей, соединяемых межстраничными соединителями.
 - Report identical part references — поиск элементов, имеющих одинаковые позиционные обозначения;
 - Report invalid packaging — поиск элементов, имеющих одинаковые корпуса, но разную упаковочную информацию.
 - Report hierarchical ports and off-page connectors - составление списка портов иерархических блоков и межстраничных соединителей;
 - Check unconnected nets — выявление цепей, не подключенных к элементам или имеющих одинаковые имена.
 - Check SDT compatibility — проверка совместимости с редактором принципиальных схем OrCAD SDT для DOS
 - Report off-grid objects — составления списка имен и координат объектов, расположенных не в узлах сетки;
 - Report all net names — составление списка всех имен цепей.
 - Report File — присвоение имени DRC - файлу отчета (по умолчанию - имя проекта);
 - View Output — просмотр на экране результатов проверки.
 - ERC Matrix - установить правила проверки Electrical Rules Check (ERC) в виде матрицы, на строках и столбцах которой указаны типы выводов элементов и портов. Не закрашенная ячейка означает разрешение соединения соответствующих выводов, предупреждения отмечаются символом W, ошибки — символом E.

4. Автоматическая разводка печатной платы в OrCAD Layout

Разработка платы начинается после того, как в редакторе OrCAD Capture составлен **MNL – файл списка соединений** для передачи именно в программу проектирования ПП **Layout**, вызываемую самостоятельно. Здесь изложен кратчайший путь разработки ПП. Хотя формально он и достаточен, на практике всегда дополняется действиями, описанными в главах 6 и 7.

В меню редактора **Layout Plus** много команд, но главные выведены на **клавиатуру (кл.R, кл.1...)** и **кнопки горизонтальной панели**. Левые кнопки нумеруем слева направо (кн.1, кн.2...), а правые - справа налево (кн.-1, кн.-2...). Обычно команды содержат 1-2 вложенных контекстных меню, вызываемых по ПК. Для выключения команды нажмите кл. **Esc**.

Все параметры разрабатываемой платы хранятся в таблицах базы данных, доступных для просмотра и редактирования по кн. 7

Автотрассировщик Layout использует метод выталкивающей трассировки (Push-and-Shove) т.е. он проверяет, можно ли "растолкать" уже существующие дорожки, ПО или КП, чтобы провести трассу, имеющую больший "вес" между ними. Проверяет, нет ли мешающих дорожек, которые можно переразвести. Развитие возможностей трассировки нашло отражение в программе **SPECCTRA**, в которую MNL- файл списка соединений передается командой **File \ Export \ Layout to SPEKTRA**. Кстати, **SPECCTRA** разводит файлы и из САПР P-CAD.

4.1. Упаковка принципиальной схемы на плату.

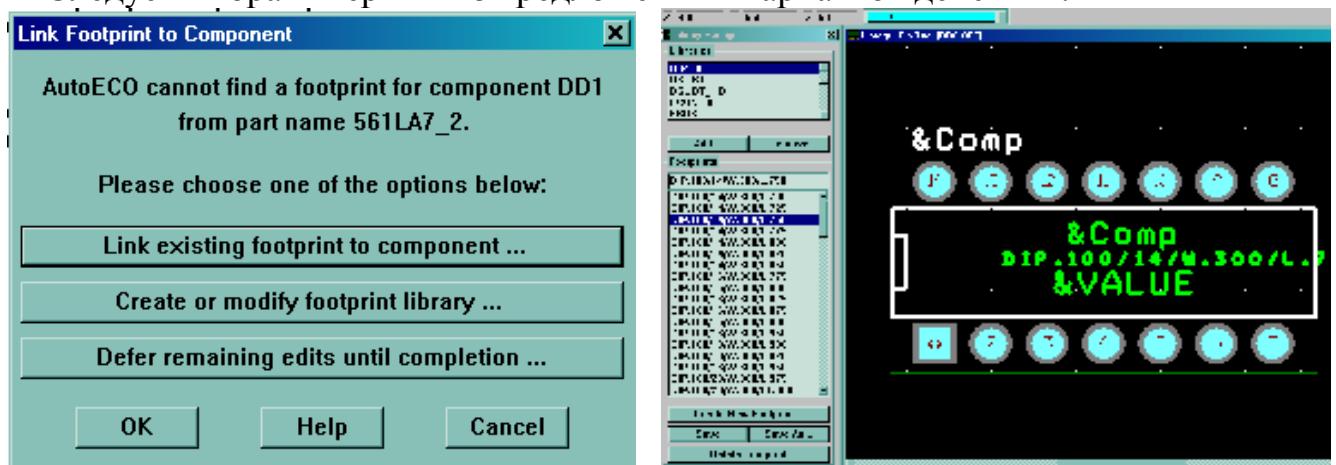
- Загрузить **OrCAD Layout**. **File \ New** - создать проект на основе предлагаемого технологического шаблона (**Technology template**) платы **default.tch**, содержащего 4 слоя разводки и 2 слоя металлизации - "классический" состав многослойной платы. Слой сплошной металлизации, имеющий потенциал минуса источника питания ("земля", GND), назначают вторым. Другой слой металлизации, имеющий потенциал питания (VCC), назначают пятым. Остальные слои используют для разводки проводников, причем все проводники оказываются по-соседству с тем, или другим слоем металлизации (микрополосковые линии) и их волновое сопротивление при переходе с одного слоя на другой сохраняет постоянное значение. Шаблоны хранятся в ...OrCAD \ Layout_Plus \ Data.
- **Найти MNL-файл списка соединений принципиальной схемы.**
Если mnl-файл не создавался, можно и "вручную" установить на плату необходимые элементы и ввести связи между ними.
- **Задать имя выходного MAX-файла печатной платы.**
Если все нормально, на шаблоне появятся **корпуса (Footprint)** **элементов с символическими линиями электрических связей (ratsnest)**, соответствующими принципиальной схеме. Их можно скрывать или показывать, нажимая кн.-7.

4.2. Подбор корпусов элементам принципиальной схемы.

Соответствие между элементами и корпусами устанавливается в первую очередь атрибутом элемента **PCB Footprint**. Во вторую - через текстовый файл ...\\OrCAD\\Layout\\Data\\System.prt, как это обычно и делается для "фирменных" элементов. Корпуса хранятся в библиотечных LLB – файлах.

Эта операция очень ответственная, т.к. надо тщательно проверять и соответствие размеров корпусов, и соответствие нумерации ножек элемента и корпуса. Однако, редактор обычно находит к чему придаться и выводит сообщение об ошибке, как и показано ниже.

Следует выбрать первый из предложенных вариантов действий.



- **Link existing footprint to component** - выбрать подходящий корпус из библиотеки, Их краткая характеристика приведена в таблице 2 приложения 1. Если подходящего нет - **Cancel** и следующий пункт меню.
- **Create or modify footprint library** - подключить дополнительную библиотеку или создать новый корпус в редакторе **Library Manager**:
 - **Add...** - подключить новую библиотеку к списку, выведенному в левом окне. Стандартные LLB-файлы находятся в папке ...\\OrCAD\\Layout_Plus\\Library и о их содержимом часто можно догадаться по названиям (см.п.5.11). Список элементов указанной библиотеки выводится в окне снизу, а отпечатки - в окне справа.
 - **Create New Footprint...** - создать новый элемент (см. главу 5) и командой **Save As...** сохранить его в новой библиотеке.
- **Defer remaining edits until completion** – вывести сообщения об ошибках.

По завершении процедуры, компоненты выведены на экран в случайном порядке и соединены виртуальными линиями связей **ratsnest**, которые можно скрыть кн.-7. Помимо контактных площадок компоненты содержат названия, позиционные обозначения и габаритную графику.

4.3 Область автоматического контроля параметров платы.

Область Design Rule Check Box (DRC) выделена белым пунктиром в центре окна. В начале размещения компонентов ее лучше отключить **кн.-8 Online DRC**.

Для перемещения DRC - команда **View \DRC Box**, ЛК и DRC Box перемещается вместе с курсором, не изменяя своих размеров.

Для изменения DRC Box - команда **View \ Zoom DRC \ Route Box** (кл.В), курсором в виде буквы Z, рисуют прямоугольник, близкий к контуру ПП.

4.4 Регенерация и панорамирование изображения.

- **Регенерировать изображение – кн.-2**
- **View \ Zoom In (кл.I)** - увеличить масштаб изображения
- **View \ Zoom Out (кл.O)** – уменьшить масштаб
- **View \ Zoom Center (кл.C)** – сдвиг окна так, чтобы курсор стал центром.
- **View \ Zoom All (кн.10)** – все компоненты на экране.
- **View \ Zoom Previous** – предыдущий масштаб изображения.

4.5 Нанесение контура печатной платы (Board outline)

Контур платы задается в виде замкнутого многоугольника. Подобным образом задаются и другие барьеры (**obstacle**):

- **Tool \ Obstacle \ New (кн.14)** - указать начальный угол платы, ЛК и, уменьшившимся курсором, вычертить ее контур, фиксируя углы по ЛК.
- **Задать параметры барьера:** ПК, **properties**:
 - **Obstacle Name** – номер барьера, присваивается автоматически.
 - **Obstacle Type = Board Outline** – тип барьера "граница платы".
 - **Width = 50 мил (1,27 мм)** - ширина линии. Ее половина будет зазором между краем платы и слоями металлизации, если они будут.
 - **Obstacle Layer = Global Layer** - виртуальный слой проекта.
 - **Net Attachment** - выбор цепи, подключаемой к барьеру. Здесь = "-".
- **Завершение ввода барьера:** кл.F.
- **Редактирование барьера:** (кн.14), курсор на контур, ЛК, ПК, в контекстном меню выбрать Segment и перемещать выбранный сегмент, с сохранением целостности контура.
- **Удаление контура:** выделить небольшую область на контуре и кл. **Delete**.
- **Перемещение контура:** выделить небольшую область на контуре, нажать ЛК и двигать вместе с курсором.

4.6 Установка крепежных отверстий: Tool \ Component \ NEW.... (кн.12).

- **Footprint:** вызвать библиотеку, например, **Layout.llb**, элемент ТР. Установить флаг **Non - Electric** (не электрический) и сбросить флаг **Route Enabled**.

- **Задать диаметр отверстия:** указать КП, кл.Esc, кн.7, Padstacks. Указать имя выделенного стека (первый столбец, верхняя строка), ПК, Properties: задать форму (Round), длину, ширину и новое имя стеку. КП превратится в отверстие с одинаковым диаметром для всех слоев. (Подробнее коррекция стека КП изложена в главе 5).
- После установки на плату зафиксировать командой Fix (см. п.4.9).

4.7 Коррекция сеток размещения компонентов - Options \ System Settings.

- **Display Units** - единица измерения координат. Выбираем Mils (милы).
 - **Display Resolution:** – разрешение изображения, в единицах измерения.

Mils	милы	m	1 мил	0,001 дюйма	0,0254 мм
Millimeters	миллиметры	mm	1 миллиметр	0,03937 дюйма	39,37 мил
Inches	дюймы	in	1 дюйм	1000 мил	25,4 мм
- **Grids** - дискретность сеток.
 - **Visible grid** = 50mil - сетка, видимая на экране, для визуальной ориентации. Шаг чуть более миллиметра. Чтобы сделать невидимой, шаг = 0.
 - **Detail grid** = 25mil - сетка барьеров и текстовой информации. Если не удается "подцепить" графический объект, причина скорее всего в большом шаге этой сетки.
 - **Routing grid** = 25mil (0,63 мм) - сетка трассировки должна быть кратна наименьшему шагу выводов используемых элементов, но не мельче 5 мил (0,127 мм). Ее масштаб указывается в нижней строке окна Layout Plus, после буквы **G**.
 - **Via grid** = 25mil – сетка установки переходных отверстий (ПО), устанавливается равной сетке трассировки;
 - **Place grid** = 100mil - сетка размещения элементов, устанавливается кратной сетке трассировки..
- **Rotation** - угол поворота по команде Rotate и угловая разрешающая способность.
- **Workspace Settings...** - размер платы. Достаточно Very Small =17x17 inch.

4.8 Размещение компонентов на плате.

Для удобства расстановки компонентов слои маркировки платы (SST и SSB) и слои сборочного чертежа (AST и ASB) лучше временно отключить. Список слоев платы, раскрашенный в соответствующие им цвета, находится в окошке под линейкой кнопок. Для отключения или включения слоя надо выбрать его в окне и нажать на клавиатуре кл. "-" (выполнить команду View\Visible <> Invisible).

Несмотря на множество команд автоматической расстановки компонентов, проще и целесообразней выполнять их размещение вручную, ориентируясь по принципиальной схеме и используя всего несколько команд:

- **Перемещения компонентов:** Tool \ Component \ Select Tool (кн.12).
Указать компонент, переместить вместе с курсором, ЛК.
Или выбрать элемент на принципиальной схеме, кл. Alt+ S, задать Ref Des и перемещать (ПК, ком. Select Any...).

4.9 Контекстное меню команды перемещения:

- **Select Any** (кл. Alt+S) - выбор компонента по его Ref.Des.
- **Select Next...** (кл. N)- выбор компонента со следующим Ref.Des.
- **End Command** (кл. Esk) – завершить команду.
- **Undo** (кл.U)– отменить выполненную команду.
- **Rotate** (кл. R) – поворот на 90 гр.
- **Opposite** (кл. T) – перенос зеркального отображения компонента на противоположную сторону платы.
- **Shove** (кл. J)– установка компонента с расталкиванием других: указать, переместить на занятую часть платы, нажать кл. J .
- **Lock** (кл. L)– фиксация компонента, препятствующая случайному перемещению. Легко отменяется, поэтому считается временной: выделить группу, и на вопрос "**One or more components locked. Override?**" - OK.
- **Fix** – постоянная фиксация компонента или группы, прежде всего разъемов или элементов крепеж. Отменяется сложнее:
 - Открыть таблицу компонентов платы: кн. 7, components. Или: View \ Database Spreadsheet.
 - В столбце RefDes найти позиционное обозначение элемента, 2ЛК на строке и в окне Edit Component сбросить флаг Fixed.
- **Properties** – параметры компонента.
- **Copy** – копировать (дублировать) компонент.
- **Delete** – удалить (кл. Delete).
- **Swap** – переставить эквивалентные секции элемента или другие обмены.
- **Adjust** – выровнять группу компонентов.
- **Matrix Place** – размещение выбранных компонентов в матрице.
- **Alternate Footprint...** – выбор альтернативного корпуса.
- **Make** – включить компонент в кластер.
- **Break** – восстановление первоначальной формы компонентов кластера.
- **Minimize Connections** – минимизация общей длины связей.

4.10 Установка точки начала координат: Tools \ Dimension \ Move Datum.

(datum) сеток платы в произвольном месте. Например, на ножке компонента с самым большим количеством выводов. Или на ножке разъема, если его положение важно для включения разрабатываемой платы в систему. Или на элементе крепежа. Перемещать **datum** после расстановки компонентов не рекомендуется.

4.11 Поиск ошибок расстановки - Auto \ Design Rule Check (кн.-8).

- Проверить зазоры между компонентами, включая контактные площадки: в окне **Check Design Rules** выбрать **Placement Spacing Violations**. Ошибки будут помечены кружками.
- Для поиска причин ошибок выберите кнопку запроса **Query** (кн.11), потом **Error Tool** (кн.-10), укажите ошибку и в экране Query будет выведена диагностика. При перемещении указателя в окно запроса, он принимает форму буквы Q, показывая, что для получения добавочной информации можно щелкнуть ЛК на любом слове, заключённом в кавычки.
Ошибки можно просмотреть и в таблице (кн.7, **Error Markers**).
- Удаление маркеров ошибок для переразводки проблемной области: **Auto \ Remove Violations**, затем **Board** или **DRC/Route Box**.
- Удаления маркеров с ПП: ЛК по заголовку Location и кл. Delete.

4.12 Оперативная корректировка платы

Изменения в принципиальной схеме устройства можно оперативно вносить в разрабатываемую плату:

- **Замена корпуса элемента:** указать компонент, ПК, Properties, в окне **Edit Component** нажать кн. **Footprint**....
- **Добавление компонента на плату:** **Tool \ Component \ NEW....** (кн.12), если его не было на принципиальной схеме.
 - **Reference Designator** - присвоить позиционное обозначение элемента
 - **Part Type** – номер секции, если их несколько.
 - **Value** – имя соответствующего элемента в редакторе Capture
- **Редакция электрических связей:** **Tool \ Connection** (кн.16).
 - **Add** – добавить соединение между указываемыми выводами.
 - **Disconnect Pin** – отключить вывод от цепи.
 - **Delete** - удалить соединение, т.е. всю цепь с одним именем.

4.13 Разветвление (Fanout) - подключение цепей питания к внутренним слоям металлизации.

В многослойных платах для цепи питания (VCC) и земли (GND) используют два внутренних слоя со сплошной металлизацией. КП со сквозными ПО при соединяются к ним автоматически. Для поверхностных компонентов (SMD) подключение КП к внутренним слоям осуществляется через специально устанавливаемые ПО. Эта процедура называется **разветвлением (Fanout)**:

- **Options \ Fanout Settings** - установить настройки разветвления:
 - **Fanout power/gnd** – разветвление для слоев питания и земли
 - **Lock after fanout** – фиксация после разветвления
 - **Disable after fanout** – запрет на разводку после разветвления
 - **Share close vias** –
 - **Use free vias** – использовать свободные ПО.

- Fanout signals – разрешение разветвления для сигнальных цепей.
- IC fanout direction (Inside, Outside) – разрешение размещения ПО под элементами и возле них.
- Override via per net -
- View Spreadsheet (кн.7) \ Nets, запретить разводку всех цепей, кроме той, для которой выполняется разветвление.
- Auto \ Fanout \ Board – выполнить разветвление на всей плате.

4.14 Автоматическая трассировка проводников по стратегии, установленной шаблоном, выполняется одной командой и так же легко отменяется.

- **Auto \ Autoroute – автоматическая трассировка.**
 - **Board** – на площади, очерченной контуром ПП.
 - **DRC / Route Box** – находящихся в пунктирном окне проверки правил проектирования (DRC).
 - **Component** – трассировка выбранных компонентов.
 - **Halt Autoroute** – остановка автотрассировки.
 - **Resume Routing** – продолжение автотрассировки.
 - **Auto \ Unroute** – отмена трассировки, удаление проложенных трасс.
 - **Board** – на площади, очерченной контуром ПП.
 - **DRC / Route Box** – в окне.
 - **Net** – отдельной цепи.
 - **Component** – выбранных компонентов.
- Жёлтые линии связей показывают неразведенные цепи, а **желтые треугольники** показывают не разведённые соединения нулевой длины, проходящие от КП в верхнем слое к КП в нижнем слое.
- **Auto \ Cleanup Design - очистка проекта** - выявление качественных проблем, появившихся во время разводки (углы не прямые или острые, неправильная форма полигона, перекрытия переходных отверстий...):

После Cleanup Design запустить **Design Rule Check** (кн.-1).
 - Auto \ Design Rule Check... (кн.-1) – полная проверка выполнения правил проектирования. Выполняется после настройки Check Design Rules как в п.4.9. Ошибки помечаются кружками и выводятся в окне Query после команды Tool \ Error \ Select From Spreadsheet или View \ Query Window.

Настройка Check Design Rules:

- Placement Spacing Violations - зазоры между компонентами, ограничения на расстановку по высоте, границы вставки и отклонения от сетки.
- Route Spacing Violations - зазоры из таблицы Route Spacing.
- Net Rule Violations - параметры цепей из таблицы цепей.
- Copper Continuity Violations - подключение к цепям полигонов.
- Via Location Violations – правила размещения ПО.
- Pad Exit Violations – ошибки в выводах компонентов.

- SMD Fanout Violations – цепи питания SMD компонентов не подключены к внутренним слоям питания (см. п. 4.11 – Разветвление)
- Test Point Violations – контрольные точки на цепи с контр. точками.

4.15 Коррекция надписей на плате и в сборочных чертежах

В слоях SST (белый) и SSB (желтый) изображены компоненты, размещенные соответственно на верхней и нижней поверхностях платы. Здесь же приводятся и их позиционные обозначения, положения которых нужно редактировать, чтобы они не закрывались компонентами, были правильно ориентированы и достаточно разборчивы. В слоях AST и ASB (зеленый цвет) сборочных чертежей верхней и нижней поверхностей, помимо графики и позиционных обозначений, содержатся имена элементов и корпусов.

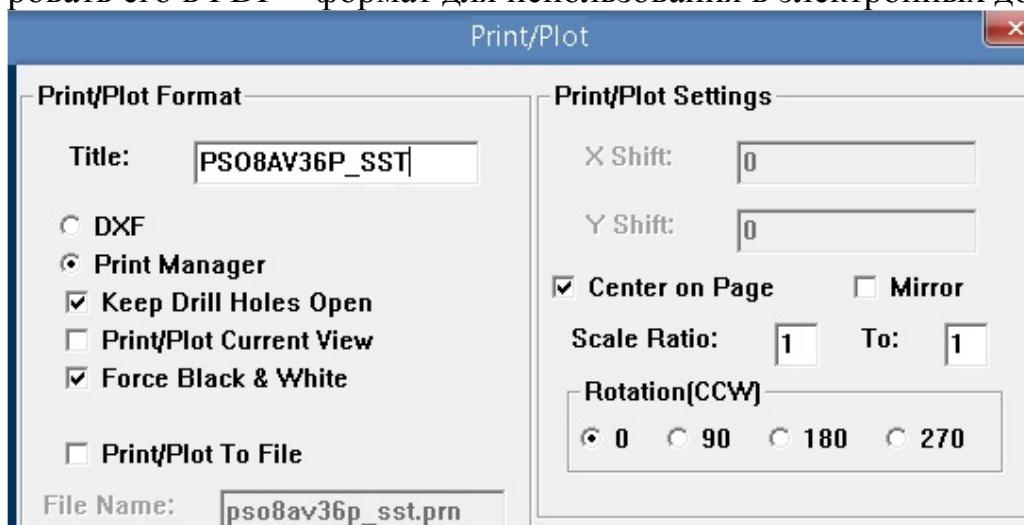
Оставьте на экране один слой, убрав остальные поочередно выбирая их в окне слоя и "гася" клавишей "-". Все надписи можно перемещать и корректировать их размер и толщину шрифта, если выбрать команду **Tool\Text (кн.15)**, указать надпись, ПК и Properties, Rotate....

4.16 Вывод на печать чертежей платы.

Сборочный чертеж верхней поверхности автоматически формируемый в слое AST. Добавьте в этом слое контур платы как в п.4.5. (кн. 14...), а все остальные слои надо выключить.

- **File \ Print/Plot.**

Редактор **Print/Plot** позволяет конвертировать чертеж в DXF формат программы AutoCAD, выводить в файл или на печать. Последнее позволяет конвертировать его в PDF – формат для использования в электронных документах.



- **Keep Drill Holes Open** – показывать сверловочные отверстия.
- **Print / Plot Current View** – печать только видимого на экране изображения. Иначе возможна печать элементов платы, специально убранных с экрана. Например, в дополнение к отверстиям для компонентов будут изображены все переходные отверстия.
- **Force Black & White** – инверсия белого и черного цветов экрана.

4.17 Экспорт проекта в файлы программы Gerber.

Для изготовления платы ее слои экспортируют в Gerber –формат и передают на завод. OrCAD Layout включает программу GerbTool, создающую управляющие файлы для оборудования, но лучше это доверить фирме - изготовителю плат. Нам же нужно сделать следующее:

- Чтобы контакты компонентов (места пайки) были свободны от защитной пленки, они д.б. видны в слоях SMT и SMB. С другой стороны, чтобы защита покрывала и переходные отверстия, у всех ПО (VIA1... VIA16) флаг Non-Plated д.б. сброшен: Кн. 7, Padstacks, 2ЛК на имени ПО, окно Padstacks.
- Нарисовать контур ПП в слое (SST), т.к. слой Global Layer, в котором контур платы был очерчен ранее, не экспортируется в Gerber – формат:
Кн.14 (Obstacle), New, Propert. В окне Edit Obstacle установить три поля: **Obstacle Type = Board outline, Width = 30, Obstacle Layer = SSTOP.**
Указать начальный угол, ЛК и, уменьшившимся курсором, вычертить контур, фиксируя углы по ЛК.
- **Options \ Post Process Settings** - в таб. **Post Process** в колонке **Bach Enabled** установить **Yes** для слоев, передаваемых на производство. У двусторонней ПП:
 - **TOP** – печатные проводники на верхней поверхности платы.
 - **BOT** – печатные проводники на нижней поверхности платы.
 - **DRD** - чертеж сверловочных отверстий (Drill Drawing)
 - **SST** - надписи и рисунки на верхней поверхности (Silkscreen Top).
 - **SSB** - надписи и рисунки на нижней пов. (Silkscreen Bottom).
 - **SMT** – защитная маска на верхней пов. (Soldermask Top)
 - **SMB** - защитная маска на нижней пов. (Soldermask Bottom).
 - **SPT** - SPTOP - паяльная паста на верхней поверхности
 - **SPB** - SPBOT - паяльная паста на нижней поверхности2ЛК на строке таблицы, установить **Enable for Post Processing** – в Bach Enabled устанавливается Yes. Проверить установку трех выделенных опций:
 - **Extended Gerber** – формат программы Gerber
 - **Create Drill Files** – создать файл **thruhole.tap** программы сверления и механической обработки.
 - **Overwrite Existing Files** – заменить существующие аналогичные файлы.
 - **Gerber RS-274D** – формат указанной программы, не выбираем
 - **DXF** – формат программы AutoCAD
 - **Print Manager** – формат для печати
 - **Keep Drill Holes Open** – изображать сверловочные отверстия открытыми
- **Auto \ Run Post Processor** – будут созданы Gerber-файлы заданных слоев с расширениями **TOP, BOT, DRD, SST, SSB, SMT, SMB** и еще:
 - **LIS**-файл – текстовый файл описания апертур.
 - **GTD**-файл ПП в формате программы Gerber.
 - **thruhole.tap** – файл сверления. Если есть не сквозные ПО, еще будут файлы типа: T1C0.0280F200S100, X000750Y052250....

4.18 Краткая характеристика некоторых библиотек корпусов (llb – файлов).

LLB - файл	SMD	DIP	Шаг	Конт.	
CLCC	да	нет	50	28...84	БИС, PLM
TO	да	да			Транзисторы, ОУ, стабилизаторы....
SM	да	нет		2...4	R, C, диоды, транзисторы....
TM_CAP_P	нет	да		2	Конденсаторы выводные
TM_DIODE	нет	да		2	Диоды
SOG	да	нет	25	6...64	ИС
SOJ	да	нет	50	14...44	ИС
DIP100B	да	нет	100	8...28	ИС цифровые в SMD корпусе
DIP100T	нет	нет	100	8...64	ИС цифровые в DIP корпусе
VRES	нет	да		3,4	Разные компоненты
SIP	да	нет	50	2...24	Разъемы SMD
BCON100T	нет	да	100	2...	Разъемы с шагом 2,54мм, 1-2 ряда
BCON156T	нет	да	156	2...	Разъемы с шагом 3,96мм, 1-2 ряда
ZIGZAG	нет	да			Разъемы 2 ряда с нумерацией зигзагом
WCON100T	нет	да			Разъемы 2 ряда: ВН...
RF	нет	да			Разъемы высокочастотные
DIMMM050T	нет	да			Разъемы до 200 и более контактов
DCON050T	нет	да	50	20-120	Разъемы компьютерные с шагом 1,27мм
DCON085T	нет	да		14-50	Разъемы компьютерные с шагом 2,16мм
XT	нет	да			Разъемы ПС XT
DIN		да			Разъемы с разными контактами
DSUBT HD		да			Разъемы компьютерные и др.
ECON100T		да			Разъемы двухрядные
FBUS		да			Разъемы
LCON100T		да			Разъемы
TM_AXIAL	нет	да		2	Резисторы выводные.
RELAY	нет	да			Реле
TM_DISC	нет	да		2	Прямоугольные компоненты
TM_RAD	нет	да		2	Прямоугольные компоненты
TM_CYLND	нет	да		2	Цилиндрические компоненты
JUMPER		да		2	Джамперы с шагом 100....1000 мил
DIMMM050F					Модули памяти ПК

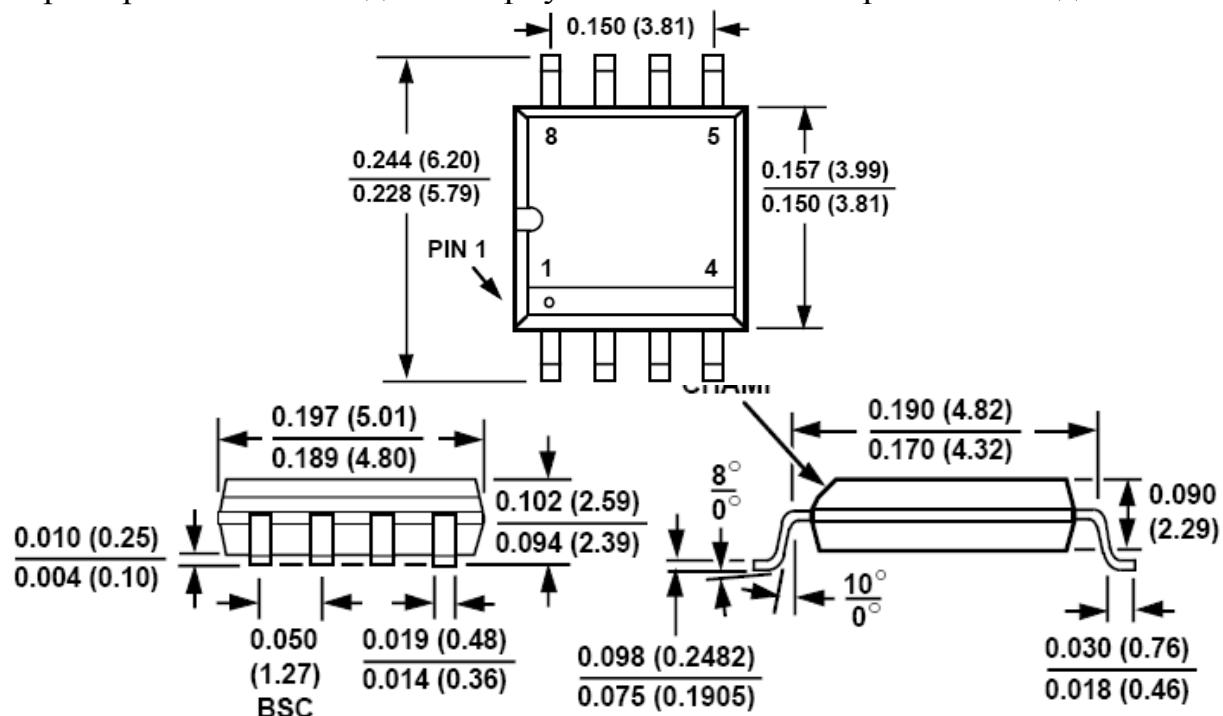
5. Создание корпуса элемента (footprint)

Описание корпуса элемента вместе с присвоенными ему контактными площадками называется **footprint**, т.е. отпечаток. LLB – файлы библиотек корпусов обычно находятся по адресу\Layout_Pins\ Library \..., но их можно размещать в любом каталоге. Для каждого проекта лучше создавать собственную библиотеку, копируя в нее подходящие корпуса из других библиотек и создавая недостающие. Компонент описывается тремя составляющими:

- **Выходы элемента (Pin)** представлены как **изображения контактных площадок (КП, Pad)** для установки компонента на верхнем слое ПП. Размеры КП задаются в таблице, называемой "стеком контактных площадок" (Padstack). У компонентов поверхностного монтажа размеры указываются только для верхнего и нижнего слоев ПП. А у компонентов со штыревыми выводами размеры КП указываются для всех слоев платы. Плюс параметры сверловочных отверстий и зазоры в слоях металлизации.
 - **Габаритный чертеж**. Общий габарит - тонкий прямоугольный контур в верхнем слое ТОР. Контур в слоях маркировки SST и SSB и сборочные чертежи обеих поверхностей в слоях AST и ASB. Все графические элементы, кроме проводников, называются **барьеры (Obstacle)**, с уточнением типа.
 - **Текст**: позиционное обозначение (&Comp), название элемента (&Value) и корпуса в слоях чертежа и маркировки.
- Работа с каждой составляющей разрешается соответствующей командой: **Pin Tool** (кн.13), **Obstacle Tool** (кн.14) и **Text Tool**(кн.15).

5.1 Создания корпуса с заимствованием.

Для примера покажем создание корпуса SOIC8 с 8 планарными выводами.



Размеры указаны в дюймах и, в скобках, в миллиметрах.

Проще всего воспользоваться отпечатком из библиотеки CLCC.lib элементов с аналогичным планарным (SMD) типом контактов и тем же расстоянием между выводами (шаг = 0,05 дюйма = 50 мил = 1,27 мм)..

- **OrCAD Layout \ Tools \Library Manager** - вызвать программу менеджера библиотек. В списке **Libraries** выбрать библиотеку CLCC, а в списке **Footprints** - первый же элемент CLCC28.
- **Save As...** - кнопка в левом нижнем углу экрана позволяет присвоить прототипу новое имя SOIC8 и создать для него свою библиотеку отпечатков, чтобы не засорять стандартные.
- Найти в верхнем окне **Libraries** вновь созданную библиотеку и вызвать отпечаток SOIC8 для редактирования.
- **Options \ System Settings** – задать масштаб сеток проектирования:
 - **Display Units** - единица измерения координат в **милах Mils [m]**.
 - **Visible grid** = 50 m - масштаб сетки, видимой на экране.
 - **Detail grid** = 5 m - сетка текста и графики (барьеров).
 - **Place grid** = 50 m - сетка размещения контактов.
 - **Routing grid** = 25m - сетка печатных проводников, здесь лишняя.
 - **Via grid** = 25m – сетка установки переходных отверстий, лишняя.
 - **Rotation** - угол поворота и угловая разрешающая способность.
- **Главное - правильно расположить контактные площадки.** Поэтому надо временно отключить слои документирования: **выбрать в окне под кнопками имя слоя SST или AST и выполнить команду Viev\Visible <> Invisible**. Эта же команда выполняется с клавиатуры клавишей "-".
- **Tool\Pin (кн.13)** - удалить 20 лишних КП: указать, ПК, Delete (или кл. Del). КП с номерами 1...4 расставить в нижний ряд по оси X (указать, ПК, rotate...), а над ним, на расстоянии 200 мил между центрами по координате Y, поставить КП с номерами 5..8. КП № 1 выделена прямоугольной формой. Важно, что бы при всех оговоренных отклонениях размеров корпуса, оба ряда ножек надежно попадали на КП: по оси Y расстояние между ближайшими концами КП д.б. не более 170 мил, а между самыми удаленными - не менее 220 мил.
Новые КП добавляются путем копирования имеющихся.

Mils	милы	m	1 мил	0,001 дюйма	0,0254 мм
Millimeters	миллиметры	mm	1 миллиметр	0,03937 дюйма	39,37 мил

- **Tools \ Dimension \ Move Datum** - установить на первую ножку точку привязки корпуса к координатной сетке (datum), являющуюся и началом координат сетки редактора. При вводе компонента на плату будут показываться координаты именно этой точки.

- **Коррекция общего габарита корпуса: Tool \ Obstacle (кн.14)**

Указать сегмент - если курсор не уменьшился, то надо уменьшить масштаб сетки **Detail grid** до 5 мил (**Options \ System Settings**). Нажать кл.S, и отбуксировать сегмент в нужное положение. Точность не важна, но и чрезмерный габарит будет затруднять прокладку трасс.

В нашем примере размер корпуса примерно 250x200 мил.

- **Редакция стека (списка) контактных площадок.**

Кн. 12, указать КП №1, нажать кл.Esc, **кн. 7** (команда **Viev \ Database Spreadsheet \ Padstacks **): откроется таблица с выделением стека указанной КП, который называется **Pad_31**: КП определена на верхней поверхности платы в слоях проводников (TOP), маски (SMT), паяльной пасты (SPT) и сборочного чертежа (AST). Размеры КП, как и ожидалось, не нуждаются в коррекции.

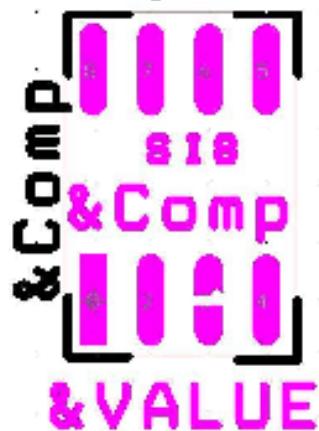
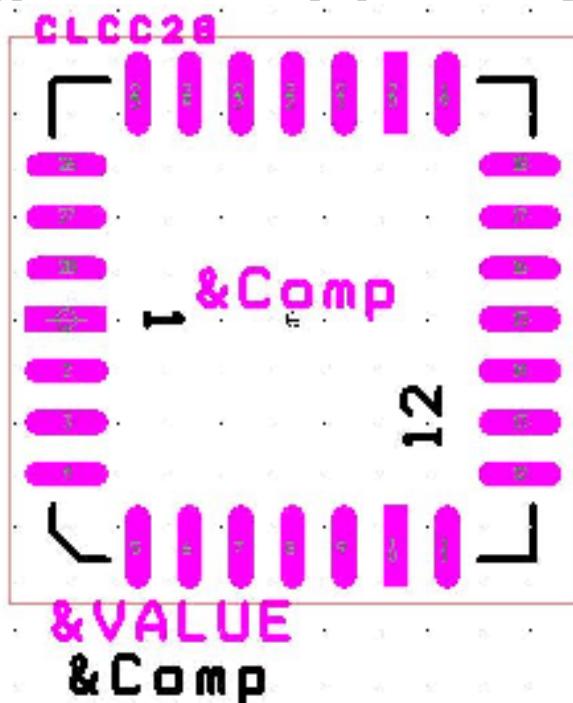
В противном случае редактор КП **Edit Padstack** вызывается по 2ЛК в строке первого столбца с именем слоя, в котором требуется корректировка.

Можно задать параметры сразу для всего стека КП: **указать имя КП Pad_31, ПК, Properties**. В окне редактора **Edit Padstack** можно установить:

- Padstack - новое имя стека, назначается, если корректировались размеры.
- **Non-Plated** – флаг **отсутствия изолирующего покрытия на КП. Иначе, она будет покрыта защитной пленкой, как обычные проводники, и подпаяться к ней будет невозможно!**
- Use For Test Point – ПО назначается контрольной точкой.
- Large Thermal Relief – подключать КП к полигону тонкими перемычками теплового барьера.
- Flood Planes/Pours –подключение КП к полигону сплошное, а не тонкими перемычками теплового барьера.
- Pad Shape - форма КП: (для ПО допускается только 3 типа КП: Round, Square и Undefined) :
 - Round - круглая
 - Square - квадратная
 - Oval - овальная
 - Annular - в виде кольца
 - Oblong - продолговатая со скругленными краями
 - Rectangle - прямоугольная
 - Undefined - КП не определена.
- **No Connection** - КП, не подключаемая к электрическим цепям.
- **Pad Width** - ширина КП, измеряется по оси X, слева направо по экрану.
- **Pad Height** - длина КП, измеряется по оси Y, снизу вверх на экране.
- **X/Y Offset** - смещение точки подключения трассы относительно центра.

Стек остальных КП называется **Pad_32** и описан сразу же после стека **Pad_31**.

- Коррекция текста и графики для маркировки ПП и сборочного чертежа.

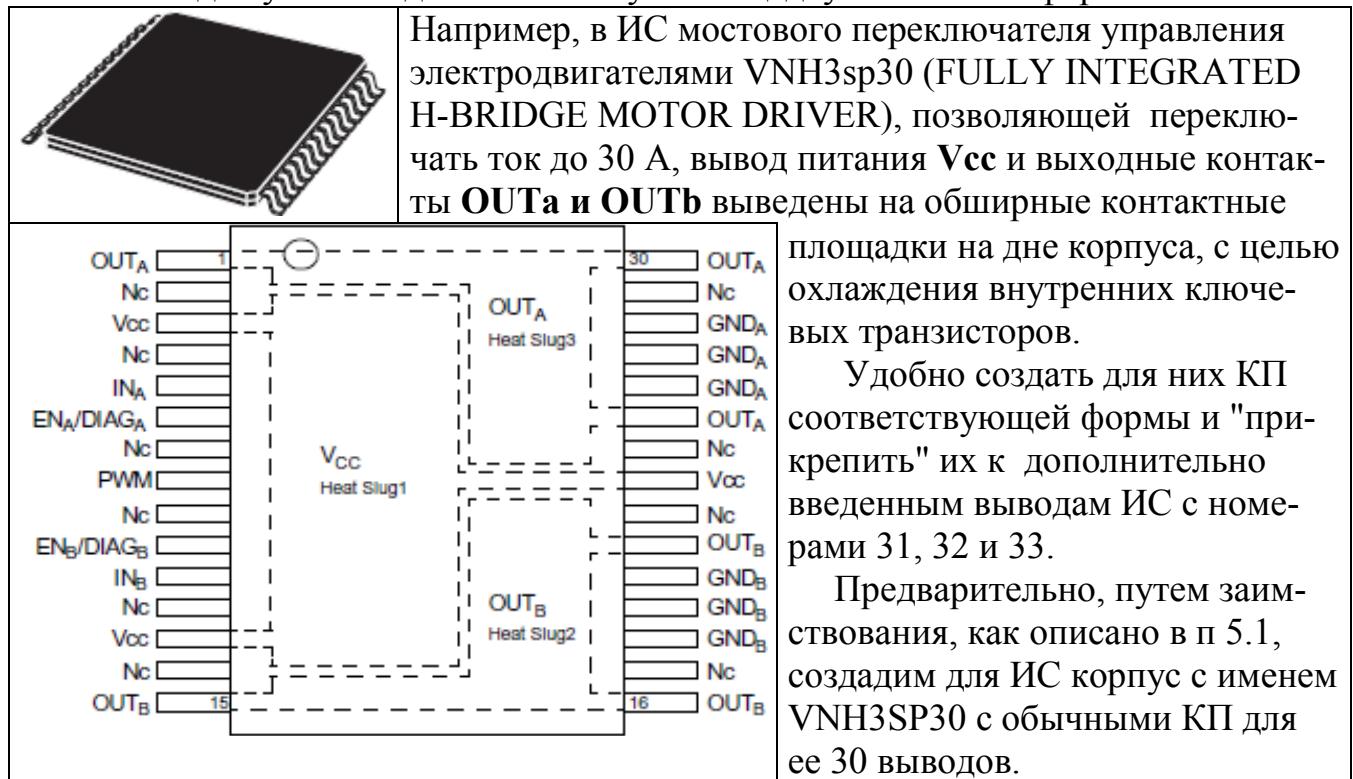


На этих рисунках представлены корпуса исходного элемента CLCC28, и создаваемого на его основе корпуса SOIC8 (с инверсией цветов)

- Открыть слой SST маркировки на верхней поверхности ПП (белый). Надписи и рисунки из него обычно наносится на ПП методом сеткографии, специальной краской белого, желтого или черного цвет с термическим или УФ - отверждением. Разрешение (минимальная толщина линии) такого метода не превышает 0,2мм (8 мил). Поэтому, надо убедиться, что толщина графики и текста указанных слоев не менее 8 мил.
- Коррекция текста: Tool\Text (кн.15), указать надпись, ПК...**
 - Номера выводов 1 и 12 можно удалить, т.к. первый вывод помечен прямоугольной формой КП.
 - Шаблон позиционного обозначения &Comp указать, в КМ выбрать Properties и задать Line Width =8, а Text Height = 75. Указать, повернуть (кл.R) и поместить слева от компонента. Если нужно, чтобы надписи были хорошо видны и при сборке изделия, например, номера разъемов, задайте Line Width =10, а Text Height = 150
- Коррекция графики: Tool \ Obstacle (кн.14).** Приемы работы с барьерами описаны в п. 4.5 (барьер Detail). Сохраним разметку габарита на ПП в виде углов, переместив их на габаритный прямоугольник в слое ТОР.
- Options \ System Settings** – убедиться, что масштаб Detail grid = 5 м.
- Выделить на "угле" небольшую область, после чего он подсветится, а крест курсора станет маленьким. Теперь его можно перемещать или, используя КМ, поворачивать (кн.R), копировать, удалить...
- Открыть слой AST сборочного чертежа (зеленый). А слой SST – закрыть. Скорректировать текст и графику аналогичным образом. &Comp можно делать крупнее (75...150), соразмеряя с габаритами компонента. Название элемента (& VALUE) и название корпуса тоже удобно видеть на чертежах, хотя они и приводятся в перечне элементов платы.

5.2 Создание оригинальной контактной площадки

Иногда нужно создать контактную площадку необычной формы.



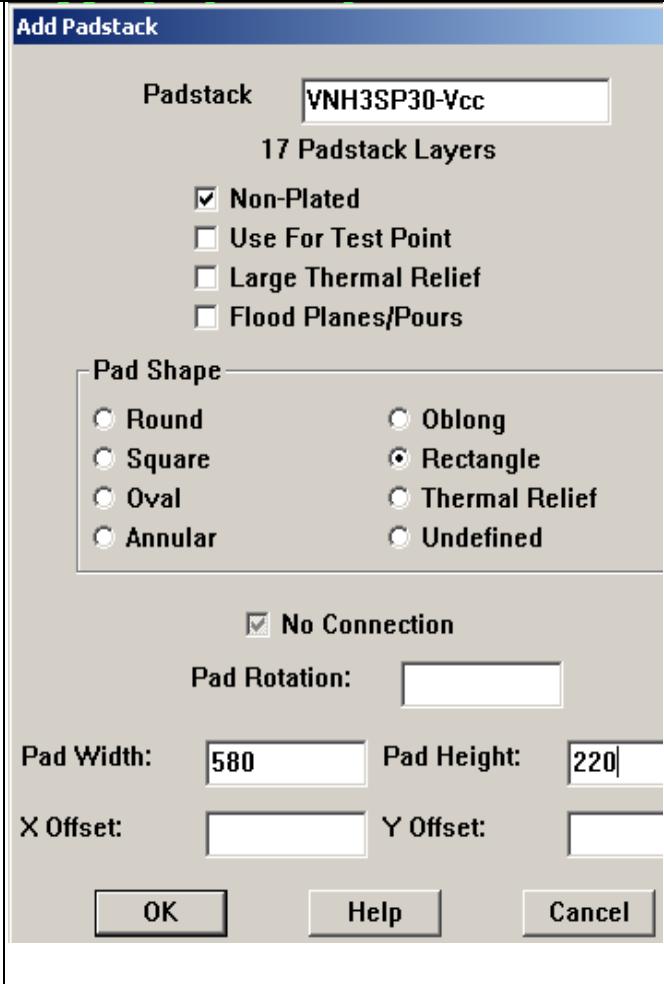
Например, в ИС мостового переключателя управления электродвигателями VNH3sp30 (FULLY INTEGRATED H-BRIDGE MOTOR DRIVER), позволяющей переключать ток до 30 А, вывод питания **Vcc** и выходные контакты **OUT_A** и **OUT_B** выведены на обширные контактные площадки на дне корпуса, с целью охлаждения внутренних ключевых транзисторов.

Удобно создать для них КП соответствующей формы и "прикрепить" их к дополнительно введенным выводам ИС с номерами 31, 32 и 33.

Предварительно, путем заимствования, как описано в п 5.1, создадим для ИС корпус с именем VNH3SP30 с обычными КП для ее 30 выводов.

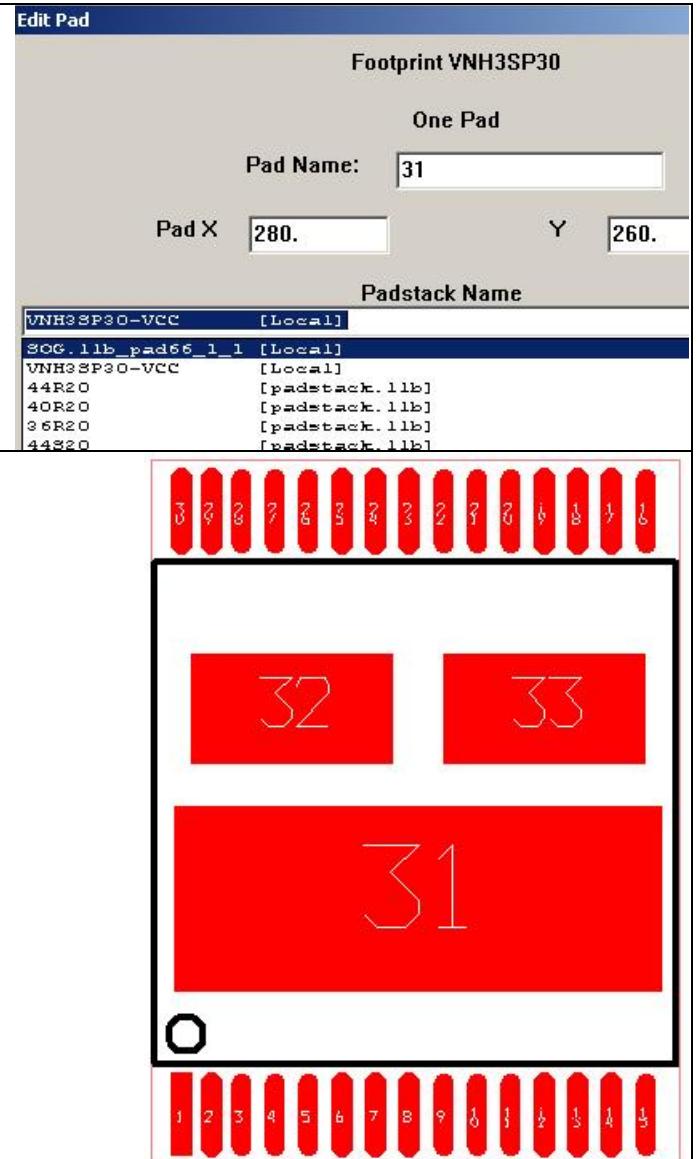
- В Library Manager открыть корпус VNH3SP30, кн. 7 (команда View \ Database Spreadsheet \ Padstacks \). На любом месте таблицы Padstacks щелкнуть ПК и выбрать команду New...
- В окне Add Padstack, как показано справа, ввести имя КП, подключающей к площадке Vcc, например VNH3SP30-Vcc.
- Установить флаг Non-Plated, чтобы КП не покрыли защитной пленкой, и Rectangle.
- Задать ширину и длину КП соответственно 580 и 220 мил.
- Сбросить флаг No Connection.

Вернувшись в таблицу Padstacks, отключить создание КП во всех слоях, кроме **TOP, BOT, SMT** и **SPT**: 2ЛК на имени слоя, в Edit Padstack Layer сменить Rectangle на **Undefined**.



- КП в верхнем (TOP) и нижнем (BOT) слоях платы увеличит охлаждающую поверхность, если их связать переходным отверстием. Поэтому, в слое отверстий **DRILL** установим флагок Round, а ширину и длину выберем в 38 мил. Кроме того, установим между ними несколько свободных ПО (см. п.6.4)
- Аналогичное КП надо создать в слое SMT, иначе, несмотря на флаг Non-Plated, КП будет покрыта защитной маской.

- В окне Library Manager нажать **кн. 13 (Pin Tool), ПК** и выбрать **New...**, что вызовет появление нового вывода ИС номер 31 с КП, аналогичной КП вывода 30.
- Чтобы присвоить этому выводу созданную КП VNH3SP30-Vcc, щелкнуть на нем 2ЛК и в окне Edit Pad выбрать из раскрываемого списка указанное имя искомой КП, как показано на рис. справа.
- Аналогичным образом надо создать КП VNH3SP30-OUT, для одинаковых площадок OUTa и OUTb и установить их на дополнительные выводы с номерами 32 и 33.
- Полезно проверить наличие зеленой маски контактных площадок в слое SMT.



6. Коррекция технологических параметров платы и стратегии трассировки

Установка параметров разводки платы осуществляется автоматически, путем загрузки одного из **технологических шаблонов (Technology template)** - файла с расширением **TCH** или **TPL**, из папки **...\\Layout_Plus\\Data**. Перед началом расстановки компонентов параметры шаблона целесообразно посмотреть, откорректировать, и, может быть, сохранить в виде нового шаблона под новым именем.

TPL - файл шаблона отличается от **TCH** - файла тем, что в нем можно устанавливать и сохранять некоторые элементы платы: крепёжные отверстия, краевые разъемы и другие объекты, хотя компоненты и проводники лучше удалить. Например, **ISA.TPL** - шаблон платы в стандарте и с разъемом шины ISA. Приведем характеристики некоторых шаблонов, взятые из справочной системы (Help):

- **1bet_any.tch** — шаблон для SMD корпусов с планарными выводами (**surface-mount**) и для DIP корпусов с выводами штыревыми (**through-hole**), между которыми допускается прокладка одной трассы. Сетка размещения компонентов 100 мил (2,54 мм), сетка трасс и VIA 25 мил (0,635 мм), зазор между проводниками 12 мил (0,3 мм). 4 слоя разводки, 2 слоя металлизации.
- **2bet_thr.tch** — шаблон для DIP корпусов, с прокладкой двух трасс между выводами. Сетка компонентов 100 мил, сетка трасс и VIA 20 мил (0,51 мм), зазор между проводниками 8 мил (0,2 мм).
- **2bet_thr.smt** — шаблон для SMD корпусов, с прокладкой двух трасс между выводами. Сетка компонентов 100 мил, сетка трасс и VIA 8 1/3 мил (0,21 мм), зазор между проводниками 8 мил (0,2 мм).
- **3bet_any.tch** — шаблон для SMD или DIP корпусов с прокладкой трех трасс между выводами. Сетка компонентов 50 мил (1,27 мм), сетка трасс и VIA 12 1/2 мил (0,32 мм), зазор между проводниками 6 мил (0,15 мм). 5 слоев разводки, 2 слоя металлизации
- **pcad.tpl** - для ПП в стандарте пакета P-CAD.
- **protel.tch** - для ПП в стандарте пакета Protel.
- **metric.tch** - ПП в метрической системе единиц.

6.1 Выбор технологического шаблона ПП.

- **File \\ New** - выбрать один из файлов с расширением **TCH** или **TPL** из папки **...\\OrCAD \\ Layout_Plus \\ Data**, в качестве технологического шаблона (**Technology template**). Электрическим компонентам TPL - шаблона надо присвоить позиционные обозначения, соответствующие принципиальной схеме, чтобы Layout подключил к ним электрические цепи. Иначе они окажутся не у дел.
- Загрузить **MNL-файл** списка соединений принципиальной схемы. В противном случае загруженным окажется только шаблон.
- Задать имя выходного файла с одним из трех расширений:
 - **MAX** -файл печатной платы.
 - **TCH** - файл технологического шаблона.
 - **TPL** - файл тех. шаблона с контуром платы и компонентами.

6.2. Выбор слоев платы для разводки трасс.

View \ Database Spreadsheet \ Layers (кн.7) – откроется таблица назначения слоев. Ее редактор **Edit Layer** вызывается по 2ЛК на любой строке первого столбца **Layer Name** (имя слоя). Другие столбцы:

- **Layer Hotkey** – клавиши активации слоя.
- **Layer NickName** - сокращенное имя, которое лучше запомнить.
- **Mirror Layer** - слой, на который можно перенести планарные компоненты.
- **Layer Type** - назначение слоя (тип):
 - **Routing Layer** – слой разводки проводников.
 - **Unused Routing** – слой, не используемый для разводки.
 - **Plane Layer** – слой сплошной металлизации, для "земли" или питания. На чертеже металлизация прозрачна, а ее отсутствие - затемнено.
 - **Documentation (Doc)** – слой текста и графики описания ПП.
 - **Jumper Layer** – слой для задания перемычек между слоями.

Редактор предлагает много слоев разводки: два наружных и 12 внутренних.

Удалить слои нельзя, но можно их не использовать, задав тип Unused Routing.

Символы электрических связей между элементами (желтые прямые линии) изображаются в виртуальном слое **Global Layer**.

У простой двусторонней платы только два слоя разводки:

- **TOP – routing** - верхний слой платы, на котором стоят корпуса.
- **BOT – routing** - нижний, противоположный слой платы.

Слои, используемые для конструкторской документации

- **SST** - SSTOP – маркировка на верхней поверхности (SilkScreen Top).
- **SSB** - SSBOT - маркировка на нижней поверхности платы
- **AST** - ASYTOP - сборочный чертеж верхней поверхности.
- **ASB** - ASYBOT - сборочный чертеж нижней поверхности
- **NOT** - NOTES – слой для комментария.
- **FAB** - FABDWG - фабричная маркировка (Fabrication Drawing).

Технологические слои (для изготовления ПП), заполняются автоматически:

- **DRL** - DRILL – символы отверстий.
- **DRD** - DRILLDWG - чертежи сверловочных отверстий (DRill Drawing)
- **SMT** – SMTOP - маска, защищающая контакты верхней поверхности от покрытия защитной пленкой (SolderMask Top)
- **SMB** - SMBOT - защитная маска на нижней поверхности.
- **SPT** - SPTOP - паяльная паста на верхней поверхности
- **SPB** - SPBOT - паяльная паста на нижней поверхности

Список слоев платы, раскрашенный в соответствующие им цвета, находится в оконке под линейкой кнопок. Для отключения / включения изображения слоя надо его выбрать и выполнить команду **View\Visible <> Invisible**.

Или можно воспользоваться клавишей "тире", следующей после кл. "ноль".

6.3. Коррекция зазоров и второстепенных параметров платы.

Для повышения плотности упаковки платы ширину проводников и зазоры между ними уменьшают. Но это повышает класс платы, т.е. требования к точности ее изготовления и цену. С другой стороны, разрешенная ширина зазоров должна быть не больше, чем минимальное расстояние между ножками у компонентов, т.к. иначе трассировщик не сможет к этим ножкам подвести трассы!

В таблице приведены минимальные размеры трасс, зазоров и отверстий для плат разного класса, рекомендуемый шаг трассировки, а также максимально - допустимые напряжение между дорожками (U_{max}) и токи по ним (I_{max}).

Класс	Ширина трассы		Зазоры		Шаг		Диаметр отверстий		Диам. КП	U max	I max	
	мм	mils	мм	mils	мм	mils	мм	mils	мм(mil)	B	A	
1	0,75	30	0,75	30	2,54	100	0,8	32	1,5(60)	400	1,9	
2	IPC 1	0,45	18	0,45	18	1,27	50	0,8	32	1,5(60)	300	1,2
3	IPC 2	0,25	10	0,25	10	0,635	25	0,8	32	1,5(60)	100	0,5
4	IPC3	0,15	6	0,15	6	0,5	20	0,7	28	1,15(45)	40	0,35
5		0,1	4	0,1	4	0,3175	12	0,5	20	1,1(43)	25	0,25

Options \ Global Spacing..., в таблице **Route Spacing** (зазоров).

Зазоры устанавливают сразу для всех слоев, если 2ЛК на заголовке **Layer Name**.

- **Track to Track** - зазор между дорожками и с границами металлизации.
 - **Track to Via** - зазор между дорожками и переходными отверстиями.
 - **Track to Pad** - зазор между дорожками и контактными площадками (КП).
 - **Via to Via** - зазор между переходными отверстиями.
 - **Via to Pad** - зазор между Via и КП любых цепей.
 - **Pad to Pad** - зазор между контактными площадками.
-
- Options \ Colors... – цвета слоев. Для редактирования – 2ЛК на строке.
 - Options \ Colors Rules... – правила раскраски объектов.
 - Options \ Auto Backup... – интервал самосохранения.
 - Options \ User Preferences... - пользовательские настройки.

6.4 Использование переходных отверстий.

По умолчанию в таблице стека КП определён только один тип переходного отверстия, хотя можно назначить и остальные 15:

- **Options \ Route Settings** - установить **Use All Via Types**, чтобы все переходные отверстия шаблона (ПО) были доступными при трассировке.
- Можно назначить для трассировки конкретной цепи конкретные ПО: **View \ Database Spreadsheet \ Nets \ (кн.7)** указать цепь, ПК, **Assign Via per Net** и выбрать ПО.
- Обычные ПО образуются автоматически, при изменении слоя прокладываемой

трассы. Например, при ведении трассы в слое TOP, чтобы перейти на нижний слой (BOT) достаточно нажать кл. 2 и ПО образуется автоматически.

- Свободные ПО (**free**) устанавливаются командой **Tool \ Via \ Nev**: в окне **Add Free Via** задать имя цепи, к которой надо подключить ПО VIA1 и, после ОК, указать место на ПП и установить по ЛК. Свободные ПО становятся самостоятельными компонентами ПП. Их можно расставлять на ПП и оставлять подключёнными к цепи сколь угодно долго, т.к. они игнорируются при очистке платы от трасс (**cleanup routines**). Ими можно "сшивать" сплошные слои платы, например, полигоны "земли" или "питания", расположенные на верхней и нижней сторонах платы. Свободные ПО, установленные в контуре компонента, становятся его частью и их **можно использовать, например, для подключения BGA компонентов**.

Удаление Free Via: **Tool \ Via \ Select Tool**, указать **Via** и нажать кл. **Del**

6.5. Загрузка SF - файла стратегии трассировки - **File \ Load....**

Файл стратегии трассировки определяет слои разводки, правила ввода переходных отверстий, предпочтительные направления прокладки трасс и их цвета. **По названию файлов часто можно догадаться о назначении стратегии.** (Не путать с SF - файлами стратегии расстановки компонентов, которые начинаются с букв "PL").

STD.SF	Стратегия "по умолчанию"
FAST_H.SF	Быстрая тестовая разводка с горизонтальными трассами.
FAST_V.SF	Быстрая тестовая разводка с вертикальными трассами.
JUMPER_H.SF	С внутренним слоем перемычек и горизонтальными трассами.
JUMPER_V.SF	С внутренним слоем перемычек и вертикальными трассами.
2_SMD_H.SF	Двусторонняя, с планарными комп. и горизонт. трассами.
2_SMD_V.SF	Двусторонняя с планарными комп. и вертикальными трассами.
2_THR_H.SF	Двусторонняя для штыревых комп. и горизонт. трассами.
2_THR_V.SF	Двусторонняя для штыревых комп. и вертикальными трассами.
8_SM2_V.SF	8 слойная плата для планарных комп. с вертикаль. трассами.

- **Options \ Route Strategies....** - трассировщик стремится развести плату самым "дешевым" образом. Цена определяется перемножением "цены" каждой из выполненных операций на их количество. "Цены" операций задаются в "стратегии":
 - **Manual Route** - стратегия выбора операций при трассировке.
 - Via Cost – цена ПО
 - Retry Cost – цена повторных попыток
 - Route Limit – ограничение числа попыток
 - **Route Layer** – стратегия трассировки в слоях.
 - **Win/Comp/Manual**
 - **Preliminary Route** – предварительная трассировка

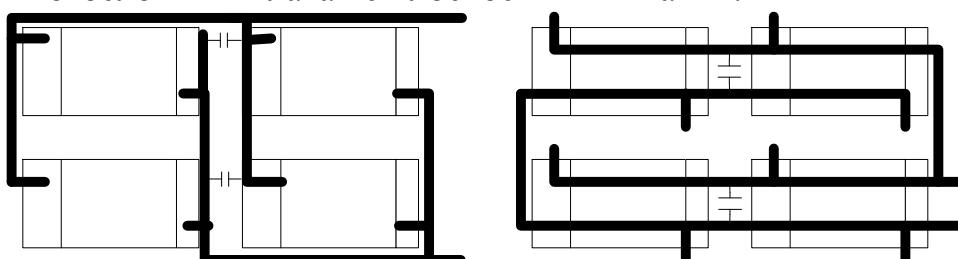
- **Maze Route** – трассировка "лабиринт2"
- **Route Sweep** – область поиска путей прокладки трасс.
- **Route Pass** – число трассировочных проходов.

7. Интерактивная разработка платы в OrCAD Layout

Ручная трассировка с одновременной оптимизацией размещения компонентов, для небольших плат предпочтительней любой программы автоматической разводки. Для больших плат ручную трассировку используют как для предварительной разводки наиболее ответственных цепей (питания, синхронизации), так и для коррекции работы автотрассировщика. Команды ручной трассировки находятся в меню **Tool \...** и им соответствуют кнопки из правой части панели (кн. -3...кн.-5) с двухуровневыми контекстными меню. Например, после выбора команды кнопкой, надо ПК и выбрать команду из первого КМ, потом опять ПК и опять выбор.

Правила конструирования платы с учетом электромагнитной совместимости:

- **Квадратная форма ПП** уменьшает общую длину проводников.
- **Возле разъемов** располагают подавители выбросов, фильтры, шунтирующие конденсаторы и элементы ввода с гистерезисом.
- Чувствительные и шумящие элементы **разносят подальше друг от друга**.
- **Цепи земли и питания разводят в первую очередь**. Для плат с быстродействующими ИС их выполняют в виде внутренних слоев металлизации, имеющих малую индуктивность и большую распределенную емкость. Такие платы дороже, но улучшают электромагнитную совместимость элементов.
- У двусторонней платы **параллельные шины земли и питания с поперечными связями** (сетчатая топология) могут дать большую распределенную емкость 0,001-2 мкФ/м и низкую индуктивность 12-35 нГн/м, сравнимую с параметрами многослойных платах с плоскостями питания.



$L=81\text{нГн}$, $C=0,01\text{ мкФ}$, $fc=5,6\text{ МГц}$

$L=13\text{нГн}$, $C=0,01\text{мкФ}$, $fc=14\text{ МГц}$

- **Керамические конденсаторы 100...300 нФ** устанавливают непосредственно у всех выводов питания каждой ИС. Они фильтруют питание и сокращают длину токовых контуров, уменьшая помехи в цепи заземления.
- На платах с существенно разными видами сигналов необходимо создавать **разные контура заземления, соединяемых в одной точке** у разъема.
- Свободные пространства платы можно заполнить заземленными полигонами, соединенными при помощи перемычек.
- **Цепи синхронизации** двусторонних плат разводят вблизи цифровой земли и подальше от чувствительных элементов, параллельными трассами для прямого и обратного тока. Последнюю заземляют у каждой синхронизируемой ИС.
- Остальные цепи разводят в последнюю очередь, **избегая зигзагов и прямых углов** при изгибаах.

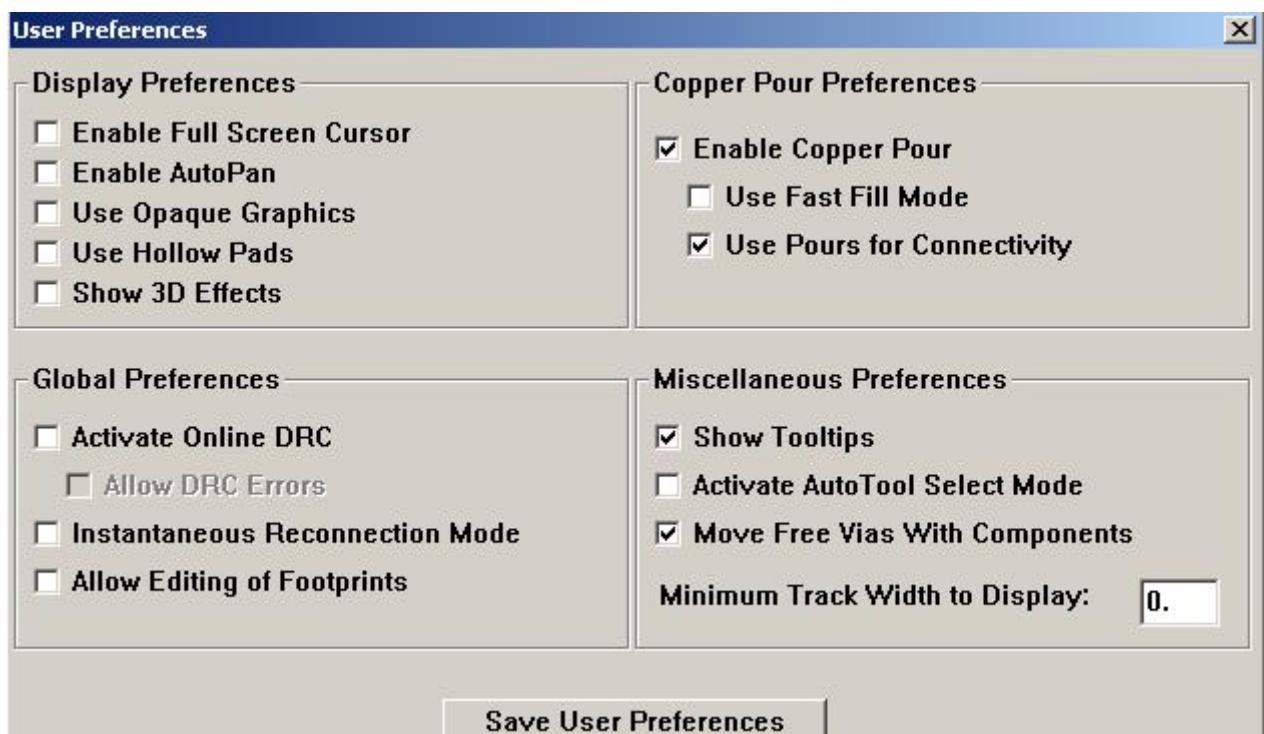
7.1. Создание контура платы и размещение компонентов (см. главу 4):

- **File \ New** - создать проект на основе технологического шаблона. В случае TPL - шаблона присвоить позиционные обозначения разъёмам.
- Найти MNL-файл списка соединений схемы или обойтись без него.
- Задать произвольное имя выходного MAX-файла печатной платы.
- Вычертить контур ПП (Board outline) - **Tool \ Obstacle \ New** (кн.14).
- Нарисовать области контроля параметров Design Rule Check Box (DRC) - **View \ Zoom DRC\Route Box** (кл.B), курсором, принял вид буквы **Z**.
- Размещение компонентов - см. п. 7.6.

7.2 "Горячая связь" между принципиальной схемой и платой.

- Открыть программы **Capture** и **Layout** с одним и тем же проектом.
- В Capture на закладке **Options \ Preferences... \ Miscellaneous** выбрать **Enable Intertool Communication**, что приведет к установлению "горячей связи" (**Cross probing**) между программами. Теперь выбор объектов на экране Capture автоматически выделяет соответствующие им объекты на экране Layout, как на чертеже, так и в таблицах. И наоборот.

7.3 Пользовательские настройки программы: **Options \ User Preferences**.



7.4 Выбор цепей и задание параметров их трассировки.

В первую очередь разводят цепи питания, как наиболее важные. Для этого надо разрешить их трассировку и запретить трассировку всех остальных цепей. После автоматической разводки откорректируйте трассы и зафиксируйте командой **Lock**. Разрешите трассировку остальных цепей, запретив для разведенных.

- **View \ Database Spreadsheet \ Nets (кн.7) - таблица списка цепей.**
Для каждой цепи можно задать параметры ее трассировки. Если цепь не имеет понятного имени, наглядней ее указывать из окна программы **Capture**, используя "горячую связь". Звездочка (*) в таблице означает особое отношение цепи к слою. Например, цепь подключена к нему, или один из слоёв запрещён для ее трассировки.
 - **Запретить трассировку всех цепей** - ПК на заголовке **Routing Enabled**, команда **Enable – Disable** инвертирует свойство для каждой цепи.
 - **Выбрать цепь для разводки, ПК, Properties...** - назначить параметры разводки в **Edit Net**. Редактор вызывается и по 2ЛК в любой строке:
 - **Routing Enabled** - разводить цепь или нет.
 - **Retry Enabled** - переразводить ли уже разведенную цепь.
 - **Share Enabled** - менять ли слои при разводке.
 - **Shove Enabled** - можно ли передвигать трассу цепи.
 - **Highlight** - высший приоритет при разводке.
 - **Test Point** - точка контроля.
 - **Weight** - "вес", определяющий приоритетность разводки цепи.
 - **Min Width** - минимально допустимая ширина трассы.
 - **Con Width** - нормальная ширина трассы.
 - **Max Width** - максимальная ширина трассы.
 - **Net Layer...** - выбор слоев для разводки. Если на плате используются внутренние слои земли и питания, то здесь надо установить флагки их подключения к соответствующим слоям GND и POWER.
 - **Width By Layer...** ширина трасс цепи на наружных слоях.
 - **Net Recon...** - приоритетность направлений разводки.
 - **Net Spacing...** - зазор между трассами.
- На экране в **Layout** останутся связи только тех цепей, для которых разрешена разводка. Выполните трассировку в автоматическом режиме, откорректируйте и зафиксируйте проложенные трассы командой **Lock** (п. 7.4).
- **Auto \ Unroute** - зафиксированные трассы останутся, но плата вернет себе статус "не разведенной".
- Опять вызовите таблицу списка цепей и выберите новые цепи для разводки или переходите к корректировке трасс или их ручной прокладке.

7.5 Создание медного полигона (Copper Pour)

Шины питания и земли многослойных плат выполняют в виде внутренних слоев металлизации. На двухсторонних платах создают обширные металлизированные "полигоны", подключаемые к шине "земли". Удачно размещенные полигоны повышают электромагнитную совместимость платы за счет снижения паразитной индуктивности цепей питания, оптимизации путей прохождения обратных токов и экранирования сигнальных цепей.

- **Options \ User Preferences** – установить **Enable Copper Pour**.
- **Tool \ Obstacle \ New... (кн.14, ПК, New...), ПК, Properties**, в окне **Edit Obstacle**:
 - **Obstacle Type** - выбрать **Copper Pour** (медный полигон), автоматически формирующий зазоры с трассами и полигонами внутри его области.
Другие варианты:
 - **Anti-copper** – область, свободная от меди внутри полигона.
 - **Copper area** - медная область. В отличие от полигона, поглощает все трассы внутри себя. Разноименные области взаимно не отторгаются, поэтому их можно использовать для объединения разноименных цепей.
 - **Free track** - свободная дорожка (трасса)
 - **Width** – ширина линии, очерчивающей контуры.
 - **Obstacle Layer** - слой платы для размещения полигона.
 - **Net Attachment** - цепь, связываемая с полигоном. **Контакт или трасса цепи должны быть внутри полигона, иначе полигон не образуется!**
 - Кнопкой **Comp Attachment** можно подключить полигон к выводу компонента, и полигон станет его неотъемлемой частью, что очень неудобно!
 - **Clearance** - зазор между полигоном и соседними объектами. Если не задан, используются зазоры по умолчанию (Options\Global Spacing...).
 - **Z order** - приоритет полигонов, вложенных один в другой и расположенных в одном месте.
 - **Isolate all tracks** - трассы и ПО, принадлежащие к цепи полигона, будут от него изолированы!
 - **Seed only from designated object** – контакт с полигоном единственной из КП, принадлежащих его цепи, специально помеченной как "затравка".
 - **Контур полигона создается** курсором, с обозначением углов щелчком ЛК. Завершение – ЛК в исходной точке, кл.F и обновление экрана (кн. -2).
 - **Коррекция границ полигона:** кн.14, ЛК на границе, кл.S.
 - **Удаления полигона:** кн.14, ЛК в одном из углов, потом несколько раз Ctrl+X, до удаления всего полигона.
 - **Назначение затравки:** кн. 13 (pin), выбрать КП на плате, ПК и **Toggle Copper Pour Seed**. Косой крест на КП – признак затравки. Обычно заливка медью включает все дорожки, КП и ПО цепи полигона. Но при выборе Isolate All Tracks и Seed only from designated object, полигон будет контактировать только с КП - затравкой.
 - По умолчанию, контактные площадки цепей подключаются к полигону тонкими перемычками "тепловых барьеров". При желании сделать "сплошное метал-

лическое подключение" нужно в стеке контактных площадок конкретного элемента установить флаг **Flood Planes/Pours** (см. параграф 5.1)

7.6 Режимы работы команд трассировки: Options \ Route Settings...

Настройка и для автоматического, и для ручного режимов :

- **Use All Via Types** – разрешение трассировщику выбирать оптимальный тип ПО из всей таблицы КП (padstack), а не только тип VIA 1, используемый по умолчанию.
- **Snap to Grid Routing** – привязывать сегменты трасс к узлам сетки трассировки.
- **Any Angle Corner** – возможность проводить сегменты под любым углом.
- **135 Corners** – углы между сегментами 90° или 135° .
- **90 Corners** – углы между сегментами только 90° .
- **Curve Corners** – возможность проводить трассы произвольной кривизны.
- **Use Routing Hints** - подсказка направлений к контактам или к уже разведенным сегментам. Лучше не разрешать (Never)

7.7. Ручная прокладка трассы: Add/Edit Route Mode (кн. -3).

- Активируйте слой трассировки в окошке под кнопками (TOP → кл. 1, BOT → кл. 2....). ЛК на линии связи (ratsnet) и ведите трассу. Изломы фиксируйте по ЛК или кл. ПРОБЕЛ. Последний сегмент подведите к КП, ЛК, кл. F, чтобы дорожка соединится с центром КП (курсор изменится, ratsnest исчезнет).
- Чтобы сменить слой прокладки дорожки, нажмите клавишу с номером нужного слоя. ПО образуется автоматически, если для него хватает места.
- Если нажать кл. Alt и ЛК на дорожке, можно начать новую трассу этой же цепи от существующей дорожки (Т-трассировка).
- ПК открывает контекстное меню, команды которого лучше задавать с клавиатуры:
 - **Change Width** (кл. W) – изменение ширины цепи.
 - **Exchange Ends** (кл. X) – смена конца, с которого прокладывается трасса.
 - **Segment** (кл. S) – коррекция указанного сегмента трассы.
 - **Unroute Segment** (кл. G) – отмена проложенного сегмента трассы.
 - **Unroute** (кл. D) – отмена проложенной трассы.
 - **Unroute Net** (кл. Alt+D) – отмена всей цепи.
 - **Add Via** (кл. V) – добавить ПО. Удаление ПО: кн. -3, указать и кл.DEL
 - **Add FreVia** (кл. E) – добавить 1 ПО, т.е. компонент, сохраняемый при очистки платы от трасс. Их можно использовать для подключения BGA компонентов или для "сшивания" слоёв полигонов...
 - **Finish** (кл. F) – завершение процесса. Например, прокладки трассы до конца или замыкание прямоугольника полигона.
 - **Lock** (кл. L) – фиксация, защищающая от изменения при автотрассировке.
 - **Unlock** (кл. Ctrl+L) – отмена фиксации трассы.
 - **Curve Corners** – трассировка углов трасс в виде дуг!

7.8. Коррекция сегмента трассы: Edit Segment Mode (кн.-4).

Указать середину сегмента, ЛК, подвигать. Или ПК и выбрать уточняющую команду. Если указать конец сегмента, то можно изменить его длину, направление и углы при вершине.

7.9 Прокладка трассы с расталкиванием: Shove Track Mode (кн. -5) -

Options \ Route Settings – установить параметры коррекции трасс:

- **Low Power** – незначительный сдвиг.
- **Medium Power** – перестановка через дорожки и компоненты.
- **High Power** – вплоть до полной переразводки раздвигаемых трасс.

Окно DRC должно покрывать область прокладки т.к. DRC - контроль должен выполняться автоматически. Приемы прокладки трассы обычные. Автотрассировщик раздвигает существующие дорожки после завершения очередного сегмента по ЛК вокруг вставляемого переходного отверстия.

7.10. Подключение цепей к слоям металлизации.

Контактные площадки со сквозными ПО присоединяются к полигонам автоматически. Выводы планарных компонентов подключают к полигонам внутренних или противоположных слоев через ПО, что называется **разветвлением** и выполняется специальными командами как автоматически (см.п. 4.13), так и вручную:

- Выберите инструмент ручной трассировки (кн.-3, кн.-4)
- Разведите цепь от вывода планарного элемента до точки, в которой надо установить переходное отверстие, ЛК и кл. V. (можно ЛК, ПК и из меню выберите тип переходного отверстия Add Via или Add Free Via).

7.11. Визуальный контроль и редактирование трасс слоя ПП.

Options \ Post Processor Settings - вызов таблицы слоев платы.

- **Window \ Tile** - разделение экрана на окно для таблицы и окно для графики.
- Вызвать изображение трасс и КП слоя, **указав его в первом столбце таблицы, ПК, preview.** Трассы доступны для редактирования.
 - Для вывода изображения слоя на печать - **File \ Print/Plot**
 - Для возврата к обычному изображению платы - указать слой в первом столбце таблицы, ПК, **Restore Original Colors.** Затем: **Window \ Reset All.**

7.12 Простановка размеров платы

- **Options \ System Settings** - выбрать миллиметровую систему измерений.
- **Options \ User Preferences - Enable Full Screen Cursor** - увеличить размеры курсора на весь экран, так удобней.
- **Tool \ Dimension \ New, ПК, Properties** - выбрать **Relative Dimensions**, т.е простановку относительных расстояний между выбираемыми точками.
 - **Layer** - выбрать слой надписей на верхней поверхности платы **SSTOP**.
 - **Arrow Style** - стиль изображения стрелок.
 - Указать начальную точку, ЛК, а затем - конечную. Для коррекции и удаления точек измерения: указать, ЛК, ПК, меню.

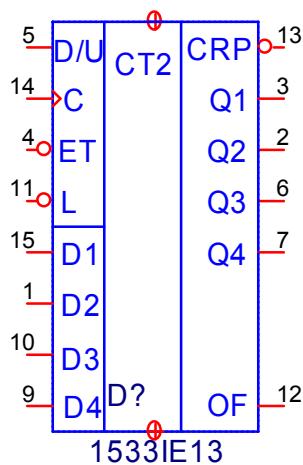
7.13 Прямая и обратная корректировки проекта.

При разработке проекта важно сохранять взаимное соответствие между схемой и ПП, путем прямой и обратной корректировки. Для наглядности, лучше одновременно вывести на экран окна программ Capture и Layout.

- **Прямая корректировка (Forward annotation)** - перенос изменений схемы на печатную плату:
 - Программу **Capture**, после внесения изменений в схему, закрывают.
 - Указать DSN - файл проекта, **Tools \ Create Netlist** - составляется MNL - файл списка соединений для **Layout** с опцией **Run ECO**.
 - Если **Run ECO** установлено, коррекция ПП выполнится автоматически: При добавлении новых элементов в схему в окне **Update Part Reference** устанавливают **Incremental reference**. Изменения электрических связей передается только из Capture в Layout, при этом удаляются ставшие ненужными трассы.
- **Обратная корректировка (Back annotation)** - перенос позиционных обозначений платы в схему. Необходимость может возникнуть в случае появления новых элементов, удаления старых или при желании упорядочить нумерацию.
 - В Layout команда **Options / Components Renaming**, в окне **Rename Direction** выбрать **Right, Down**, назначив направления возрастания номеров,
 - В Layout по команде **Auto \ Rename Components** перенумерация выполнится автоматически.
 - В Layout командой **Auto \ Back Annotate** создается SWP - файл обратной корректировки.
 - В Capture командой **Tools \ Back Annotate** изменения из SWP - файла вносятся в схему, согласно настройкам:
 - **Scope** - коррекция всего проекта (**Process entire design**) или только выбранной схемы (**Process selection**).
 - **Mode** - изменения касаются всех элементов (**Update Instances**), или только выбранных (**Update Occurrences**) в PCB - проектах.

8. Ввод цифровых тестовых сигналов в OrCAD Capture. Редактор Stimulus Editor

Возможность моделирования элементов и схем закладывается при создании нового проекта и сохраняется за ним всегда. На цифровые схемы не нужно подавать ни напряжение питания, ни "землю", а только входные тестовые воздействия (**стимулы**). Источники стимулов, введенные в схему, будут восприниматься только программой моделирования и не окажут влияния на проектирование печатной платы. Описания всех стимулов сохраняются в одном **STL**-файле проекта даже после удаления стимулов из схемы. Они "привязываются" к источникам сигналов на схеме через присвоение им соответствующих **имен (Implementation)**. STL-файл текстовый и его можно легко редактировать в "блокноте".



Сразу правильно задать стимулы, иллюстрирующие **все режимы** работы элемента, без его описания трудно. Это процесс итерационный.

Для сложных элементов их относительно самостоятельные функции лучше иллюстрировать отдельными диаграммами.

Для примера, рассмотрим ввод тестовых сигналов для моделирования работы четырехразрядного синхронного счетчика с параллельной загрузкой данных 1533IE13 (74ALS191).

8.1 Создание проекта в OrCAD Capture с возможностью моделирования.

- **File \ New \ Project**, задать произвольное имя проекта **Name**.
- Выбрать тип **PC Board Wizard – моделирование цифровых схем**.
- **Location** – указать папку для размещения проекта.
 - **Enable project simulation** - установить признак моделирования
 - **Add analog or mixed-signal simulation resources** - флагок подключения четырех библиотек источников тестовых сигналов. Можно игнорировать, а библиотеки подключать позже, по мере необходимости.

8.2. Ввод сигналов постоянного логического уровня.

Кнопками **Place Power** (кн.8) или **Place Ground** (кн.9) из библиотеки **SOURCE.OLB** ввести **\$D_L0** или **\$D_H1**, соответствующие лог.0 и лог.1. Однако, вместо постоянных сигналов можно использовать и переменные стимулы, значение которых сохраняют постоянным для всего интервала времени моделирования.

8.3 Ввод одиночного переменного сигнала.

- Кнопкой **Place Part** (кн.2) из библиотеки **Sourcstm.olb** ввести стимул **DigStm1**.
- Задать имя** - указать на атрибут **Implementation**, ПК , **Edit Properties**, ввести произвольное имя, выбрать **Value Only**, чтобы длинное слово "Implementation" стало невидимым. Если имя будет совпадать с именем входа ИС, будет легче ориентироваться в диаграмме стимулов.
- Позиционное обозначение стимула DSTM...** можно изменить: указать, ПК, **Edit Properties**, ввести имя, **Do Not Display**, т.е. сделать невидимым. По умолчанию, именно позиционное обозначение обозначает стимул на временных диаграммах результатов моделирования, что неудобно.
Чтобы имена стимулов на диаграммах совпадали с именами выводов исследуемого элемента, надо цепям, идущим от стимула к элементу, присваивать имена выводов, к которым они подключаются.
- Задать вид тестового сигнала:**
Указать стимул, ПК, **Edit PSpice Stimulus** и в окне **New Stimulus** задать:
 - NAME** - имя, если оно не было задано как параметр Implementation.
 - Analog or Digital** - выбрать тип цифрового сигнала:
 - Cloc** - регулярный тактовый сигнал, описываемый через частоту или период (подходит для счетного входа C):
 - В окне **Clock Attributes** описать импульсную последовательность в терминах частоты и скважности (**Frequency and duty cycle**) или в терминах периода и длительности импульса (**Period and on time**):
 - Frequency** – частота.
 - Duty cycle** – скважность.
 - Initial value** – начальное значение (0 или 1).
 - Time delay** – задержка начала.
 - Signal** – сигнал в виде произвольной временной диаграммы логических состояний, задаваемых графически в окне редактора **Stimulus Editor**.
 - Initial value** – начальное значение, выбираемое из списка: 0, 1, неопределенное (X) или "отключенное" (Z), когда выходное сопротивление источника сигнала бесконечно велико.

8.4 Ввод многоразрядного сигнала (шины).

- По аналогии с п.8.3 кнопкой **Place Part** (кн.2) из библиотеки **Sourcstm.olb** ввести стимул необходимой разрядности **DigStm2 ... DigStm32**.
- При выборе типа сигнала указать **Bus** и ширину **Width**.
- Начальное значение **Initial value** - произвольное, или выбирается из списка.
- Например, шиной удобно задать значения входов параллельной загрузки данных счетчика D1, D2, D3 и D4. Она вводится в схему кн.5 **Place Bus** и должна быть поименована кн.4 **Place Net Alias** как **D[4..1]**, тогда младший разряд двоичного кода сигнала окажется на D1, а старший - на D4.

8.5 Задание временных параметров тестовой диаграммы: PLOT \ Axis Settings (кн.9):

- **Displayed Range for Time** - время теста в окне редактора без прокрутки.
- **Extent of the Scrolling Region** – общее время теста, которое просматривается путем горизонтальной прокрутки.
- **Timing Resolution** – разрешение по оси времени, минимальный шаг изменения сигнала во времени, дискретность событий.

8.6 Редакция стимулов в окне Stimulus Editor.

Иногда ошибки моделирования схем вызваны некорректностью тестовых воздействий. Например, счетчик с параллельной загрузкой должен быть загружен до первого счетного сигнала.

- **Стимул типа Cloc** - 2ЛК по имени на оси ординат и задать новые параметры импульсной последовательности в цифровом виде.
- **Стимулы типа Signal и Bus** редактируются в цифровой и графической форме.
 - **Ввод нового перепада сигнала:** указать точку изменения "карандашом" (кн.13) и ЛК (или 2ЛК). Перепад образуется на ближайшей временной отметке, кратной масштабу. Для смены указателя "карандаш" на "стрелку" нажать кл. Esc или ПК.
 - **Стирание перепада сигнала** клавишей **Delete**: указать перепад сигнала "стрелкой" и **Delete** - сигнал примет то же значение, что и слева от перепада. Для удаления сделанного изменения нужно указать "карандашом" место удаленного перепада и **Delete**.
 - **Произвольное изменение сигнала** - 2ЛК в произвольной точке сигнала "стрелкой", в окне **Edit Digital State** задать:
 - **Start Time** – начальная точка коррекции.
 - **Duration** – длина коррекции (расстояние до следующего фронта).
 - **Value** – значение сигнала для корректируемого участка. Произвольное, либо выбранное из списка.

8.7 Прочие команды редактора Stimulus Editor

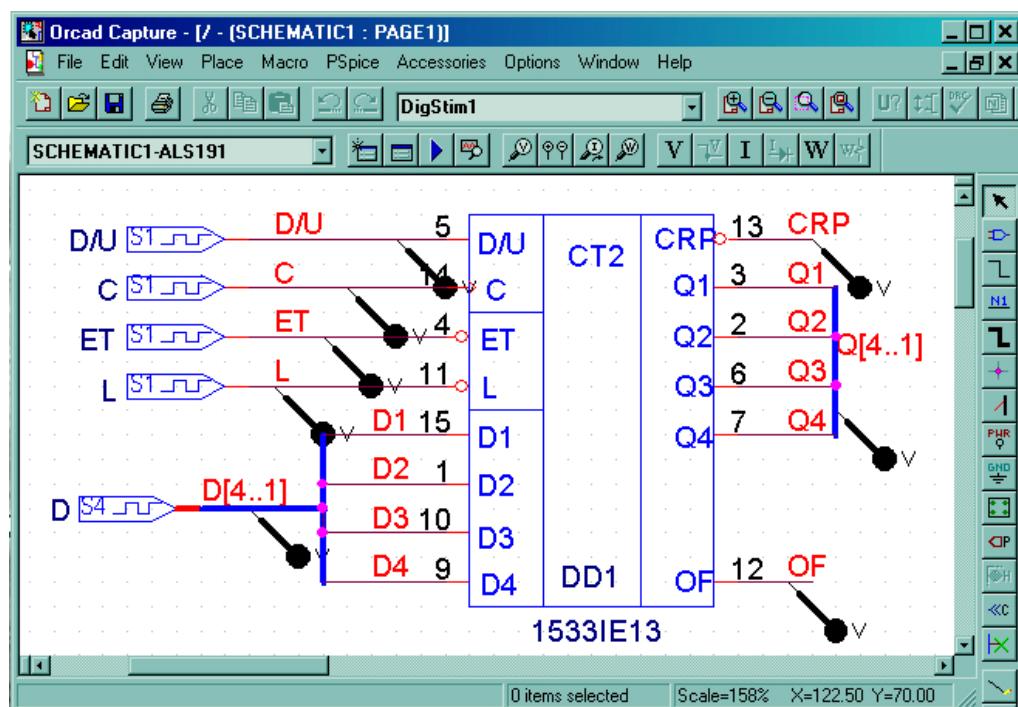
- **Stimulus **
 - **Get** (кн.11) – вывод графики любого из стимулов STL-файла в текущее окно. Любой стимул можно убрать с экрана клавишей **Delete**, но в STL-файле он все равно сохранится. Сохранится и при удалении его из схемы.
 - **Remove** – **безвозвратное** удаление стимула из STL-файла.
 - **New...** - создать новый стимул. Потом его имя (и характеристики) можно присвоить какому - нибудь тестовому символу схемы в OrCAD Capture.
 - **Rename** – переименовать стимул.
 - **Change type...** - изменить тип стимула. Например, можно изменить начальное значение. Однако, нельзя задавать, например, ширину шины не соответствующую источнику на принципиальной схеме.
- **Edit **
 - **Attributes...** (кн.12) Команда меняется в зависимости от того, какой элемент диаграммы указан:
 - Указано название сигнала:
 - **Display Radix** - способ изображения одиночного сигнала или вид цифрового кода для шины.
 - **Bus Width** - "ширина" сигнала. Однако, надо сохранять соответствие аналогичному параметру источника сигнала на принципиальной схеме.
 - Указан фрагмент диаграммы - произвольное изменение сигнала, как описано в п.8.6:
 - **Start Time** – начальная точка коррекции.
 - **Duration** – длина коррекции (расстояние до следующего фронта).
 - **Value** – значение сигнала для корректируемого участка. Произвольное, либо выбранное из списка.
- **View **
 - **In** (кн.5) - уменьшение масштаба времени
 - **Out** (кн.6) - увеличение масштаба времени
 - **Area** (кн.7) - растяжка по времени выделенной области.
 - **Previous** (кн.8) - возврат к исходному масштабу времени
- **Plot **
 - **Add plot** - добавить еще одно окно графиков для тестовых сигналов.
 - **Delete plot** - удалить текущее окно.
 - **Unsync plot** - не синхронизированный масштаб по оси времени между окнами.

9. Моделирование цифровых схем в OrCAD Capture средствами программы PSpiceA/D

У проектов с возможностью моделирования, которая закладывается при их создании, окно программы OrCAD Capture содержит вторую горизонтальную панель кнопок, на которую выведены наиболее важные команды из меню **PSpice**. Поэтому здесь будем указывать номера кнопок именно для этой панели. Стимулирующие воздействия автоматически извлекутся из **STL**-файла проекта и связуются с источниками сигналов на схеме, если совпадут имена (**Implementation**). "Питание" и "землю" вводить в схему не надо.

9.1 Загрузка проекта: File \ Open \ Project – OPJ-файл.

Продолжим пример с синхронным счетчиком 533IE13 (74ALS191). Ко входам D/U и ET подключили обычные стимулы, т.к. сигналы постоянного логического уровня, подключенные ранее, не позволяют выводить имя цепи на временной диаграмме. Подключим проводники и к выходам ИС, в частности, шину Q[4..1]. Присвоим всем проводникам имена, совпадающие с именами выводов ИС, что позволит достичь оптимального соответствия между обозначениями на схеме и на временных диаграммах (кн. 4 **Place net alias**).

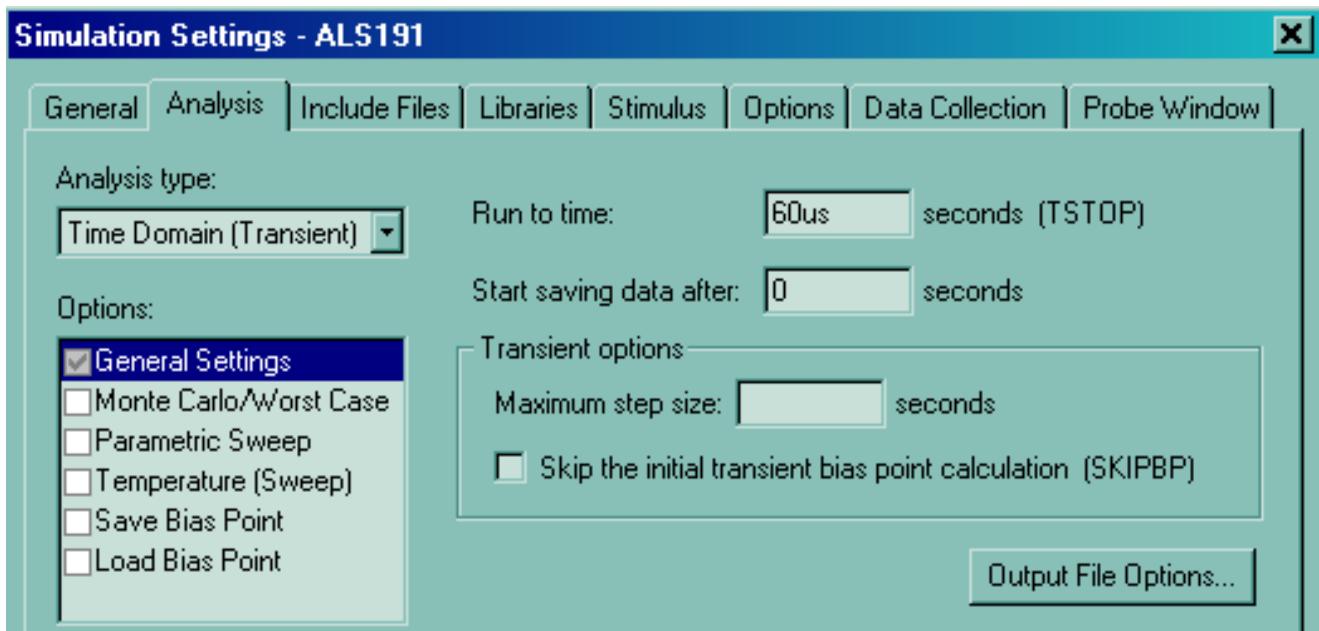


9.2 Задания на моделирование: PSpice \ New Simulation Profile (кн. 1)

- **Name** – имя задания (профиля), например, IE13.
- **Inherit from** – выбрать из списка, в качестве прототипа, прежнее задание из этого проекта, либо не выбирать (**none**)

Коррекция существующего задания - команда **PSpice \ Edit Simulation Profile** (кн.2). Окно задания имеет 8 закладок со множеством параметров, но для моделирования цифровых схем важны только закладки **Analysis** и **Options**:

- Analysis – тип анализа и время моделирования.



- Analysis type – Time Domain (Transient) – временные диаграммы.
 - General Settings – общие параметры
 - Run to Time (TSTOP) – время анализа. В секундах (s), или кратных долях – секунда с префиксом или просто префикс:

Доля сек.	Пре-фикс	Название
10^{-3}	m	Милли
10^{-6}	u	Микро
10^{-9}	п	Нано
10^{-12}	p	Пико
10^{-15}	f	Фемто

Доля сек.	Пре-фикс	Название
10^3	k или K	Кило
10^6	MEG	Мега
10^9	G	Гига
10^{12}	T	Тера

- Start saving data after = 0 – начало сохранения результатов анализа
- Maximum step size – масштаб времени для Фурье - анализа переходных процессов
- Skip the initial transient bias point calculation (SKIPBPP) – пропустить начальную точку переходного процесса
- Output fail Options – выходной файл параметров, не обязателен.

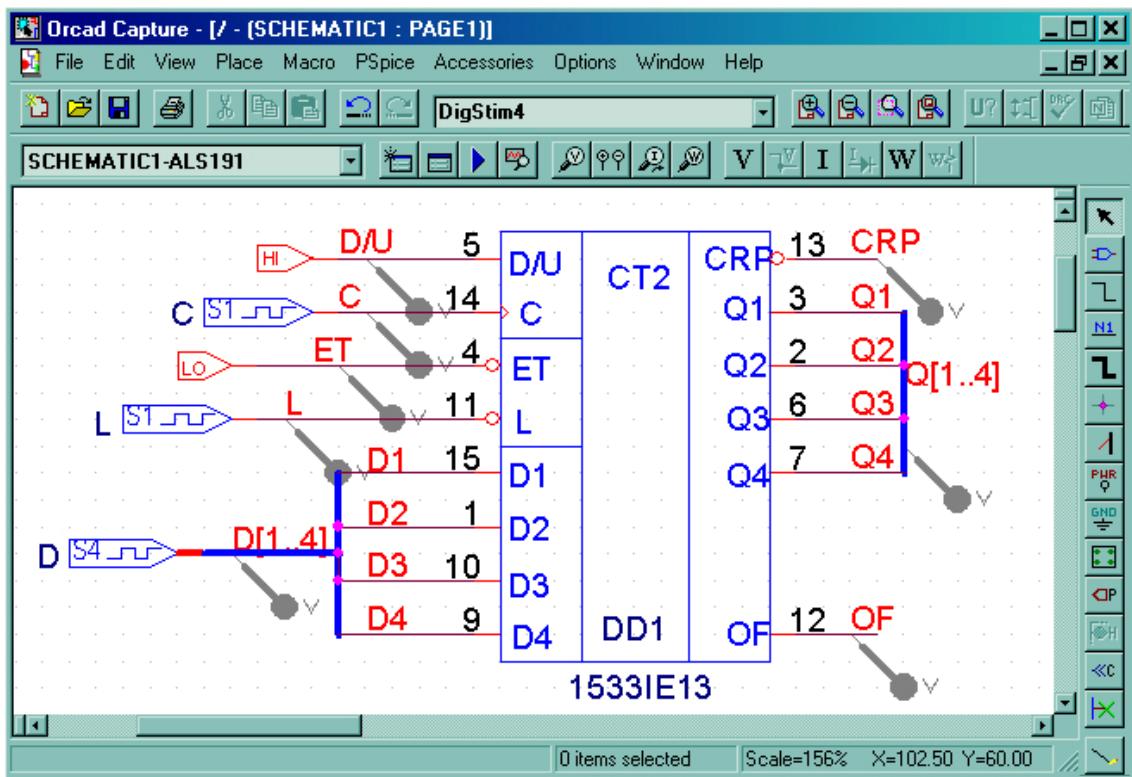
- Options – тип моделируемой схемы и коррекция численных параметров моделирования "по умолчанию", по мере приобретения опыта.
 - Gate-level Simulation – моделирование логических схем.
 - Timing Mode - задержка срабатывания всех элементов: минимальная (minimum), типичная (typical), максимальная (maximum)
 - Worst-case (Min/Max) — вариация задержки при расчете наихудшего случая (минимальная / максимальная).

- **Suppress simulation error messages in waveform data file** – отражать ошибки моделирования на временных диаграммах.
- **Initialization all Flip-flop to:** - задать начальные значения триггеров (состояние выхода): неопределенное (X), логический 0 или 1.
- Default I/O level for A/D Interface - тип модели интерфейса вход/выход.
- Advanced Options – дополнительные параметры моделирования цифровых устройств. Для краткости определяем их названиями операторов:
 - DIGDRVF =2Ом - мин. выходное сопротивление (для моделей UIO)
 - DIGDRVZ =20кОм – макс. выходное сопротивление (модель UIO)
 - DIGOVRDRV Отношение выходных сопротивлений цифровых устройств, при которых изменяется состояние общего выходного узла.
 - DIGMNTYSCALE = 0,4 - масштабный коэффициент для расчета минимальной задержки.
 - DIGTYMXSCALE =1,6 - масштабный коэффициент для расчета максимальной задержки.
 - DIGERRDEFAULT = 20 макс. количество контролируемых ошибок.
 - DIGERRLIMIT = 0 – макс. количество сообщений об ошибках.
- **General – общие параметры, обычно не корректируются**
 - Simulation profile – имя задания (профиля моделирования)
 - Input - имя проекта, файла принципиальных схем и конкретной схемы. Вместо графического DSN-файла можно задать текстовый CIR-файл с описанием схемы и параметров моделирования.
 - Output Filename – выходной текстовый OUT- файл с результатами моделирования (...-SCHEMATIC1-Pr1.out).
 - Waveform Data Filename - выходной графический DAT- файл результатов моделирования (...-SCHEMATIC1-Pr1.dat)
- Probe Window - управление окном программы Probe вывода результатов.
 - Display Probe window when profile is open.
 - Display Probe window
 - during simulation - вывода графиков в процессе моделирования схемы
 - after simulation has completed - вывода графиков после моделирования.
 - Show / All markers on open schematics - выводить все маркованные цепи.
- Libraries - указание списка текстовых LIB-файлов библиотек моделей. При моделировании из них загружаются только части, относящиеся к задействованным компонентам.
 - Filename (Browse) - поиск LIB-файла и помещение в список.
 - Library files - список LIB-файлов, подключенных ко всем проектам (Add as Global) или только к текущему (Add to Design)
 - nom.lib - текстовый файл с директивами подключения всех нужных библиотек. Может корректироваться пользователем.
 - Library Path - папка библиотек (C:\OrCAD_92\Capturee\Library\PSpice)
- Stimulus - указание на STL-файл описания тестовых сигналов.

9.3. Выполнение моделирования и просмотр результатов.

- Задание анализируемых цепей и сигналов.

PSpice \ Markers \ Voltage Level (кн.5) - установить маркеры напряжения на интересующие цепи в последовательности, желательной для представления на графике.



Однако, удобней задавать расположение сигналов на графике не заранее, а после моделирования, когда на экран дисплея выведены и окно схемы, и окно результатов, изначально пустое, но в состоянии "горячей связи" с окном схемы. Теперь подключение маркера к цепи схемы сразу приведет к появлению временной диаграммы соответствующего сигнала, а его удаление - к удалению и сигнала. Подключение маркеров к шинам позволяет выводить их состояние в двоичном, десятичном или 16-ричном кодах.

Еще удобней работать, если вывести и окно задания стимулов.

Кнопки 6, 7 и 8 задают маркеры "измерения" дифференциального напряжения, тока и электрической мощности соответственно.

Кн.9, 11 и 13 (PSpice \ Bias Points \...) выводят начальные значения тестовых сигналов, соответственно, напряжения, тока и мощности.

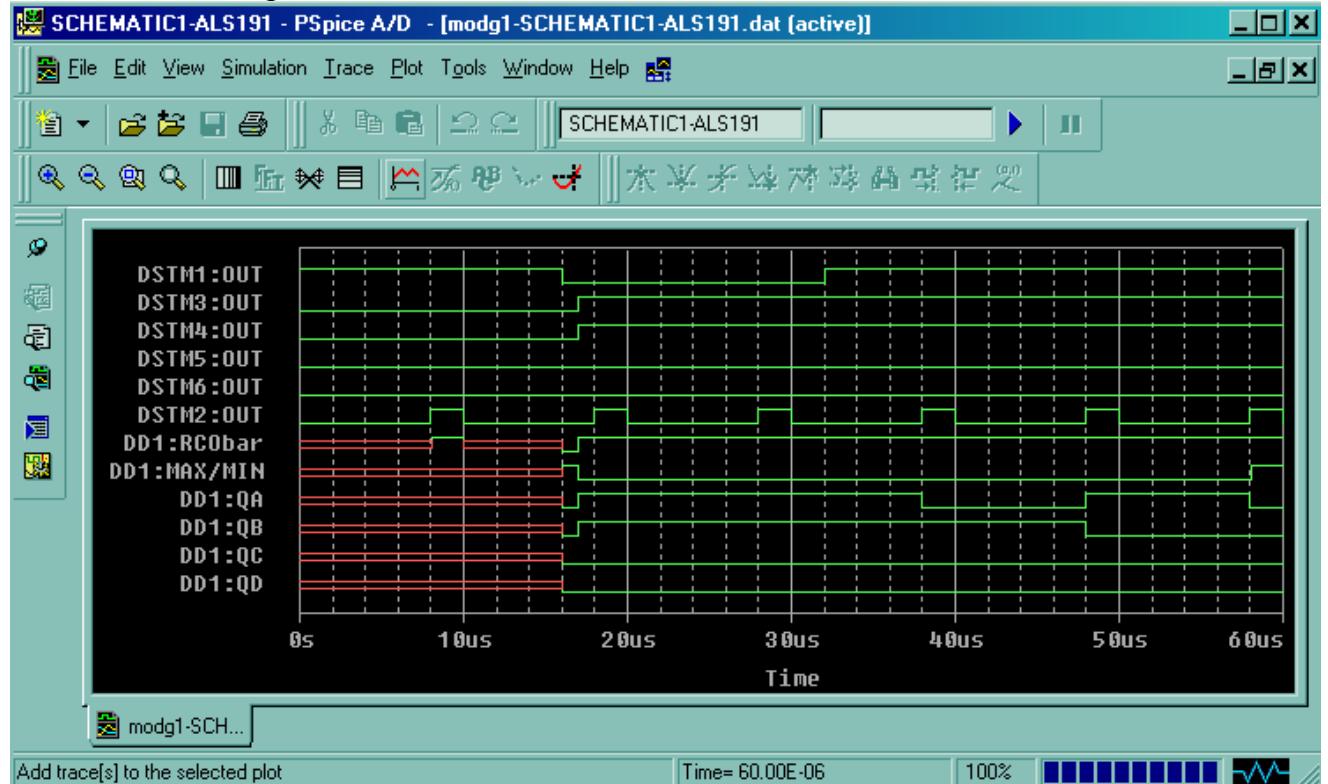
Полный список директив моделирования PSpice больше предлагаемого в меню графической оболочки. Дополнительные директивы можно задать с помощью символов из библиотеки **Special.slb** и их атрибутов, присваиваемых прямо на схеме.

- **PSpice \ Run (кн.3) – выполнение моделирования.**

В PSpice загружается CIR-файл директив моделирования со ссылками на NET-файл описания схемы. Результаты заносятся в текстовый OUT-файл и графический DAT - файл, передаваемый в программу отображения и обработки результатов **Probe**, окно которой представлено ниже.

OUT-файл можно посмотреть командой **View \ Output File** в окне результатов моделирования.

Далее ссылки на кнопки относятся ко второй горизонтальной панели кнопок именно этого экрана.



Двойная красная линия в начале шести нижних сигналов демонстрирует неопределенность состояния выходов ИС до начальной загрузки счетчика по спаду DSTM1.

Чтобы избежать неопределенности нужно в **профиле симуляции**, на закладке **Options \ Gate-level Simulation \ Initialization all Flip-flop to** определить начальные состояния триггеров, например, логическим 0. Результат представлен на диаграмме в п.9.4.

- **Изменение масштаба времени.**

- **View \ Zoom \ In (кн.1)** - укрупнить (уменьшить масштаб времени).
- **View \ Zoom \ Out (кн.2)** - увеличить масштаб времени.
- **View \ Zoom \ Area (кн.3)** - максимальное укрупнение выделенной области.
- **View \ Zoom \ Previous (кн.4)** - вернуться к исходному масштабу времени.

- Измерение временных интервалов и логических значений.

Trace \ Cursor \ Display (кн.13) - Курсор A1 устанавливается в начальную, по умолчанию, точку времени A1 = 0. В экране **Probe Cursor** выведены его координата, координата курсора A2 = 0 и интервал между ними dif. Слева от оси ординат показаны логические значения сигналов для курсора A1.

- Произвольные интервалы:

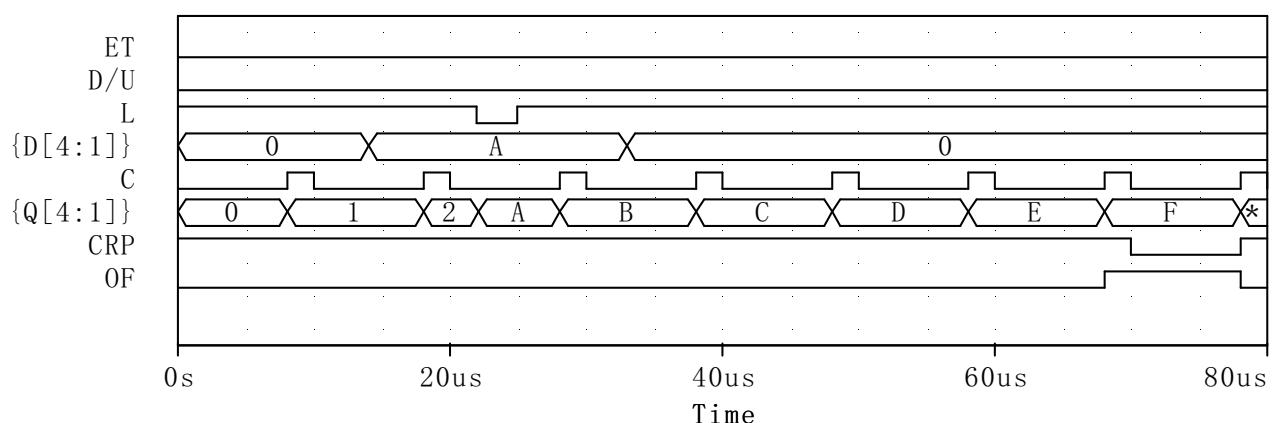
- Указать начальную точку интервала, ЛК: A1 = времени, а слева от оси ординат показаны логические значения сигналов для курсора A1.
- Указать конечную точку интервала, ПК: A2 = времени, а dif = интервалу.
- Интервалы до очередного перепада сигнала (фронта или спада)
 - Указать имя сигнала слева от оси ординат, ЛК, ПК (оно окажется в рамке).
 - Указать начальную точку отсчета на графике сигнала, ЛК, ПК.
 - Trace \ Cursor \ Next Transition (кн.21)** - курсор A2 установится на первом справа перепаде выбранного сигнала. Интервал равен dif. При следующем выполнении команды - следующий перепад и т.д.
 - Trace\Cursor \Previous Transition (кн.22)**-обратное движение курсора A2.

9.4 Перенос результатов моделирования в текстовые документы.

Выполняется обычным образом, через буфер системы.

- Window \ Copy to Clipboard** - копировать изображение в буфер.
 - make window and plot backgrounds transparent** - установить флаг замены черного фона прозрачным.
 - change all colors to black** - установить флаг замена цветных графиков черными.
 - change white to black** - сохранить цвета, но сделать чуть темнее
 - use screen colors** - сохранить цвета экрана

Ниже, представлена диаграмма результатов моделирования работы счетчика из п.9.3 полученная после задания начальных состояний его триггеров равными 0.



- Plot \ Axis Setting - команда, позволяющая "настроить" оси ординат и вспомогательные параметры чертежа временных диаграмм.
- Построение дополнительного чертежа результатов моделирования
 - Plot \ Add Plot to Window (Delete Plot) - создать (удалить) поле для дополнительного чертежа. "Текущий" чертеж отмечается символом "SEL>>" слева от оси ординат.
 - Trace \ Add trace (кн.9) - вывод графиков на "текущий" чертеж.
 - Сбросить флагки Alias Mames и Subcircuit Nodes - количество цепей в списке в окне слева будет соответствовать схеме.
 - Указать поочередно цепи для вывода на график. Их список будет сформирован в нижнем окне Trace Expression, OK.
 - Plot \ Unsynchronize X-Axis - масштабирование времени, независимое от предыдущего чертежа, так что команды масштабирования будут распространяться только на активный чертеж и синхронизированные с ним.

10. Ввод аналоговых тестовых сигналов в OrCAD Capture

Для успешного моделирования аналоговая схема должна удовлетворять следующим условиям:

- Обязателен общий узел отсчета потенциалов ("земля") с номером ноль.
- Все остальные узлы имеют к "земле" путь по постоянному току.
- К каждому узлу подключены не менее двух ветвей (исключая конечные узлы линии с распределенными параметрами и подложки МОП-транзисторов).
- Схемы контуров из источников напряжения и (или) индуктивностей и сечений из источников тока и (или) емкостей должны включать резисторы.

10.1. Доработка принципиальной схемы в OrCAD Capture.

Аналоговое моделирование возможно только в тех проектах, при создании которых был задан тип **Analog or Mixed A/D**, с последующим диалогом:

- **Create based upon an existing project** - выбрать тип проекта:
 - **Simple** - простой (не иерархический) проект с подключением 5 библиотек из папки ...\\Capture\\Library\\PSpice. Другие библиотеки можно подключить в любое время командой **Libraries \ Add File**.
 - **analog.olb** - аналоговые элементы, включая ОУ
 - **transistor.olb** - транзисторы
 - **Sourse.olb** – источники напряжения или тока.
 - **Sourcstm.olb** – источники входных сигналов
 - **Simple_all_libs** - простой проект, подключающиеся все библиотеки.
 - **Hierarchial** - иерархический, подключающиеся 5 стандартных библиотек.
 - **Hierarchial_all_libs** - иерархический, подключающиеся все библиотеки.
- Источник питания **VCC (Sourse.olb)** и источник тестового сигнала **VIN (Sourcstm.olb)** появляются автоматически в окне проектирования схемы PAGE1. Они будут восприниматься только программой моделирования и не окажут влияния на проектирование печатной платы. Их можно удалить, а при необходимости ввести (эти или другие) командой **Place Part (кн. 2) на любой стадии работы над проектом**. Значения источников питания задаются как атрибуты любого другого элемента в контекстном меню **Edit Properites**.
- Параметры тестового сигнала настраиваются в редакторе **Stimulus Editor**: выбрать стимул, ПК, **Edit PSpice Stimulus**.
- **Кнопками Place Ground или Place Power можно подключить "землю", если она не подключена автоматически. Команды эквивалентны. Символ "земли" - "0" извлекается из библиотеки SOURCE.OLB.**
Для создания собственных символов земли используется команда **Design \ New Symbol** из менеджера команд, как описано во 2 главе.

10.2. Ввод и настройка аналоговых сигналов в Stimulus Editor.

Аналоговые стимулы напряжения **VSTIM** и тока **ISTIM** из **Sourcstm.olb**, также, как и цифровые стимулы, настраиваются в **Stimulus Editor**:

- Указать стимул, ПК, **Edit PSpice Stimulus**.
- В окне **New Stimulus** задать имя **NAME** и тип в поле **Analog**.

Назначить параметры сигнала, используя суффиксы кратности:

Доля сек.	Суффикс	Название
10^{-3}	m	Милли
10^{-6}	u	Микро
10^{-9}	п	Нано
10^{-12}	p	Пико
10^{-15}	f	Фемто

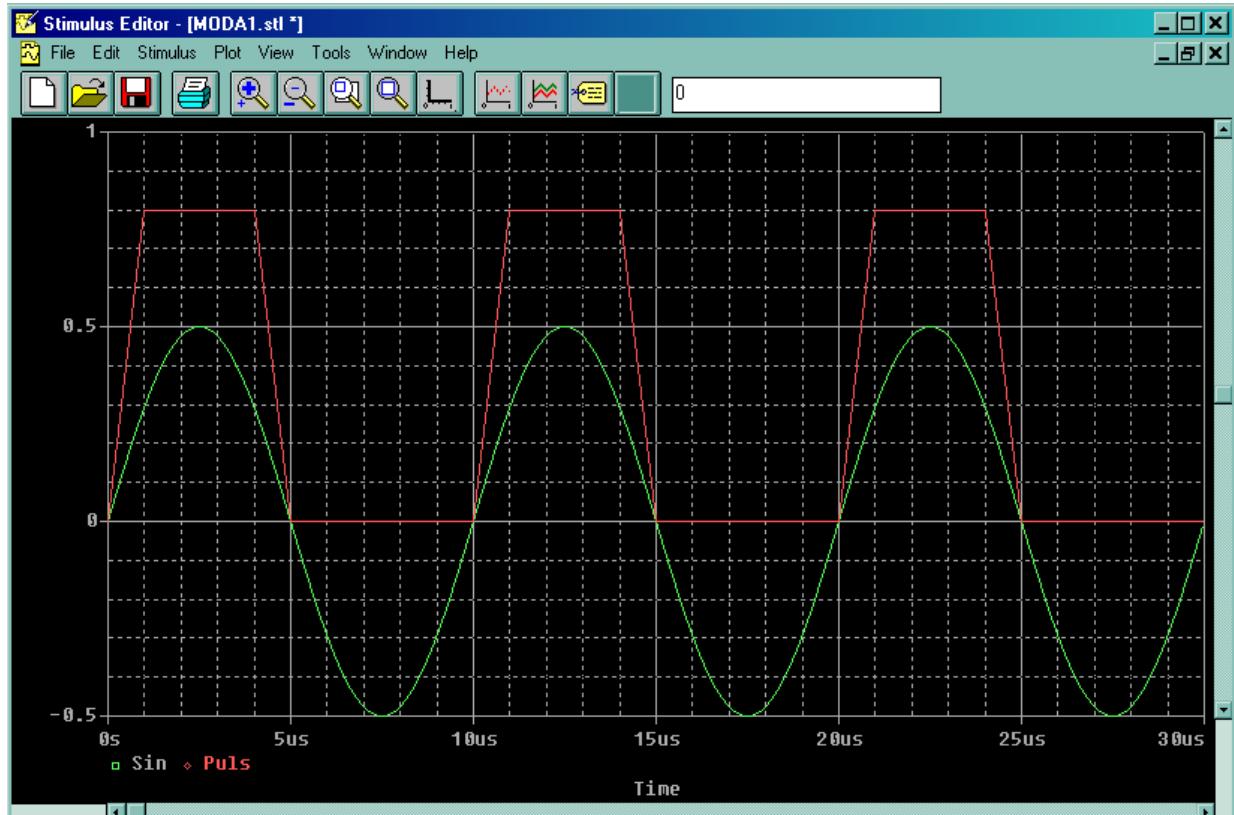
Доля сек.	Суффикс	Название
10^3	k или K	Кило
10^6	MEG	Мега
10^9	G	Гига
10^{12}	T	Тера

- **PULSE** — трапецидальный (прямоугольный) импульс;
 - **Initial Value** - напряжение до импульса (постоянная составляющая);
 - **Pulse Value** - амплитуда импульса.
 - **Delay** - время задержки к началу моделирования
 - **Rise Time** - длительность переднего фронта
 - **Fall Time** - длительность заднего фронта.
 - **Pulse width** - длительность вершины импульса.
 - **Period** — период импульсов.
- **SIN** — синусоидальное напряжение (ток).
 - **Offset value** — постоянная составляющая.
 - **Amplitude** — амплитуда синуса.
 - **Frequency** — частота.
 - **Time delay** — задержка.
 - **Damping factor** — декремент затухания [1/c].
 - **Phase angle (degrees)** — фаза [град].
- **EXP** — экспоненциальный импульс.
 - **Initial Value** — начальное значение.
 - **Peak Value** — максимальное значение.
 - **Rise (fall) delay** — задержка начала импульса.
 - **Rise (fall) time constant** - постоянная времени нарастания;
 - **Fall (rise) delay** - длительность от начала фронта, до начала спада;
 - **Fall (rise) time constant** - постоянная времени спада
- **PWL** — кусочно-линейный сигнал;
- **SFFN** — частотно - модулированный сигнал;
 - **Offset value** - постоянная составляющая
 - **Amplitude** — амплитуда несущей.

- Carrier frequency - частота несущей
- Modulation index - коэффициент модуляции;
- Modulation frequency - частота сигнала

10.3 Прочие команды редактора Stimulus Editor

Для примера на рисунке представлены графики синусоидального (Sin) и импульсного сигналов (Puls). У последнего фронты заданы по 1 мкс, вершина 3 мкс, а период - 10 мкс.



- **Stimulus **
 - **Get (кн.11)** – вывод графики любого из стимулов STL-файла в текущее окно. Любой стимул можно убрать с экрана клавишей **Delete**, но в STL-файле он все равно сохранится. Сохранится и при удалении его из схемы.
 - **Remove** – **безвозвратное** удаление стимула из STL-файла.
 - **New...** - создать новый стимул. Потом его имя (и характеристики) можно присвоить какому нибудь тестовому символу схемы в OrCAD Capture.
 - **Rename** – переименовать стимул.
 - **Change type...** - изменить тип стимула.

- **Plot **
 - **Axis Settings - (кн.9)** – задание временных параметров теста:
 - **Displayed Range for Time** – время теста.
 - **Extent of the Scrolling Region** – изменение масштаба оси времени при горизонтальной прокрутке изображения .
 - **Minimum Resolution** – масштаб по осям времени и амплитуды.
 - **Add plot** - добавить еще одно окно графиков для тестовых сигналов.
 - **Delete plot** - удалить текущее окно.
 - **Unsync plot** - не синхронизированный масштаб по оси времени между окнами.
- **Viev **
 - **In (кн.5)** - уменьшение масштаба времени
 - **Out (кн.6)** - увеличение масштаба времени
 - **Area (кн.7)** - растяжка по времени выделенной области.
 - **Previous (кн.8)** - возврат к исходному масштабу времени
- **Tools **
 - **Label** - ввод надписей и рисунков
 - **Text...** - текст
 - **Line** - линия
 - **Poly - Line** - линия с изломами
 - **Arrow** - стрелка
 - **Box** - прямоугольник
 - **Circle** - окружность
 - **Ellipse** - эллипс

11. Моделирование аналоговых схем в PSpice AD

Моделирование аналоговых схем более многообразно, чем цифровых. Обсудим наиболее простые варианты, опуская сведения, уже описанные в главе 9.

11.1. Составление задания на моделирование.

PSpice \ New Simulation Profile (кн.1) , или, для коррекции существующего PSpice \ Edit Simulation Profile (кн.2).

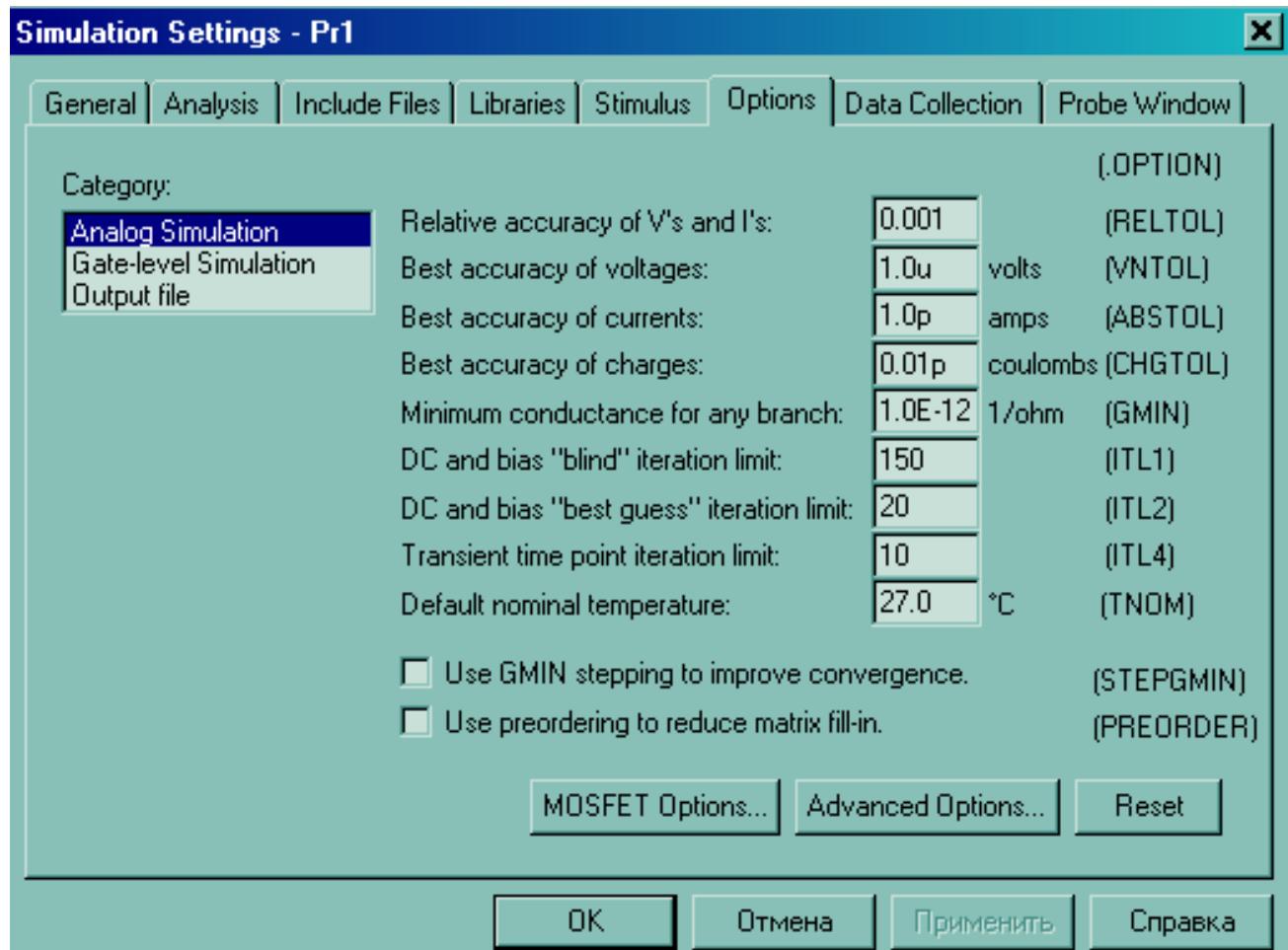
Изменим стиль изложения. Перечислим в этом параграфе только второстепенные разделы окна **Simulation Settings**, в которых можно ничего не менять.

С важнейшими же разделами будем знакомить в следующих параграфах по ходу выполнения заданий и по мере необходимости.

- General – общие параметры. Устанавливаются автоматически и обычно не корректируются
- Include Files – указать INC-файл, содержащий директивы, которые желательно выполнить перед выполнением задания на моделирование. Например, .PARAM, .FUNC
 - NOECHO = Y - не включать в выходной файл части описания схемы, расположенной после строки с директивой OPTION.
 - NOMOD = Y – не выводить список параметров моделей.
 - NOOUTMSG = Y – не выводить сообщения об ошибках моделирования.
 - NOPAGE = Y - запрещение перевода страниц в выходном файле.
 - OPTS = N - вывод значений всех опций.
 - NUMDG = 4 - количество значащих цифр данных (NUMDGT)
 - WIDTH = 80 - длина строки выходного файла.
- Libraries – подключение дополнительных библиотек моделей элементов
По умолчанию всегда подключен текстовый файл NOM.LIB со списком всех LIB - файлов моделей элементов из папки ...Capter \ Library\PSpice\...x.lib.
 - В окно **Filename** ввести, используя **Browse...** , полный путь к библиотеке.
 - Кнопкой **Add to Design (Add as Global)** перенести адрес библиотеки в окно **Library Files**.
- Stimulus – подключение тестовых сигналов из дополнительных STL-файлов
- Data Collection - по умолчанию программа моделирования сохраняет осцилограммы для всех узлов схемы. Для больших проектов рекомендуется ограничиться только помеченными узлами.
- Probe Window - условия вызова окна программы отображения результатов моделирования Probe.

11.2 Выбор точности вычислений при моделировании.

- **Options \ Category \ Analog Simulation** – определить точность вычислений. В скобках, прописными буквами, в окнах "профиля моделирования" указываются операторы языка PSpice, генерируемые автоматически.



RESET - установка значений, принятых по умолчанию.

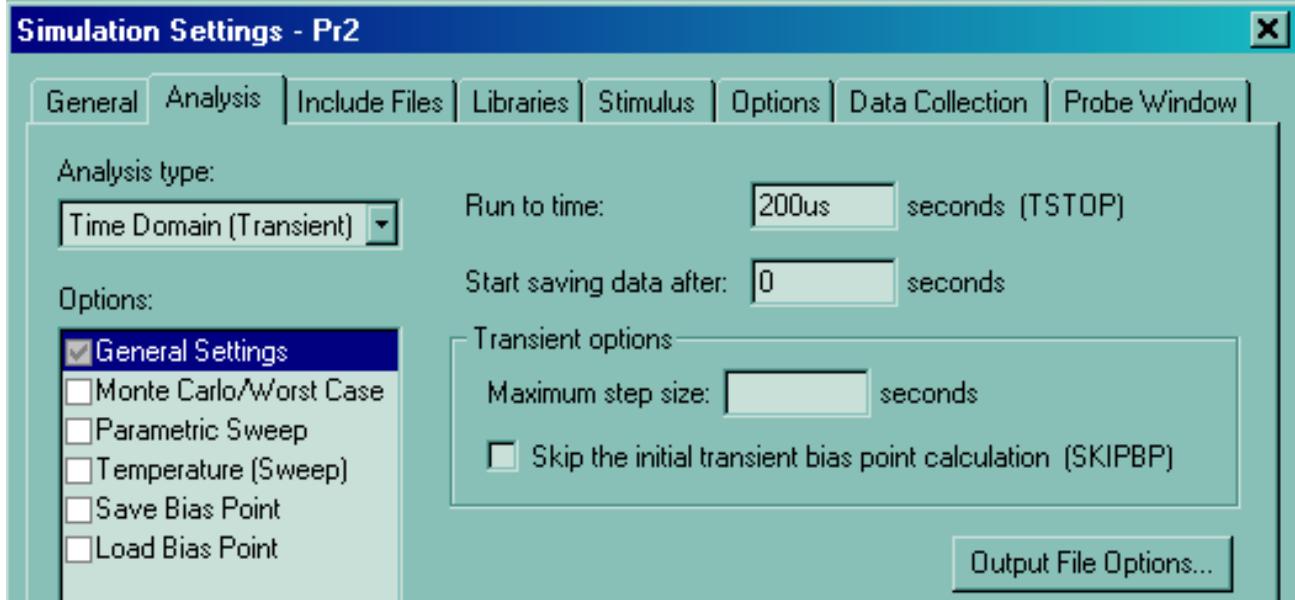
Установки "по умолчанию" содержат очень высокие требования по точности вычислений. Часто, для ускорения моделирования, их можно снизить.

	Умол.	Реком.
Относительная точность напряжения и тока переходных хар.	0,001	0,1
Допустимая ошибка расчета напряжения переходных хар.	1uV	1mV
Допустимая ошибка расчёта тока переходных хар.	1pA	1uA
Допустимая ошибка расчёта заряда (кулон) переходных хар.	0,01pK	0,01uK
Min.паразитная проводимость цепей	1.0E-12	
Кол. итераций расчёта по постоянному току	150	
Кол. итераций в точке расчета передат. функ. по пост. току	20	
Кол. итераций в точке переходной характеристики.	10	
Номинальная температура (°C)	27.0	

11.3 Анализ во временной области, осциллограммы переходных процессов.

В качестве примера выполним моделирование схемы усилителя переменного тока на биполярном транзисторе BC547A фирмы Philips (рис.1)

- Analysis \ Analysis type \ Time Domain (Transient) – выбрать первый из четырех типов анализа.



- В окне Options по умолчанию установлен флажок General Settings – общие параметры моделирования.
- Run to time - время анализа, зададим 200 мкс. Остальное - по умолчанию.

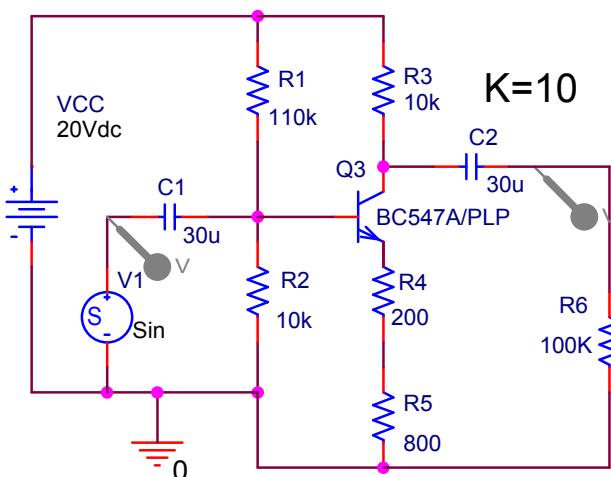


Рис. 1

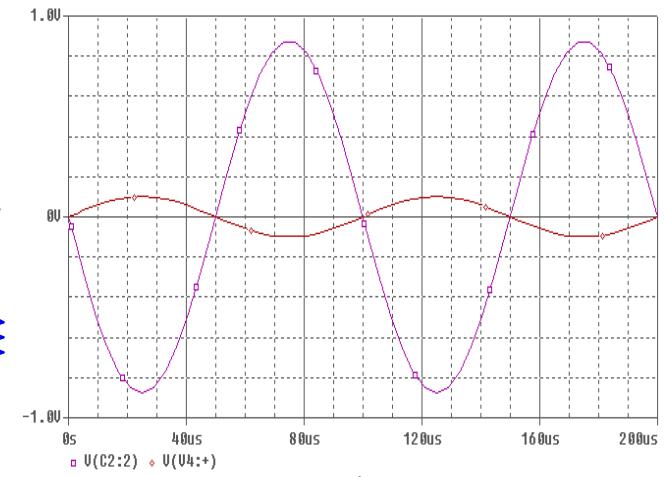


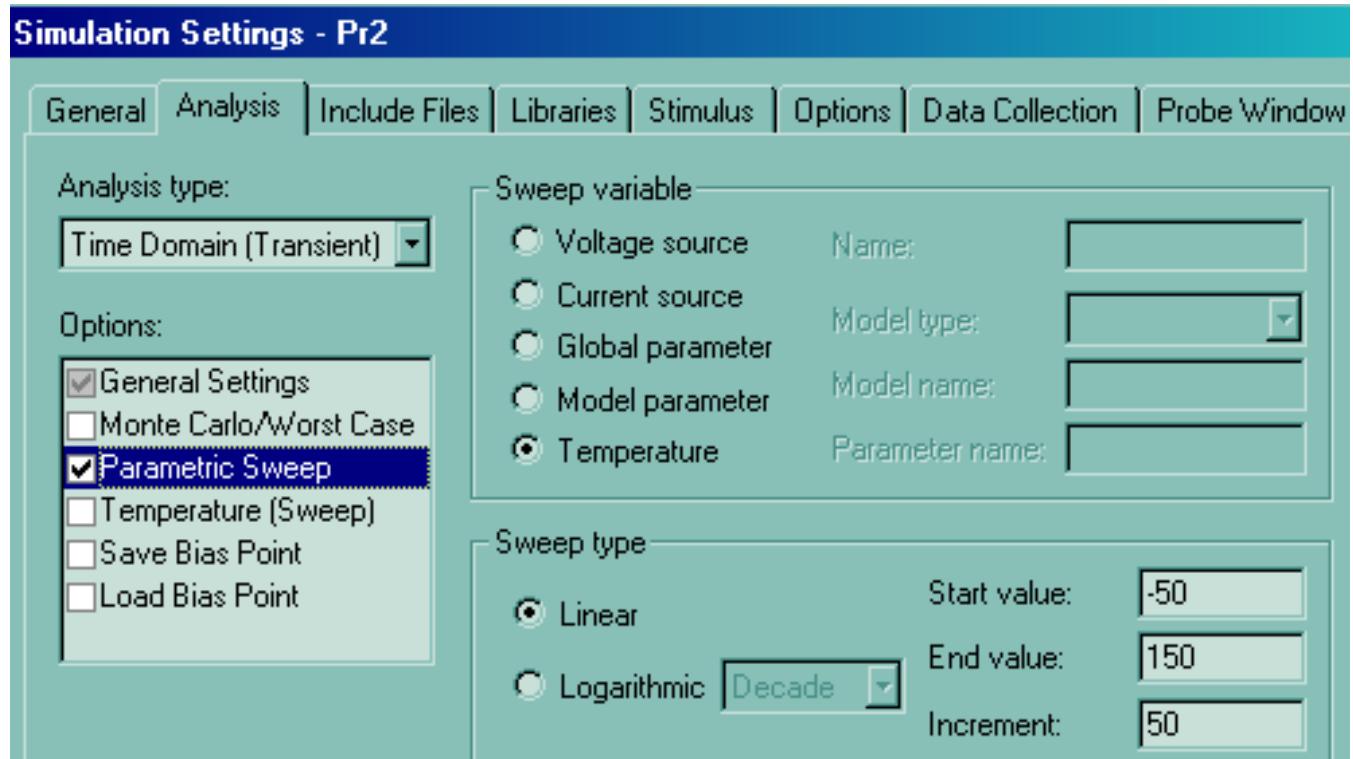
Рис. 2

Результаты моделирования представлены на рис.2.

Если параллельно R5 подключить конденсатор емкостью 300 nF, коэффициент усиления возрастет раз в 10, при сохранении прежнего уровня чувствительности к температуре по постоянному току.

11.4 Параметрический анализ во временной области

- Analysis \ Analysis type \ Time Domain (Transient) – оставить первый из четырех типов анализа.
- В окне Option установить флажок Parametric Sweep.



- **Sweep variable** - варьируемый параметр, **например, температура**.
 - **Voltage source** - источник напряжения с именем **Name**.
 - **Current source** - источник тока в схеме, с именем **Name**
 - **Global parameter** - имя глобального узла схемы.
 - **Model parameter** - параметр модели элемента схемы
 - **Temperature** - температура.
- **Sweep type** - тип вариации параметра
 - **Start value** - начальное значение (-50°C)
 - **End value** - конечное значение (+150°C)
 - **Increment** - шаг приращения значений (50°C)
 - **Linear** - линейная шкала приращений
 - **Logarithmic** - логарифмическая шкала приращений.

Результаты температурных испытаний представлены на рис.3. Три графика показывают напряжение на коллекторе транзистора для температур -50 (верхний), 0 (средний) и 50 (нижний) градусов. Следующее значение +100 лежит выше рабочего диапазона транзистора, о чем PSpice и проинформировала.

На рис.4 представлено напряжение на R6, т.е. только переменная составляющая. Она, как видим, от температуры не зависит!

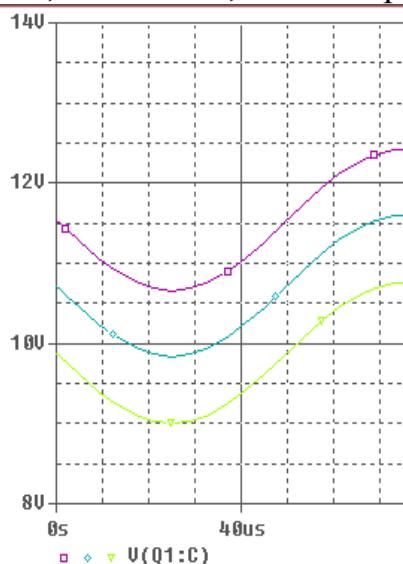


Рис. 3

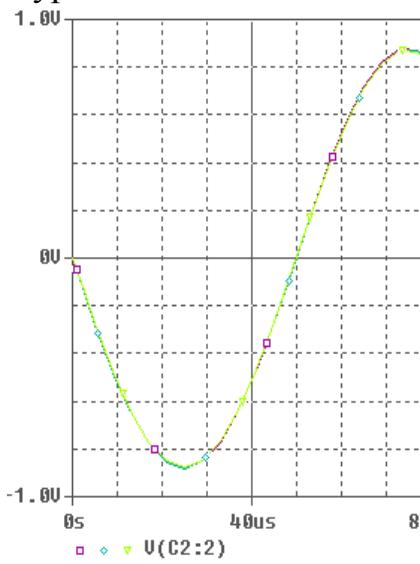


Рис. 4

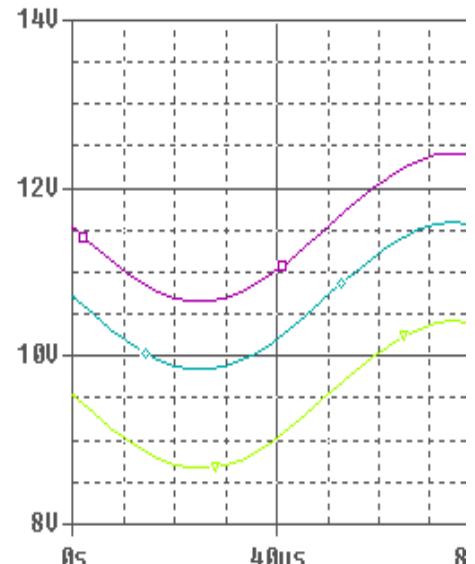
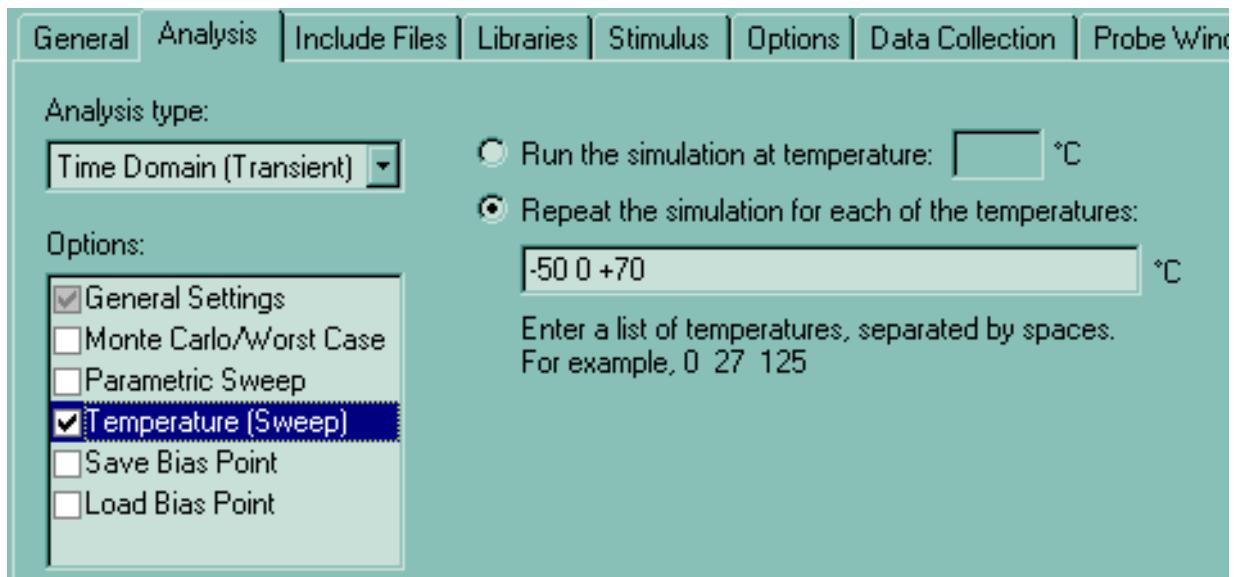


Рис. 5

11.5 Температурный анализ во временной области



- **Analysis \ Analysis type \ Time Domain (Transient)** – оставить первый из четырех типов анализа.
- **Option \ Temperature (Sweep)** - температурный анализ.
 - **Run the simulation at temperature:** - задать температуру для испытаний.
 - **Repeat the simulation for each of the.** - задать несколько значений температуры для повторных испытаний. Укажем верхнее значение выше, чем при предыдущих температурных испытаниях (-50 0 +70).

Результат на рис.5 аналогичен предыдущему, однако нижний график - пониже, т.к. наибольшая температура испытаний взята на 20 °C выше.

11.6 Параметрический анализ по постоянному току в зависимости от температуры.

- Analysis \ Analysis type \ DC Sweep – второй вариант из меню.
- В окне Option, по умолчанию, выбрано Primary Sweep.
 - Sweep variable - варьируемый параметр - температура.
 - Sweep type - варьируемые значения - те же.

Результаты анализа представлены на рис.6. Из него видно, что в диапазоне от -50 до +50 градусов напряжение коллектора меняется на 1,5 В, что соответствует результатам параметрического анализа во временной области на рис.3.

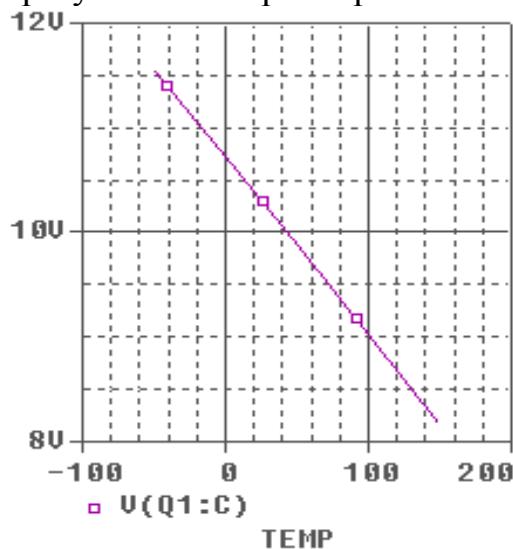


Рис. 6

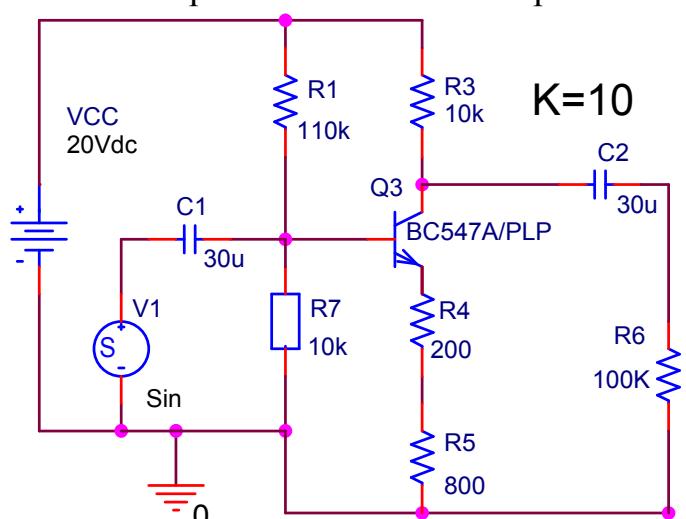
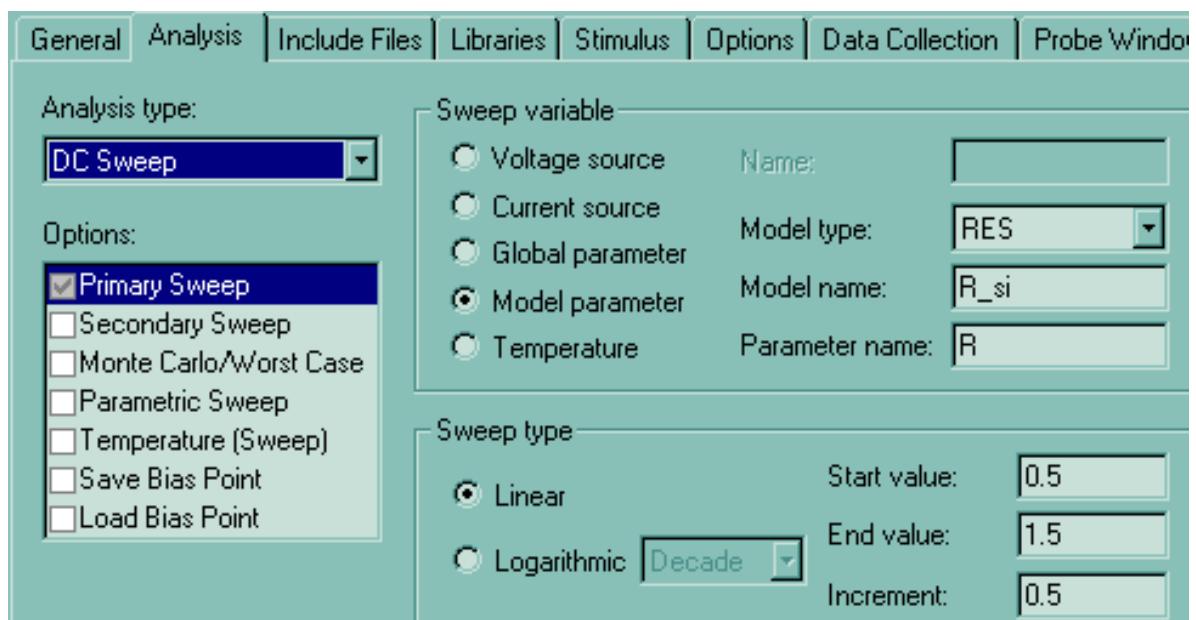


Рис. 7

11.7 Параметрический анализ по постоянному току в зависимости от сопротивления резистора.

- Analysis \ Analysis type \ DC Sweep
- Option, по умолчанию, Primary Sweep.



Все библиотечные резисторы не имеют PSpice моделей, пригодных для варьирования параметров, поэтому введем в схему специально созданный резистор R7, модель которого назвали R_si. (рис.7). Единственным параметром модели является множитель к значению сопротивления, заданному в схеме (R , см. гл. 13). Пусть он варьируется от 0,5 до 1,5, тогда сопротивление резистора R7 при испытаниях будет принимать значения 5кОм, 10кОм и 15кОм

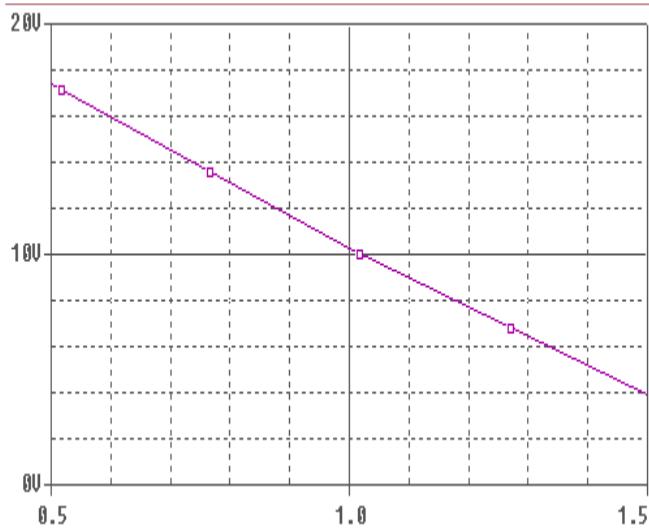


Рис.8

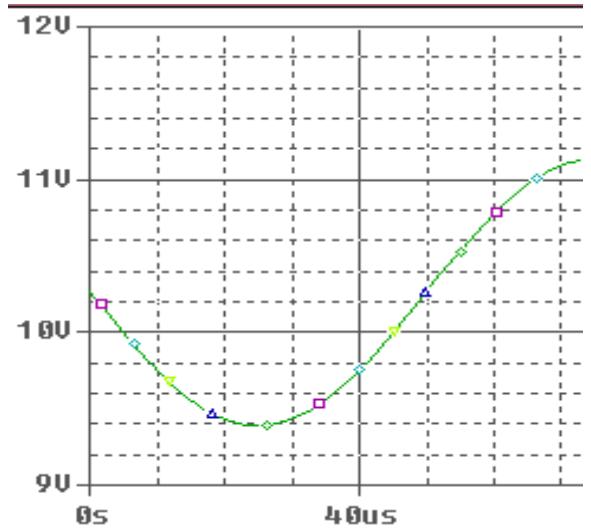


Рис.9

Результат испытаний на рис.8 иллюстрирует колебания напряжения рабочей точки усилителя, вызванные вариацией R7, от 14 до 4 вольт.

Однако, при попытке провести параметрический анализ с вариациями R7 во временной области, результат, представленный на рис.9, не отражает колебания рабочей точки по постоянному току!

12. Введение в описание языка моделирования PSpice.

PSpice - это модификация для IBM PC, созданная корпорацией MicroSim в 1984 г., программы схемотехнического моделирования SPICE, разработанной в начале 70 -х годов в Калифорнийском университете. Математические модели PSpice фактически стали стандартом и используются в большинстве пакетов САПР: Micro-Cap, Dr/Spice, OrCAD, P-CAD, ViewLogic, COMPASS, Design Architect, Mentor Graphis

12.1. Формат входных файлов языка PSpice.

Входные файлы системы моделирования PSpice - текстовые. В OrCAD Capture они создаются автоматически, поэтому на начальном этапе можно ограничиться элементарными сведениями о языке. Описание тестовых сигналов сохраняется в **STL** - файле. Описание схемы - в **NET** - и **ALS** - файлах, а задание на моделирование (профиль моделирования) сохраняется в **CIR** - файле директив моделирования, содержащем ссылки на остальные файлы.

- Первая запись в файле всегда является заголовком. Последняя - директива **.END**. Порядок остальных записей произвольный
- Имена начинаются с латинской буквы и не содержат разделителей.
- Поля в записях разделяются пробелом, запятой, знаком равенства или левой и правой скобками.
- Стока не длиннее 131 символа. При переносе на следующую строку, в ее начале ставят "+".
- Комментарии начинаются со "*" в начале строки или после ";".
- Поля данных внутри символов <> обязательны, а внутри [] - нет.
- <> - означает необходимость выбора <ДА | НЕТ>, а [|] - возможность.
- Числа бывают целые, с плавающей точкой или в экспоненциальной форме. Используются следующие масштабные коэффициенты: T=1E12; MEG=1E6; K=1E3; M=1E-3; U=1E-6; N=1E-9; P=1E-12; F=1E-15.
- Символы, следующие сразу за числом и не являющиеся масштабными коэффициентами, игнорируются.
Например: 1000=1000.0=1000HZ=1E3=1.0E3=1KHZ=1K=0.001MEGHZ
- Идентификаторы параметров, заключенные в фигурные скобки { }, могут использоваться вместо числовых значений. Внутри скобок допускаются символы арифметических выражений.

Предложения языка PSpice делятся на два типа:

1. **Директивы управления** - строки, начинающиеся с точки (".").
2. **Описание схемы** - любая строка, кроме строки директивы, первой строки, строки комментария, начинающегося с "*" или строки продолжения, начинающейся с "+".

12.2. Описание схемы проекта на языке PSpice

Описание схемы сводится к описанию ее элементов, состоящему из трех частей:

1. **Имя элемента**, включающее
 - префикс - первая буква, определяющий вид элемента
 - позиционное обозначение (**Part Reference**), через "_" от префикса.
2. **Имена узлов подключения**, цифровые, либо алфавитно - цифровые.
3. **Номинал или модель** элемента, задаваемая либо явно, либо, для простых элементов, косвенно, через параметры.

Для примера, приведем NET- файл описания схемы проекта "moda1" с усилителем переменного тока, автоматически созданный при его моделировании в программе PSpice.

Файл описания схемы moda1-SCHEMATIC1.net можно создать и не начиная моделирование, командой **PSpice \ Create Netlist** и посмотреть - командой **PSpice \ View Netlist**).

```
* source MODA1
V_VCC N01064 0 20Vdc
V_V1  N16063 0  STIMULUS=Sin1
R_R1  N09234 N01064 110k
R_R3  N01098 N01064 10k
R_R5  0 N13924 800
C_C1  N09234 N16063 30u
R_R4  N13924 N12669 200
Q_Q3  N01098 N09234 N12669 QBC547A/PLP
R_R6  0 N09525 100K
R_R7  0 N09234 R_si 10K
C_C2  N01098 N09525 30u
```

Если, указав элемент на схеме, посмотреть контекстные меню, вызываемые по ПК, то у транзисторов команда **Edit PSpice Model** в меню будет, а у резисторов - нет. Откуда видно, что OrCAD Captur использует разные способы описания параметров моделирования элементов для программы PSpice.

- Для простых элементов обычно значения параметров, заданные в таблице атрибутов, приводятся вслед за номиналом. Иногда, если задано значение атрибута TOLERANCE, генерируется модель прямо в список цепей.
- Для более сложных элементов программа составления списка цепей ищет текстовые описания их моделей в библиотечных LIB - файлах по имени, заданному атрибутом **Implementation..**
- Еще более сложные элементы описываются **макромоделями**.

12.3 Префиксы и типы элементов.

Помимо префиксов имени для классификации элементов при описании их моделей используется атрибут "тип", список которых представлен ниже.

Префикс	Тип	Элемент
R	RES	Резистор
C	CAP	Конденсатор
L	IND	Индуктивность
K	CORE	Магнитный сердечник трансформатора
T	TRN	Линия передачи
D	D	Диод
Q	NPN	Биполярный n-p-n- транзистор
Q	PNP	Биполярный p-n-p- транзистор
M	NMOS	МОП- транзистор с каналом n-типа
M	PMOS	МОП- транзистор с каналом p-типа
J	NJF	Полевой транзистор с каналом n-типа
J	PJF	Полевой транзистор с каналом p-типа
Z	NIGBT	Статически индуцированный биполярный транзистор
B	GASFET	Арсенид- галлиевый полевой транзистор n-типа
Q	LPNP	Боковой биполярный p-n-p-транзистор
W	ISWITCH	Ключ тока. Ключ, управляемый током
S	VSWITCH	Ключ напряжения
U	UGATE	Вентиль стандартный
U	UTGATE	Вентиль с тремя состояниями
U	UBTG	Двунаправленный переключающий вентиль
U	UEFF	Триггер с динамическим управлением
U	UGFF	Триггер с потенциальным управлением
U	UDAC	Цифроаналоговый преобразователь
U	UADC	Аналого-цифровой преобразователь
U	UDLY	Линия задержки цифровая
U	UIO	Модель входа /выхода цифрового устройства
U	URAM	Оперативное запоминающее устройство
U	UROM	Постоянное запоминающее устройство
U	UPLD	Программируемые логические матрицы
N	DINPUT	Аналого-цифровой интерфейс
O	DOOUTPUT	Цифро - аналоговый интерфейс
E		Источник напряжения, управляемый напряжением (ИНУН)
F		Источник тока, управляемый током (ИТУТ)
G		Источник тока, управляемый напряжением (ИТУН)
H		Источник напряжения, управляемый током (ИНУТ)
I		Независимый источник тока
K		Связанные индуктивности
S		Ключ, управляемый напряжением

V		Независимый источник напряжения
W		Ключ, управляемый током
U		Цифровое устройство
X		Макромодель (операционный усилитель, стабилизатор....).

12.4. Директивы управления языка PSpice.

В OrCAD Capture директивные файлы формируются автоматически, но все же знать основные директивы полезно, тем более что в окнах "профиля моделирования" они указываются в скобках прописными буквами. К тому же есть возможность корректировать задания на моделирование прямо в текстовом формате. Если после создания профиля моделирования задать формирование списка цепей командой **PSpice \ Create Netlist**, а затем командой **PSpice \ View Netlist** вызвать его для редактирования и сохранить, то корректировки будут реализованы при последующем запуске моделирования.

- **Директивы задания модели элемента**
 - .MODEL - Описание модели элемента
 - .SUBCKT - Начало описания макромодели
 - .ENDS - Конец описания макромодели
 - .DISTRIBUTION - Таблица закона распределения случайных величин.
 - .TEXT - Задание текстовых переменных описания цифровых устройств
- **Задание тестовых сигналов и начальных условий.**
 - .STIMULUS - внешнее тестовое воздействие
 - .STIMLIB - Задание имени файла с описанием внешних воздействий
 - .OPTIONS - Установка параметров и режимов моделирования.
 - .IC - Задание начальных условий
 - .NODESET - Начальные значения узловых потенциалов
 - .LOADBIAS - Считывание из файла узловых потенциалов схемы
 - .SAVEBIAS - Запись в файл узловых потенциалов схемы
- **Важнейшие виды анализа**
 - .TRAN - Расчет переходных процессов
 - .DC - Расчет режима по постоянному току
 - .AC - Расчет частотных характеристик
 - .FOUR - Спектральный анализ
 - .NOISE - Расчет уровня внутреннего шума
 - .SENS - Малосигнальная чувствительности в режиме постоянного тока
 - .TF - Малосигнальной передаточной функции в режиме постоянного тока
- **Многовариантный анализ**
 - .STEP - Вариация параметров
 - .TEMP - Назначение температуры окружающей среды
- **Статистический анализ**
 - .MC - Статистический анализ по методу Монте-Карло
 - .WCASE - Расчет наихудшего случая

- **Вывод результатов**
 - .PROBE - Передача данных в графический постпроцессор Probe
 - .OP - Запись в выходной файл параметров линеаризации в окрестности рабочей точки
 - .PLOT - Представление результатов в текстовом out-файле.
 - .PRINT - Представление результатов в выходном файле в виде таблиц.
 - .VECTOR - Создать файл результатов моделирования цифровых устройств.
 - .WATCH - Вывод промежуточных результатов на экран в текстовом виде
 - .WIDTH - Назначение длины строк выходного файла.
- **Прочие**
 - .FUNC - Определение функции
 - .INC - Включение во входной файл другого файла
 - .LIB - Подключение библиотеки моделей компонентов
 - .PARAM - Определение глобальных параметров
 - .ALIASES - Список соответствия имен выводов элементов именам цепей.
 - .DALIASES - Конец списка соответствий имен
 - .EXTERNAL - Спецификация внешних портов
 - .END - Конец задания

Пример директивного файла профиля моделирования pr2 проекта moda1 (CIR-файл).

```
** Profile: "SCHEMATIC1-Pr2" [ D:\_DOCs\CAD\OrCAD\ModA\ShemA_1\moda1-schematic1-pr2.sim ]
** Creating circuit file "moda1-schematic1-pr2.sim.cir"
** WARNING: THIS AUTOMATICALLY GENERATED FILE MAY BE OVERWRITTEN BY SUBSEQUENT SIMULATIONS
*Libraries:
* Local Libraries :
.LIB ".\moda1.lib"
.STMLIB ".\MODA1.stl" ; файл тестовых воздействий
* From [PSpice NETLIST] section of C:\OrCAD_92\PSpice\PSpice.ini file:
.lib "D:\_DOCs\CAD\OrCAD\LibrarySI\Spice_si.lib" ; собственная библиотека моделей
.lib "nom.lib" ; стандартный файл со списком стандартных библиотек моделей
*Analysis directives:
.TRAN 0 160us 0 ; директива расчета переходных процессов для времени 160 мкс
.OPTIONS ABSTOL= 1.0n ; параметры точности, отличные от стандартных
.OPTIONS CHGTOL= 0.01n
.OPTIONS RELTOL= 0.01
.OPTIONS VNTOL= 1.0m
.PROBE V(*) I(*) W(*) D(*) NOISE(*)
.INC ".\moda1-SCHEMATIC1.net" ; файл описания схемы.
.END
```

12.5. Директива описания моделей .MODEL

Описание моделей элементов хранятся в текстовых файлах с расширением LIB. Вызвать редактор модели элемента для просмотра и редактирования можно прямо из OrCAD Capture, если указать **элемент на схеме, ПК, Edit PSpice Model**

В общем виде директива .MODEL имеет устрашающую структуру:

```
.MODEL <имя> [AKO:<прототип>] <тип>
+ (<параметр>=<значение>
+ [<спецификация случайного разброса номинала>])
+ [T_MEASURED=<значение>] [[T_ABS=<значение>] или
+ [T_REL_GLOBAL=<значение>] или [TREL_LOCAL=<значение>]])
```

Где

- <имя> — имя модели элемента (**Implementation**), произвольное, но всегда начинается с **характерного префикса**. Например, для транзистора BC547A ф Philips, имя модели QBC547A/PLP.
- <прототип> - имя прототипа после ключевого слова **AKO** (A Kind Of), позволяющее указывать только значения различающихся параметров.
- <тип> - слово из списка (см. п. 12.3). Например, для нашего транзистора - NPN.
- <параметр>=<значение> - список параметров с конкретными значениями. Если параметр в списке отсутствует, ему присваивается значения по умолчанию, свое для каждого типа модели.
- **Спецификация случайного разброса** относительно номинального значения, используемая только для статистических видов анализа. Например, параметр **DEV**, задаваемый в %, по умолчанию = 0.
- **Температурные параметры, которые могут присутствовать в моделях различных элементов:**

Параметр	Значение	Ед.изм.	Умол.
DEV	Разброс значений номинала для стат. анализа	%	0
T_MEASURED	Температура измерения номинала. Заменяет Tном в профиле моделирования	°C	27
T_ABS	Абсолютная индивидуальная температура элемента	°C	27
T_REL_GLOBAL	Температура элемента относительно глобальной температуры.	°C	0
T_REL_LOCAL	Температура элемента относительно температуры элемента - прототипа (модель AKO).	°C	0

Однако, структура конкретных моделей обычно проще, т.к. многие поля общей структуры принимают значения умолчания и поэтому пропускаются:

```
.MODEL <имя> <тип> ( [<параметр>=<значение>] )
```

Например, модель транзистора BC547A имеет три поля, но множество параметров:
.MODEL QBC547A/PLP NPN (IS = 1.533E-14 NF = 1.002 ISE = 7.932E-16
+ NE = 1.436 BF = 178.7 IKF = 0.1216 VAF = 69.7 NR = 1.004 ISC = 8.305E-14
+ NC = 1.207 BR = 8.628 IKR = 0.1121 VAR = 44.7 RB = 1 IRB = 1E-06
+ RBM = 1 RE = 0.6395 RC = 0.6508 XTB = 0 EG = 1.11 XTI = 3 CJE = 1.61E-11
+ VJE = 0.4209 MJE = 0.3071 TF = 4.995E-10 XTF = 139 VTF = 3.523
+ ITF = 0.7021 PTF = 0 CJC = 4.388E-12 VJC = 0.2 MJC = 0.2793 XCJC = 0.6193
+ TR = 1E-32 CJS = 0 VJS = 0.75 MJS = 0.333 FC = 0.7762)

12.6. Директива описания макромоделей .SUBCKT

Макромоделью называется модель элемента, для описания которой используются другие модели. Описание макромодели начинается директивой **.SUBCKT** и заканчивается директивой **.ENDS**:

```
.SUBCKT <имя> <список узлов>
+ [OPTIONAL: <<узел>=<значение>>]
+ [PARAMS: <параметр> = <значение>*]
+ [TEXT: <<имя текстовой переменной> = <текст>>]
+ {описание элементов}
.ENDS [имя]
```

Где:

- **<имя>** — имя макромодели элемента, произвольное, но всегда начинается с **префикса макромоделей X**.
- **список узлов** - имена узлов подключения к основной схеме. Эти имена локализованы внутри макромодели, поэтому могут совпадать с именами схемы.
- **OPTIONAL** - имя и значение необязательных узлов макромодели. Если не указаны, используется их значения по умолчанию;
- **PARAMS** - список параметров, значения которых передаются из схемы в макромодель.
- **TEXT** - текстовая переменная, передаваемая из схемы в макромодели цифровых устройств.
- **Описание элементов** - директивы, используемые для описания элемента.

Макромодели хранятся и вызываются так же, как и модели.

В списке цепей схемы, NET - файле, описание элемента с макромоделью аналогично описанию элемента с моделью :

```
Xxxx <список узлов> <имя макромодели>
+ [PARAMS: <<имя параметра> = <значение>>]
+ [TEXT:<<имя текста>=<текст>>]
```

Где xxx - позиционное обозначение

13. Описание моделей элементов в OrCAD PSpice.

Представленные сведения позволяют адекватно использовать модели пассивных элементов, корректируя их параметры или создавая новые.

13.1. Шаблоны ввода параметров элементов в задание на моделирование

В OrCAD Capture атрибуты моделирования элементов находятся среди прочих их атрибутов и доступны для просмотра и редактирования двумя путями:

- Указать элемент на схеме, ПК, **Edit Part...**
- **Options \ Part Properties** (не выходя из Edit Part), табл. **User Properties**.
- Указать элемент, ПК, **Edit Properties**, табл. **Property Editor**.

При составлении списка цепей схемы, атрибуты элементов автоматически заполняют характерный для данного типа элементов шаблон (**PSpice Template**). Шаблоны каждого элемента приведены в каждой из указанных таблиц свойств элемента как атрибут, например:

- **Резистор**
R^@REFDES %1 %2 ?TOLERANCE|R^@REFDES| @VALUE
?TOLERANCE\n.model R^@REFDES RES R=1 DEV=@TOLERANCE%|
- **Транзистор BC547A:**
Q^@REFDES %C %B %E @MODEL ?AREA/@AREA/

Комментарий некоторых элементов шаблонов:

Знак	Смысл знака или его замена при заполнении шаблона
R или Q	Префиксы идентификации элементов - резистора или транзистора. После них позиционное обозначение элемента можно назначать любым!
^	Замена на "_" для не иерархических элементов, иначе - полный путь доступа.
@	Признак обязательного атрибута, иначе - ошибка
REFDES	Замена на позиционное обозначение элемента
%	Признак имени вывода элемента, до пробела
?	Признак параметра, заменяемого на текст между символами ...
VALUE	Номинал или значение элемента.
TOLERANCE	Заменяется необязательным атрибутом
MODEL	Ссылка на имя модели элемента в библиотечном файле

Структура описания элемента схемы в NET - файле состоит из трех частей:

1. Имя, состоящее из префикса и позиционного обозначение элемента на схеме.
2. Имена узлов подключения.
3. Номинал или имя модели из библиотеки, или номинал и непосредственное описание модели.

Рассмотрим некоторые атрибуты четырех элементов схемы на рис.7 в 11 главе, в таблицах их свойств (**Edit Part..., Options \ Part Properties**, табл. **User Properties**):

	R1	R3	R7	T1
Implementation Path				
Implementation Type	<none>	<none>	PSpice Model	PSpice Model
Implementation			R_si	QBC547A/PLP
TOLERANCE		10%		
Value	1k	1k	1k	BC547A/PLP

Их описание в NLT -файле списка цепей:

- Резистор R1 - обычный резистор из библиотеки ANALOG.OLB, шаблон которого приведен выше. Единственный его атрибут при моделировании - номинальное значение 110kОм, заданное в схеме (по умолчанию 1К). Описание в списке цепей: R_R1 N00592 VCC 110k
- Резистор R3 - с номиналом 10K, но атрибуту TOLERANCE присвоено значение 10%. В результате непосредственно в списке цепей будет сформирована модель резистора, с параметром отклонения от номинала **DEV**, предусмотренным шаблоном:
 R_R3 0 N00592 R_R3 10k
 .model R_R3 RES R=1 DEV=10%
- Резистор R7 номиналом 10K специально создан для параметрического моделирования с изменением номинального значения. Имя модели R_si,. Шаблон R^@REFDES %1 %2 @MODEL @VALUE задал структуру описания в списке цепей:
 R_R7 0 N09234 R_si 10K
- Транзистор Q3, заданный моделью, описан в списке цепей:
 Q_Q3 N01098 N09234 N12669 QBC547A/PLP

13.2. Модели простейших пассивных элементов.

- **Резистор**
.MODEL <Rимя> RES (<R= зн.>), где:
 - **Rимя** — произвольное имя модели с префиксом **R**
 - **RES** - типа элемента "резистор"
 - список параметров, включающий не только приведенные ниже, но и вышеуказанные статистические и температурные, принимающие значения по умолчанию, если они не приводятся в явном виде.

Пар.	Описание	Ед.изм.	Умол.
R	Масштабный множитель номинального значения,		1
TC1	Линейный температурный коэф. сопротивления.	1/°C	0
TC2	Квадратичный температурный коэф. сопротивления.	1/°C ²	0
TCE	Экспоненциальный темпер. коэф. сопротивления	%/°C	0

Значение сопротивления (номинал), вводится непосредственно в схеме и может быть как положительным, так и отрицательным.

Расчет сопротивления при моделировании в функции от температуры T, зависит от наличия параметров (начальная температура $T_0 = 27^\circ\text{C}$:)

- Если TCE не указан, то $r = \text{номинал} * R * [1 + (T - T_0) * \text{TC1} + (T - T_0)^2 * \text{TC2}]$.
- Если TCE задан, то $r = \text{номинал} * R * 1,01\text{TCE} * (T - T_0)$.

Шаблон резистора из библиотеки ANALOG.OLB, уже описанный выше:

```
R^@REFDES %1 %2 ?TOLERANCE|R^@REFDES| @VALUE  
?TOLERANCE\n.model R^@REFDES RES R=1 DEV=@TOLERANCE%
```

Описание в списке цепей: R_R1 N00592 VCC 110k

· **Конденсатор**

.MODEL <Симя> CAP (<C=знач>), где:

- Симя** — имя модели с префиксом C;
- CAP** - тип элемента "конденсатор"
- Специфические параметры:

Пар.	Описание	Ед. изм.	Умол.
C	Масштабный множитель номинального значения		1
VC1	Линейный коэффициент напряжения	1/V	0
VC2	Квадратичный коэффициент напряжения	1/V ²	0
TC1	Линейный температурный коэф. емкости.	1/°C	0
TC2	Квадратичный температурный коэф. емкости.	1/°C ²	0

$$C = \text{Ном.} * C * (1 + V * VC1 + V^2 * VC2) * [1 + (T - T_{nom}) * TC1 + (T - T_{nom})^2 * TC2].$$

Здесь V - напряжение на конденсаторе. При расчете переходных процессов начальным считается значение V, полученное при расчете по постоянному току, или заданное **атрибутом IC** элемента. При расчете частотных характеристик емкость считается постоянной величиной, определяемой расчетом по постоянному току в рабочей точке.

Шаблон конденсатора из библиотеки ANALOG.OLB включает директиву задания начальных условий .IC по значению атрибута элемента IC, а в остальном подобен шаблону резистора.

```
C^@REFDES %1 %2 ?TOLERANCE|C^@REFDES| @VALUE  
?IC/IC=@IC/  
?TOLERANCE\n.model C^@REFDES CAP C=1 DEV=@TOLERANCE%
```

Описание в списке цепей: C_C1 0 N00632 1n IC=10m

· **Индуктивность**

.MODEL <L_имя> IND (<L=знач.>.....),

Пар.	Описание	Ед.изм.	Умол.
L	Масштабный множитель номинала.		1
IL1	Линейный коэф. по току	A^{-1}	0
IL2	Квадратичный коэф. по току	A^{-2}	0
TC1	Линейный температурный коэф.	$1/^{\circ}C$	0
TC2	Квадратичный температурный коэфю	$1/^{\circ}C^2$	0

$$L = \text{Номинал} * L * (1 + I * IL1 + I^2 * IL2) * [1 + TC1(T - T_{nom}) + TC2(T - T_{nom})^2]$$

Начальный ток может быть задан **атрибутом IC**. При расчете частотных характеристик индуктивность считается постоянной величиной, определяемой по постоянному току в рабочей точке.

Шаблон индуктивности подобен шаблону конденсатора:

```
L^@REFDES %1 %2 ?TOLERANCE|L^@REFDES| @VALUE  
?IC/IC=@IC/  
?TOLERANCE \n.model L^@REFDES IND L=1 DEV=@TOLERANCE%|
```

Описание в списке цепей: L_L1 N03500 N02026 10mH IC=1m - индуктивность 10мГ с током покоя 1 мА

13.3. Создание модели элемента и собственной библиотеки моделей.

В пункте 11.7 для проведения параметрического анализа схемы использовался резистор R7 с варьируемым масштабным множителем номинала R. Такого элемента в библиотеках нет, но его легко создать:

- Открыть программу "блокнот", ввести строку заголовка и строку описания модели резистора, например, приведенные ниже.

* Библиотека моделей элементов

.MODEL R_si RES R=1

Сохранить этот текстовый файл под произвольным именем с расширением LIB (например si.lib).

- Создать собственную библиотеку элементов, как описано в п.2.1, например, si.olb
- Скопировать резистор R из библиотеки ANALOG.OLB в собственную, как описано в главе 3, отредактировать графику.
- В таблице **User Properties** (**Options \ Part Properties**, не выходя из Edit Part) откорректировать три поля следующим образом:

Implementation Type	PSpice Model
Implementation	R_si
PSpice Template	R^@REFDES %1 %2 @MODEL @VALUE

- Вызвать редактор модели элемента для просмотра и редактирования можно из контекстного меню, если **указать элемент на схеме, ПК, Edit PSpice Model**
- Для ввода в список цепей схемы модели созданного элемента R_si, надо подключить библиотеку si.lib к проекту при создании профиля моделирования:
 - На закладке **Library** в окно **Filename** ввести, используя поиск **Browse...**, полный путь к библиотеке.
 - Кнопкой **Add to Design (Add as Global)** перенести адрес библиотеки в окно **Library Files**, которое по умолчанию содержит только файл **nom.lib**.

13.4. Описание элементов с взаимной индуктивностью.

Взаимная индуктивность между участками цепи - одно из свойств трансформаторов или многожильных кабелей связи. В PSpice такие элементы описывают макромоделями, включающими псевдоэлемент "взаимная индуктивность":

Кимя L1имя L2имя coupling, где

- К — префикс имени взаимной индуктивности.
- имя - позиционное обозначение элемента на схеме.
- L1, L2 - атрибуты, задающие имена связанных индуктивностей и их значения, по умолчанию 10 мкГ.
- coupling - коэффициент взаимной индукции 0 \leftrightarrow 1, атрибут элемента.

13.5. Трансформатор без сердечника.

Шаблон трансформатора XFRM_LINEAR из библиотеки ANALOG.OLB:

```
K^@REFDES L1^@REFDES L2^@REFDES @COUPLING\nL1^@REFDES %1
%2 @L1_VALUE\nL2^@REFDES %3 %4 @L2_VALUE
```

Трансформатор описывается **макромоделью**, состоящей из двух индуктивностей и взаимной индуктивности, создаваемой непосредственно при формировании списка цепей.:

```
.SUBCKT SCHEMATIC1_TX1 1 2 3 4
K_TX1 L1_TX1 L2_TX1 1 ; взаимная индуктивность, с коэф. 1.
L1_TX1 1 2 10uH ; описание индуктивности
L2_TX1 3 4 10uH ; описание второй индуктивности.
.ENDS SCHEMATIC1_TX1
```

Атрибуты в таблице **User Properties**

COUPLING	1
L1_VALUE	10uH
L2_VALUE	10uH
Implementation Type	<none>
PSpiceOnly	TRUE
Value	XFRM_LINEAR

Описание в списке цепей схемы (имя, узлы подключения и имя модели):

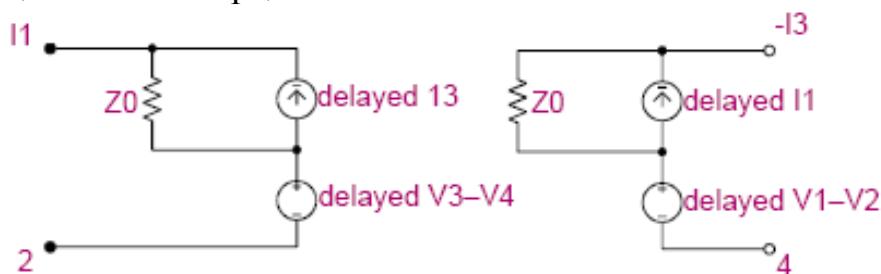
X_TX1 N00592 0 N02026 0 SCHEMATIC1_TX1 , где

- X - префикс трансформатора
- TX1 - имя - позиционное обозначение
- SCHEMATIC1_TX1 - имя макромодели, включающее имя листа чертежа.

13.6. Модели линий связи

- **Линия связи без потерь.**

Схема замещения - безынерционное звено.



.MODEL <Тимя> TRN (Z0=<зн> [TD=<зн>] [F=<зн>[NL=<зн>]]
+ IC=<напряжение на вх.X1> <ток входа X1> <напр. на вх.X2> <ток входа X2>

Пар.	Описание	Ед.изм	Умол.
Z0	Волновое сопротивление	Ом	-
TD	Время задержки сигнала в линии	с	-
F	Частота для расчета NL	Гц	-
NL	Электрическая длина на частоте F	-	0,25

Здесь

- IC - директива начальных условий.
- $NL = L / \lambda$, где L — геометрическая длина линии, $\lambda = V / F$ - длина волны, а $V \leq 3 \cdot 10^8$ м/сек - фазовая скорость в ЛС.

Шаблон линии связи T из библиотеки ANALOG.OLB предполагает задание параметров через атрибуты в таблице **User Properties**. Причем Zo - обязательный параметр, а длина ЛС задается либо через время задержки TD, либо через пару F и NL.

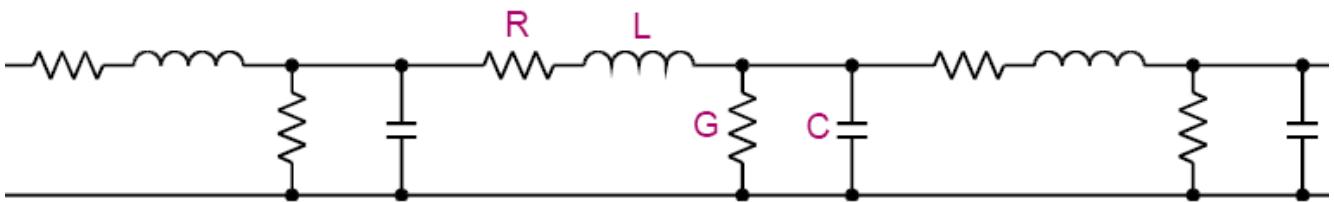
T^@REFDES %A+ %A- %B+ %B- Z0=@Z0 ?TD/TD=@TD/
?F/F=@F/ ?NL/NL=@NL/

Описание в списке цепей (имя, узлы , параметры):

T_T1 N00553 0 N00632 0 Z0=120 F=10MegH NL=0.05 или
T_T1 N00553 0 N00632 0 Z0=120 TD=5ns

- Линия связи с потерями.

Схема замещения встроенная в PSpice:



- Комплексный коэффициент передачи линии рассчитывается по удельным параметрам и длине. Анализ переходных процессов производится с помощью интеграла свертки с импульсной характеристикой линии, которая вычисляется как преобразование Фурье коэффициента передачи.
- При $R = G = 0$ и $LEN = 1$ м ЛС эквивалентна линии связи без потерь с временным задержки $TD = LEN\sqrt{LC}$.
- Волновое сопротивление $Z_0 = \sqrt{L/C}$.
- Частотные зависимости R, L и G, вызванные поверхностным эффектом и потерями в диэлектрике, можно учесть, если задать их функциями **комплексной переменной s**, как у элементов TLINE.OLB, описанных ниже.

.MODEL <Тимя> TRN LEN=<зн> R=<зн> L=<зн> G=<зн> C=<зн>

Пар.	Описание	Ед.изм	Умол.
LEN	Длина линии	м	1
R	Удельное сопротивление	Ом/м	1
L	Удельная индуктивность	Гн/м	1
G	Удельная проводимость	См/м	1
C	Удельная емкость	Ф/м	1

Удельные параметры типичных ЛС, без учета удельной проводимости, что не верно для высоких частот. Здесь TD - удельное время задержки сигнала в линии.

Тип ЛС	Марка	R	C	L	Z ₀	TD	Диам.
		Ом/м	pF/m	uH/m	Ом	нС/м	мм
Одиночный провод	MHB 1*0,05мм ²	0,35	30	1	180	3,3	0,22
Двойной провод	MHB 2*0,05мм ²	0,35	62	0,66	103	6	0,22
Тройной провод	MHB 3*0,05мм ²	0,35	67	0,54	90	6	0,22
Витая пара 5 кат.	AWG26	0,14	50		100	5,5	0,95
Коаксиальный	ПВП мс 75-50*0,2	0,55	67	0,38	75	5	0,2
Коаксиальный	ПВП мс 100-54*0,18	0,69	52	0,49	100	5	0,18

Шаблон ЛС TLOSSY из библиотеки ANALOG.OLB. Параметры задаются в таблице свойств **User Properties**.

T^@REFDES %A+ %A- %B+ %B- LEN=@LEN R=@R L=@L G=@G
C=@C

Описание в списке цепей (имя, узлы , параметры):

T_T2 N00553 0 N00632 0 LEN=100 R=0.35 L=1u G=0 C=30p

· **Коаксиальные кабели библиотеки TLINE.OLB**

Кабели описываются макромоделью ЛС с потерями, включающей описание модели кабеля с частотно - зависимыми сопротивлениями.

Сопротивление проводника в зависимости от частоты можно аппроксимировать приближенным выражением $R = Ro(0,0038 * d * \sqrt{f} + 0,26)$, где
d - диаметр проводника в миллиметрах
f - частота тока в герцах.

При $\sqrt{2} * 2\pi f > 250$, погрешность аппроксимации несколько процентов.

Модели кабеля используют более сложные приближения, кстати, описанные в TLINE.LIB. Там же для каждого кабеля приводятся его волновое сопротивление (**Z₀**), фазовая скорость **vp**, в процентах от скорости света в вакууме ($3 * 10^8$ м/сек) и затухание (**Loss**) для частот 100 МГц и 1 ГГц.

Например, для кабеля RG11/U

Z0	vp	F1	Loss1	F2	Loss2
Ohms	%	MHz	dB/100Ft	MHz	dB/100Ft
75	66	100	2.2	1000	9

.MODEL RG11/U TRN (R={42.9738u*sqrt(2*s)} L=379.050n

+ G={0.0478977p*abs(s)} C=67.3867p) Где:

- sqrt - оператор извлечения квадратного корня
- abs - оператор "абсолютная величина"
- s = $2\pi f$

Макромодель кабеля с учетом потерь

.SUBCKT RG11/U A1 A2 B1 B2 params: frq=100Meg len=1

.PARAM PI2 {3.141592654*2}

.MODEL RG11/U TRN (r={42.9738u*sqrt(PI2*frq)} l=379.050n

+ g={0.0478977p*PI2*frq} c=67.3867p)

t A1 A2 B1 B2 rg11/u len={len}

.ENDS

Библиотеки элементов с PSpice – моделями

OLB - файлы из папки\ Capture \ Library \ PSpice

Таблица

MOTORSEN	Датчики ф. Motorola....
EDIODE	Диоды
DIODE	Диоды D1N... и множество других
JDIODE	Диоды и стабилитроны японские
THYRISTR	Диоды, тиристоры и семисторы.
ANALOG_P	Дискретные регулируемые элементы R и C.
ANALOG	Дискретные элементы (R, C, L, E ...)
SIEMENS	Дискретные элементы ф. Siemens: варисторы, индукт., транзисторы
LINEDRIV	Драйверы ЛС
BREAKOUT	Заготовки символов PSpice
ANA_SWIT	Ключи аналоговые
TLINE	Линий связи, кабели и разъемы.
MAGNETIC	Магнитные сердечники
OPTO	Оптоэлементы
ABM	Преобразователи схем автоматики
DATACONV	Преобразователи, аналоговые и цифровые
XTAL	Резонаторы кварцевые
MIX_MISC	Реле, электродвигатели и другая экзотика
SWIT_REG	Стабилизаторы питания импульсные SG1524...SG1846
SWIT_RAV	Стабилизаторы питания линейные
IGBT	Транзисторы IGBT
PWRBJT	Транзисторы биполярные
EPWRBJT	Транзисторы биполярные В...
EBIPOLAR	Транзисторы биполярные BC... и др.
CEL	Транзисторы биполярные и полевые NE...
DARLINGTN	Транзисторы биполярные составные
MOTOR_RF	Транзисторы биполярные ф. Motorola
PHIL_BJT	Транзисторы биполярные ф.Philips (BC847, BC857)
PHIL_RF	Транзисторы биполярные ф.Philips
JPWRBJT	Транзисторы биполярные японские 2S..., Q2S...
JBIPOLAR	Транзисторы биполярные японские Q2S...
BIPOLAR	Транзисторы биполярные; 40235...40242
ZETEX	Транзисторы и диоды
HARRIS	Транзисторы полевые и усилители
PWRMOS	Транзисторы полевые мощные с изол. затвором (IRF...)
JFET	Транзисторы полевые с pn - переходом японские
JJFET	Транзисторы полевые с pn - переходом японские
POLYFET	Транзисторы полевые с изолированным затвором F...L...P12

Продолжение табл. 1

MOTORMOS	Транзисторы полевые с изолированным затвором МТ...
JPWRMOS	Транзисторы полевые с изолированным затвором японские M2S...
PHIL_FET	Транзисторы полевые ф.Philips
ANL_MISC	Трансформаторы, реле, таймеры 555B, 555C
ANLG_DEV	Усилители ф. Analog Devices, опорные источники... AD, ADG, AMP,BUF, MAT, MLT, OP, REF, SSM
ADV_LIN	Усилители ALD.
LIN_TECH	Усилители ф. Linear Technology L..., OP..., LF, LM, LT, LTC, OP
MAXIM	Усилители и другие аналоговые элементы ф.Maxim
MOTORAMP	Усилители ф.Motorola
NAT_SEMI	Усилители LF..., LM..., LP...
OPAmp	Усилители, компараторы... AD, CA, CLC, HA, LF, LH, LM, LT, MC, MP, NE, NJM, OP, OPA, PM, RC, SE, SG, TA, TL, UA, UPC
TEX_INST	Усилители ф. Tex.Inst. LP, TL, TLC, TLE
BURR_BRN	Усилители Burr Brown;
COMLINR	Усилители CLC.
ELANTEC	Усилители EL... и немного др.
APEX	Усилители PA, PB
JOPAMP	Усилители японские AN, HA, IR, M, MB, TA, uPC
FILTSUB	Фильтры
7400	Цифровые ТТЛ ИС
74AC	Цифровые КМОП ИС
74HC	Цифровые КМОП ИС
74ACT	Цифровые КМОП ИС согласованные с ТТЛ
74HCT	Цифровые КМОП ИС согласованные с ТТЛ
CD4000	Цифровые КМОП ИС;
DIG_MISC	Цифровые элементы
DIG_GAL	Цифровые арсенид - галлиевые ИС
DIG_PAL	Цифровые ПЛИС PAL...;
DIG_PRIM	Цифровые примитивы (идеальные функции)
DIG_ECL	Цифровые эмиттерно - связанные ИС;

Краткая характеристика библиотек корпусов (llb – файлов).

Таблица 2

LLB - файл	SMD	DIP	Шаг	Конт.	
CLCC	да	нет	50	28...84	БИС, PLM
TO	да	да			Транзисторы, ОУ, стабилизаторы....
SM	да	нет		2...4	R, С, диоды, транзисторы....
TM_CAP_P	нет	да		2	Конденсаторы выводные
TM_DIODE	нет	да		2	Диоды
SOG	да	нет	25	6...64	ИС
SOJ	да	нет	50	14...44	ИС
DIP100B	да	нет	100	8...28	ИС цифровые в SMD корпусе
DIP100T	нет	нет	100	8...64	ИС цифровые в DIP корпусе
VRES	нет	да		3,4	Разные компоненты
SIP	да	нет	50	2...24	Разъемы SMD
BCON100T	нет	да	100	2...	Разъемы с шагом 2,54мм, 1-2 ряда
BCON156T	нет	да	156	2...	Разъемы с шагом 3,96мм, 1-2 ряда
ZIGZAG	нет	да			Разъемы 2 ряда с нумерацией зигзагом
WCON100T	нет	да			Разъемы 2 ряда: ВН...
RF	нет	да			Разъемы высокочастотные
DIMMM050T	нет	да			Разъемы до 200 и более контактов
DCON050T	нет	да	50	20-120	Разъемы компьютерные с шагом 1,27мм
DCON085T	нет	да		14-50	Разъемы компьютерные с шагом 2,16мм
XT	нет	да			Разъемы ПС XT
DIN		да			Разъемы с разными контактами
DSUBT_HD		да			Разъемы компьютерные и др.
ECON100T		да			Разъемы двухрядные
FBUS		да			Разъемы
LCON100T		да			Разъемы
TM_AXIAL	нет	да		2	Резисторы выводные.
RELAY	нет	да			Реле
TM_DISC	нет	да		2	Прямоугольные компоненты
TM_RAD	нет	да		2	Прямоугольные компоненты
TM_CYLND	нет	да		2	Цилиндрические компоненты
JUMPER		да		2	Джамперы с шагом 100....1000 мил
DIMMM050F					Модули памяти ПК

Приложение 2.

Таблица 1 - Отечественные и зарубежные серии ИС стандартной логики.

Серия ИС.ru	Серия ИС	OrCAD PSpice	Технологоия	Год	pin-аналог	Fmax МГц	tz нс	E min	E max
155	54/74	7400.olb	TTL	1960	74S	25	9	4,75	5,25
134	74L	74l.olb	TTL		-	6	31	4,75	5,25
531	74S	74s.olb	TTL	1970	74S	75	3	4,8	5,3
555	74LS	74ls.olb	TTL	1976	74S	25	9	4,75	5,25
1531	74F	74f.olb	TTL	1979	74S	100	3	4,8	5,3
1533	74ALS	74als.olb	TTL	1980	74S		4	4,5	5,5
	74AS	74as.olb	TTL	1980	74S	100	2	4,8	5,3

561	40xx	cd4000.olb	CMOS	1965	40xx	2	50	3	15
	40xxB	cd4000.olb	CMOS	1970	40xx	4	20	3	18
1561	74HC4000		CMOS		40xx	25	9	2	6
	74C		CMOS	1970	74S	2	50	3	15
1564	74HC	74hc.olb	CMOS	1981	74S	25	8	2	6
1554	74AC	74ac.olb	CMOS	1985	74S	100	4	2	6
	74ACL		CMOS	1985			3		
1594	74ACT	74act.olb	CMOS	1985	74S	100	1	4,8	5,3
	74HCT	74hct.olb	CMOS		74S	25	9	4,5	5,5
	74LV		CMOS		74S		9	1	5,5

Таблица 2 - Некоторые аналоги американских и отечественных логических элементов

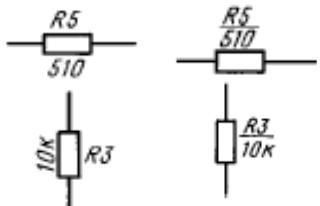
ТТЛ элементы серий 54/74						КМОП элементы серий 40xx					
ЛА1	20	ИД3	154	КП1	150	ЛА7	11	ИД1	28	ТМ2	13
ЛА2	30	ИД4	155	КП2	153	ЛА8	12	ИД4	55A	ТМ3	42A
ЛА3	00	ИД6	42	КП7	151	ЛА9	23	ИД5	56	ТР2	43A
ЛА4	10	ИД7	138	СП1	85	ЛЕ5	01	ИМ1	08		
ЛЕ1	02	ИР1	95	ТВ1	72	ЛЕ6	02	ИР1	06		
ЛЕ2	23	ИР2	91	ТВ6	107	ЛЕ10	25	ИР2	15		
ЛЕ3	25	ИЕ2	90	ТВ9	112	ЛИ2	81B	ИР6	34A		
ЛИ1	08	ИЕ5	93	ТВ15	109	ЛН2	49A	ИР9	35A		
ЛИ3	11	ИЕ7	193	ТЛ1	13	ЛП2	30	КП1	52A		
ЛИ6	21	ИЕ8	97	ТЛ2	14	ЛП14	70B	КП2	51A		
ЛЛ1	32	ИМ1	80	ТМ2	74	ЛС2	19A	КТ3	66A		
ЛП5	86	ИМ3	83	ТМ5	77	ИЕ1	24	ТВ1	27		
ЛП12	136	ИП3	181	ТМ7	75	ИЕ8	17	ТЛ1	93B		

Позиционные обозначения элементов по ГОСТ 2.710-81

Позиционные обозначения являются обязательными для электрических схем и конструкторских документов (RefDes по принятому в OrCAD сокращению). ГОСТ 2.710 еще описывает систему дополнительных обозначений, сложную и поэтому редко употребляемую.

Позиционное обозначение имеет обязательные 1 и 2 части и не обязательную часть 3, обычно не используемую:

- 1) **Код вида элемента - одна или две буквы** (префикс позиционного обозначения). Таблицы 1 или 2.
- 2) **Номер элемента** данного вида в схеме - число.
- 3) **Функция элемента** - одна или несколько букв, обычно не используется.



Черту между позиционным обозначением и номиналом элемента, при работе в САПР можно не рисовать. Номера должны нарастать слева направо и сверху вниз. Но можно и по-другому, в зависимости от размещения элементов в изделии, направления прохождения сигналов или при внесении изменений в схему (ГОСТ 2.702-75).

Все части обозначения пишутся слитно, а смысловое разделение реализуется чередованием буквенного и цифрового кодирования.

Если УГО является частью устройства (например, одна из 4 секций 2И-НЕ в корпусе элемента ИС 564ЛА7, или один из контактов разъема), в номер элемента добавляют номер секции, отделяя его точкой.

OrCAD поддерживает обязательную часть системы позиционного обозначения элементов, но номера секций отделяются от номера элемента не точкой, а тире! Например, двадцатый контакт разъема № 5: X5.20 → X5-20.

Таблица 1 - Наиболее употребительные однобуквенные коды вида элемента.

D	Схемы интегральные	X	Разъемы, контактные соединения
R	Резисторы	G	Источники питания, генераторы.
C	Конденсаторы	V	Полупроводниковые элементы
L	Индуктивности	Q	Выключатели в цепях питания
S	Кнопки, выключатели	H	Устройства индикации и сигнализации.
Z	Фильтры	F	Защитные: разрядники, предохранители...
U	Устройства связи	K	Реле, контакторы, пускатели
W	Антенные, СВЧ элементы	Y	Устройства с электромагнитным приводом
T	Трансформаторы	P	Измерительные приборы
M	Двигатели	B	Измерительные преобразователи
E	Элементы разные	A	Общее обозначение устройства

При необходимости можно вводить обозначения и символы, не предусмотренные стандартом. Но содержание и способ записи таких обозначений должны быть пояснены в документации, например, на поле схемы.

Таблица 2 - Двухбуквенные коды вида элемента.

Код одной буквой		Кодирование двумя буквами	
D	Схемы интегральные, микросборки	Схема интегральная аналоговая Схема интегральная цифровая, лог. элемент Устройства хранения информации Устройство задержки	DA DD DS DT
G	Генераторы, источники питания	Батарея	GB
C	Конденсаторы		
R	Резисторы	Терморезисторы Потенциометр Шунт измерительный Варистор	RK RP RS RU
L	Катушки индуктивности, дроссели	Дроссель люминесцентного освещения	LL
V	Приборы полупроводниковые и электровакуумные	Диод, стабилитрон Прибор электровакуумный Транзистор Тиристор	VD VL VT VS
X	Разъемы Соединения контактные	Токосъемник, контакт скользящий Штырь Гнездо Соединение разборное Соединитель высокочастотный	XA XP XS XT XW
Z	Устройства оконечные, фильтры	Ограничитель Фильтр кварцевый	ZL ZQ
S	Устройства коммутационные в цепях управления, сигнализации и измерения	Выключатель или переключатель Выключатель кнопочный Автоматический выкл., без контактов силовых цепей	SA SB SF
	Выключатели, срабатывающие от различных воздействий:	от уровня от давления от положения (путевой) от частоты вращения от температуры	SL SP SQ SR SK
F	Устройства защитные: разрядники, предохранители...	Дискретный элемент защиты по току мгновенного действия Дискретный элемент защиты по току инерционный Предохранитель плавкий Дискретный элемент защиты по напряжению, разрядник	FA FP FU FV

Продолжение табл. 2.

H	Устройства индикации и сигнализации	Прибор звуковой сигнализации Индикатор символьный Прибор световой сигнализации	HA HG HL
E	Элементы разные	Нагревательный элемент Лампа осветительная Пиропатрон	EK EL ET
K	Реле, контакторы, пускатели	Реле токовое Реле указательное Реле электротепловое Контактор, магнитный пускатель Реле времени Реле напряжения	KA KH KK KM KT KV
T	Трансформаторы, автотрансформаторы	Трансформатор тока Электромагнитный стабилизатор Трансформатор напряжения	TA TS TV
U	Устройства связи Преобразователи электрических величин в электрические	Модулятор Демодулятор Дискриминатор Выпрямитель, инвертор, генератор частоты	UB UR UI UZ
Y	Устройства механические с электромагнитным приводом	Электромагнит Тормоз с электромагнитным приводом Муфта с электромагнитным приводом Электромагнитный патрон или плита	YA YB YC YH
Q	Выключатели и разъединители в силовых цепях (энергоснабжение, питание оборудования и т.д.)	Выключатель автоматический Короткозамыкатель Разъединитель	QF QK QS
W	Линии и элементы СВЧ антенны	Ответвитель Короткозамыкатель Вентиль Трансформатор, неоднородность, фазовращатель Аттенюатор Антenna	WE WK WS WT WU WA
M	Двигатели		
A	Устройство (общее обозначение) .		

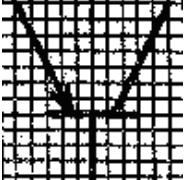
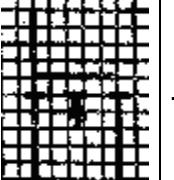
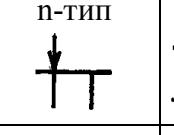
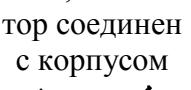
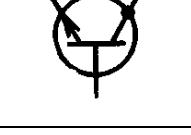
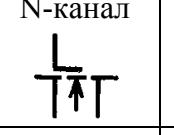
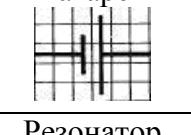
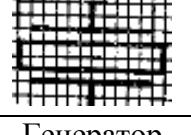
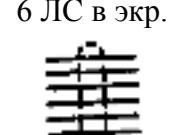
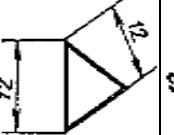
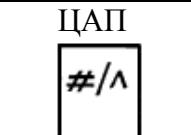
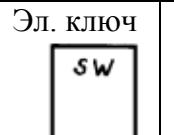
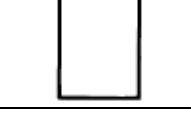
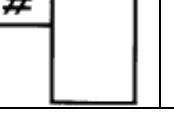
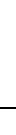
Продолжение табл. 2.

P	Приборы, измерительное оборудование.	Амперметр Счетчик импульсов Частотомер Счетчик активной энергии Счетчик реактивной энергии Омметр Регистрирующий прибор Часы, измеритель времени действия Вольтметр Ваттметр	PA PC PF P1 PK PR PS PT PV PW
B	Преобразователи неэлектрических величин в электрические (кроме генераторов и источников питания) или наоборот аналоговые или многозарядные преобразователи или датчики для указания или измерения	Громкоговоритель Магнитострикционный элемент Детектор ионизирующих излучений Сельсин-приемник Телефон (капсюль) Сельсин-датчик Тепловой датчик Фотоэлемент Микрофон Датчик давления Пьезоэлемент Датчик частоты вращения (тахогенератор) Звукосниматель Датчик скорости	BA BB BD BE BF BC BK BL BM BP BQ BR BS BV

Условные графические обозначения (УГО) элементов

Форма и размеры резисторов и конденсаторов заданы в ГОСТ 2.728-74. Вид большинства остальных УГО нормируется их изображением "на модульной сетке", шаг которой, для соразмерности с резисторами и конденсаторами, надо назначать в 1 мм.

1. УГО наиболее часто изображаемых элементов

Стабилитрон	Диод теплоэлектр. t°				Резистор $10\ \Omega$	Конденсатор d	Поляризован
Диод	Д. Шоттки			n-тип	5 Вт, 2 Вт		Предохран.
	Светодиод		NPN, коллектор соединен с корпусом	p-тип	1 Вт, 0,5Вт		Опорный
Двунаправл.	Оптрон			N-канал	0,25 Вт, 0,125		Широкополос.
Тиристор	Оптрон		Батарея	P-канал	Переменный		Корпус
Гибкий провод				Резонатор	Проходной		Эквипотенциальность
Витая пара	Экранир. ЛС			Генератор мощности	Фильтр		Защитное
LCD	Коаксиал.			6 ЛС в экране	Усилитель		Индуктивн.
Усилитель операци.	АЦП			ЦАП	Преобразователь		$R1,5\dots 4$
				#/#	Эл. ключ		Дроссель
				#/#			Заземление

2. Разъемы и контакты по ГОСТ 2.755-87

Переключатели			Разъемные соединения		
Замыкание	Размыкание	Двухполюсный	Гнездо	Штырь	Коаксиальное
Кнопка	Перемычка	Многополюсный переключ.	Разборное соединение	Неразборное соединение	Контактное разъемное

Рекомендуется указывать в виде таблиц характеристики входных и выходных цепей изделия (частоту, напряжение, силу тока, сопротивление и т.п.), а также параметры, подлежащие измерению на контрольных контактах, гнездах и т.п.

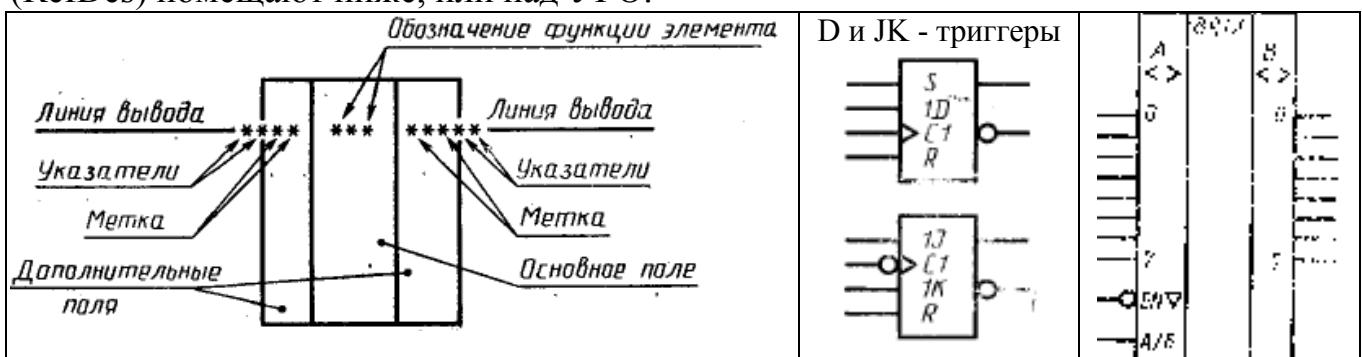
Конт.	Цепь	Адрес
1	$\Delta f=3\dots 3\text{ кГц}; R_H=600\text{ Ом}$	= A1-X1:1
2	$U_{\text{бых}}=0,5\text{ В}; R_H=600\text{ Ом}$	= A1-X1:2
3	$U_{\text{бых}}=+60\text{ В}; R_H=500\text{ Ом}$	= A1-X1:3
4	$U_{\text{бых}}=+20\text{ В}; R_H=1\text{ кОм}$	= A1-X1:4

Например, описание контактов разъема X1, подключенных к у-ву A1.
Можно указать только наименование цепей или контролируемых величин. Или адреса внешних соединений, или кратко,"Прибор А"

3. Изображение цифровых элементов по ГОСТ 2.743-91

УГО цифровых элементов имеет форму прямоугольника с линиями выводов: входные сигналы – справа, выходные - слева. Двунаправленные выводы и выводы питания можно размещать и там, и там.

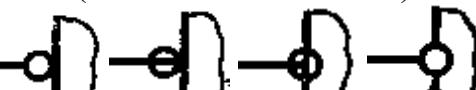
Во внутренней части УГО, называемой **основное поле**, в 1 строке размещают **обозначение функции элемента** (табл. 1). Позиционное обозначение (RefDes) помещают ниже, или над УГО.



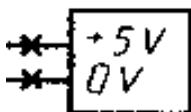
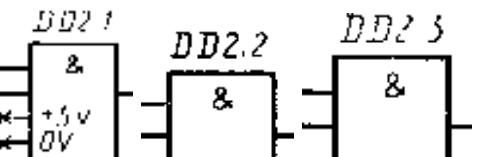
Основное поле обычно разбивают вертикальными линиями на 1 или 2 дополнительных, и в них помещают **имена выводов (метки)**. Горизонтальными линиями группируют выводы по функциональному признаку. По ГОСТу выделение дополнительных полей линиями не обязательно, если интервалы между надписями в одной строке не менее двух букв. ГОСТ предлагает большой список меток (имен выводов), имеющих мировое хождение (табл. 2). Если же используются

иные метки, их надо заключать скобки и пояснить, либо прямо в схеме устройства, либо в иных конструкторских документах.

Указателем называется модификация изображения вывода. Общеупотребительными стали некоторые из предлагаемых ГОСТом изображений:

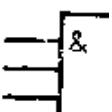
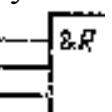
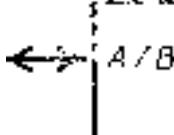
Прямые статич. вход и выход.	Инверсный статический вход (выход - аналогично)	Прямой динамич. вход	Инверсный динамич. вход
			

Не информационные выводы, в частности выводы питания, изображаются, как показано ниже. В OrCAD у логических ИС выводы питания обычно делают невидимыми, что не мешает не моделированию, ни разработке печатных плат. Но можно реализовать и любой из вариантов, предлагаемых ГОСТом.

Выводы, не несущие логической информации	Выв. питания в отдельном УГО	Выв. пит. в одном из УГО элемента
		

Для ПЛМ я бы советовал изображать выводы питания на отдельном УГО.

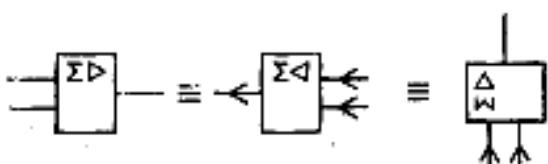
Логически равнозначные выводы можно объединять в группы, с простановкой одной метки на уровне первого вывода.

Выводы объединены по И	Каждый вывод уст. в 0	Если все в 1, уст 0	Двунаправленные выводы
			 

Номер вывода указывают над его изображением (над линиями связи), рядом с УГО, в произвольном порядке.

Согласно ГОСТ 2.708-81, при выполнении электрических схем цифровой вычислительной техники, внутри элементов дополнительно можно указывать его тип или код, в полном или сокращенном виде и другую информацию, с пояснением "на поле схемы или в нормативно-технической документации";

УГО можно поворачивать на 90 гр. по часовой стрелке, так, что бы входы оказались сверху, а выходы - снизу Более того, можно ориентировать и зеркально к вышеуказанному. Но в этом случае на линиях связи необходимо ставить "стрелки, указывающие направление распространения информации"



Размеры УГО нормируются только косвенно: согласно приложению 5 ГОСТ 2.743-91, минимальное расстояние между выводами должно быть не менее 2 шаг-

гов "модульной сетки". С другой стороны, расстояние между выводами должно быть больше высоты шрифта номера вывода, принятой нами **3,5 мм**. Поэтому, **расстояние между выводами УГО ИС рекомендую делать 4 мм**. При заданном в шаблоне шаге сетки 2 мм, **расстояние между выводами должно быть не менее 2 клеток сетки редактора**. Можно делать и больше, если это оправдано технически или эстетически.

Таблица 1 - Основные обозначения функций элементов по ГОСТ 2.743-91

Буфер	BUF	Преобразователь	X/Y
Вычислитель	CP	Пр. аналоговый	A; \wedge
Секция вычислителя	CPS	Пр. цифровой	#; D
Вычислит. уст-во	CPU	Пр. двоичный	BIN
Делитель	DIV	Пр. десятичный	DEC
Демодулятор	DM	Пр. доично-десятич.	BCD
Демультиплексор	DX	Пр. восьмиричный	OCT
Дешифратор	DC	Пр. шестнадцатирич.	HEX
Дискриминатор	DIC	Пр. кода Грэя	GR
Дисплей	DPY	Пр. семисегментный	GRAY
Интерфейс программ.	PPI	Пр. уровень ТТЛ	TTL
Повторитель	1	Пр. уровень МОП	MOS
Компаратор	COMP	Пр. уровень ЭСЛ	ECL
Микропроцессор	MPU	Пр. цифро-аналог	DAC
Модулятор	MD	Пр. аналого-цифр.	ADC
Модификатор	MOD	Приемо-передатчик	RTX
Мультиплексор	MUX	Процессор	P
Память	M	Секция процессора	PS
Главная память	MM	Регистр	RG
Основная память	GM	Регистр сдвига n-разр.	SRGn
Быстрая память	FM	Сумматор	SM
Память FIFO	FIFO	Счетчик	CTR
Постоянная память	ROM	Счетчик n-разрядный	CTRn
Программ. ПЗУ	PROM	Счетчик по модулю n	CTRDIVn
Репрограм. ПЗУ	RROM	Триггер	T
Оперативная память	RAM	Триггер двухступенч.	TT
Статическая память	SRAM	Умножитель	MPL
Динамическая память	DRAM	Усилитель	>
Энергонезависимое ЗУ	NVRAM	Устройство	DEV
Ассоциативное ЗУ	CAM	Устр. арифметико-лог.	ALU
Программ. лог. матрица	PLM	Устройство приоритета	HPRI
Ключ электронный	SW	Шина	BUS
Элемент задержки	DEL	Шифратор	CD

Таблица 2 - Основные обозначения логических выводов по ГОСТ 2.743-91

Адрес	ADR; A	Запрос на обслуживание	SRQ
Байт	BY	Знак	SI
Младший байт	LSB	Имитация	SIM
Старший байт	MSB	Инверсия	N
Запрет	INH	Инструкция (команда)	INS
Захват	H	Квитирование	AK
Ввод информации	I	Код	CODE
Ввод информации	O	Коммутация	SW
Вывод двунаправленный	<>; ↔	Конец	END
Вывод свободный	NC	Коррекция	CORR
Вектор	VEC	Логический 0	LOG0
Ветвление	BR	Логическая 1	LOG1
Восстановление	REC	Маска	MK
Вход с гистерезисом	Л; TH	Маркер	MR
Счет на увеличение	+n; UP	Мультиплексирование	MPX
Счет на уменьшение	-n; DOWN	Нечетность	ODD
Изменение сост. выхода на дополнительное.	T	Ожидание	WAIT; WT
Входы компаратора больше	>	Операция	OP
меньше	<	Останов	STOP
равно	=	Ответ	AN
Выбор	SEL; SE	Отказ	REJ
Выбор кристалла	CS	Очистка	ERR; ER
Выход открытый	◊	Ошибка	EW
Выход 3 состояниями	Z	Передача	TX
Генерирование	GEN	Переноса прием	CI
Готовность	RDY	Переноса образование	CG
Данные	D	Переноса распространен.	CO; CP
Данные входные	DIN	Переполнение	OF
Данные выходные	DOUT	Подтверждение приема	ACK
Данные входные ЗУ	D	Позиция	PO
Данные выходные ЗУ	Q	Прерывание	INT
Данные последовательные	D→ или D > D←или D <	Подтверждение прерывания	INTA
Загрузка параллельная	LD	Программируемое преп.	PCI
Задержка	DEL	Прием	RX
Задержка двойная	DD	Приоритет	PRI; PR
Заема вход	BI	Продолжение	GOON
Заема выход	BO	Пуск, начало	ST
Заема образование	BG	Работа	RUN
Заема распространение	BP	Разрешение	EN

Занято	BUSY	Разрешение импульса	CE
Запись	WR	Разреш. 3 состояния	EZ
Запрос	REQ; RQ	Режим	M; MO
Результат нулевой	RZ	Сброс общий	SR
Сдвиг слева направо и сверху вниз (от младшего разряда к старшему)	$\rightarrow n$; $>n$ SHRn	Сдвиг справа налево и снизу вверх (от старшего разряда к младшему)	$\leftarrow n$; $<n$ SHLn

Параметр n – число позиций сдвига. Если сдвиг на 1, параметр n опускают.

Сдвиг влево или вправо	\rightarrow/\leftarrow ; $</>$	Условие	CC
Синхронизация	SYNC; SYN	Установка в 1	SET; S
Состояние	SA	Установка в 0	RES; R
Средний	ML	Уст. JK-триггера в 1	J
Строб	STR; ST	Уст. JK-триггера в 0	K
Счет	CT	Функция	F
Чтение	RD	Четность	EVEN
Такт	CL; CLK		
Управление	C		

Примеры УГО простых элементов из ГОСТ 2.743-91.



Правила выполнения электрической принципиальной схемы

Комплектность схем на изделие должна быть минимальной, но достаточной для его проектирования, изготовления, эксплуатации и ремонта. **Электрическая принципиальная схема** имеет код конструкторского документа Э3 (ГОСТ 2.701-84). Содержание схемы должно быть компактным и наглядным, а формат - удобным. УГО элементов и линии связи следует располагать так, чтобы обеспечивать наилучшее представление о структуре устройства и взаимодействии его частей.

На схемах допускается помещать различные технические данные: временные диаграммы, таблицы, текстовые указания о специфических требованиях к монтажу и т.п. Около УГО помещают номинальные значения их параметров, **по возможности, справа или сверху**.

1. Формат чертежа

Формат определяется размером внешней рамки (тонкая линия) с отклонениями 1,5...3 мм. **Но если размер листа совпадает с размерами формата, то при выводе из ЭВМ внешнюю рамку можно не рисовать!** Дополнительные форматы образуются многократным увеличением коротких сторон основных форматов.

Основные форматы	Кратные форматы							
	A4x2	A4x3	A4x4	A4x5	A4x6	A4x7	A4x8	A4x9
A0	841x1189	1189x1682	1189x2523					
A1	594x841		841x1783	841x2378				
A2	420x594		594x1261	594x1682	594x2102			
A3	297x420		420x891	420x1189	420x1486	420x1783	420x2080	
A4	210x297	297x420	297x630	297x840	297x1050	297x1260	297x1470	297x1680
A5	148x210							

Поскольку устройства на базе ПЛМ обычно имеют небольшую принципиальную схему, для их чертежей в гл.1 предложено использовать формат А1 (594x841 мм). ГОСТ 2.701-84 разрешает все размеры графических обозначений пропорционально изменять, поэтому допустима распечатка такой схемы и на одном листе А4. OrCAD это позволяет, а получившийся масштаб будет вполне читаем и удобен для работы. Чертить же сразу в формате А4 неудобно, т.к. слишком большая часть чертежа будет занята основной и дополнительными надписями.

Удобно использовать форматы, кратные А4 (A4x2....A4x9). Они позволяют распечатать и большую схему без изменения масштаба на обычном принтере. После склеивания листов такой формат удобно раскладывать на столе.

2. Чертежный шрифт

Чертежные шрифты нормируются в ГОСТ 2.304-81. **Размером шрифта h**, называют высоту прописной буквы в миллиметрах. Гост разрешает следующие размеры: 2,5; 3,5; 5; 7; 10; 14; 20; 28; 40.

При выполнении документов автоматизированным способом должна быть обеспечена передача используемых шрифтов, поэтому надо избегать экзотических. Заданным в ГОСТ начертаниям шрифта ближе всего подходит стандартный шрифт **Arial Narrow**, см. Таблицу 1.

Таблица 1

Шрифт типа А без наклона	Arial Narrow	Arial
АБВГДЕЖЗИЙКЛМНОР СТУФХЦЧШЩЬЫЭЮЯ абвгдежзийклмнопрст уфхцчшщьыэюя	АБВГДЕЖЗИЙКЛМНОР СТУФХЦЧШЩЬЫЭЮЯ абвгдежзийклмнопрст уфхцчшщьыэюя	АБВГДЕЖЗИЙКЛМНОР СТУФХЦЧШЩЬЫЭЮЯ абвгдежзийклмнопрст уфхцчшщьыэюя
АБВГДЕЖЗИЙКЛМ НОРСТУФХЦЧШ ЩЬЫЭЮЯ абвгдежзийклмн опрстуфхцчшщъ ыэюя	АБВГДЕЖЗИЙКЛМ НОРСТУФХЦЧШ ЩЬЫЭЮЯ абвгдежзийклмн опрстуфхцчшщъ ыэюя	АБВГДЕЖЗИЙКЛМ НОРСТУФХЦЧШ ЩЬЫЭЮЯ абвгдежзийклмн опрстуфхцчшщъ ыэюя

Размер шрифта на чертеже САПР OrCAD определяется как типом и "кеглем" шрифта, предлагаемого компьютером, так и шагом сетки чертежа редактора, назначенного 2 мм. Так для **высоты заглавной буквы 3,5 мм** шрифт **Arial Narrow** **должен иметь кегль 18pt**. В табл. 2 показаны кегли шрифта **Arial Narrow**, соответствующие размерам ГОСТа, при шаге сетки редактора 2 мм.

Таблица 2

Размер	h	Относ. размер		Размеры, мм						
		(14/14) h	14d	2,5	3,5	5,0	7,0	10,0	14,0	20,0
Кегль шрифта Arial Narrow (узкий, нормальный)				10	18	26	36	52	72	104

3. Элементы

На принципиальной схеме все элементы и устройства, должны быть изображены **в виде условными графическими элементами (УГО) с позиционными обозначениями** (RefDes). Список всех элементов оформляется в виде таблицы **перечня элементов** (см. п.9).

Составные части элементов можно изображать как вместе, так и раздельно, добиваясь большей наглядности чертежа. Не используемую часть элемента можно не изображать, если ее выводы не влияют на работу элемента и схемы.

мы. Например, не используемые контакты ПЛМ на принципиальной схеме изображать ненужно и вредно. Как правило, элементы изображают в отключенном состоянии.

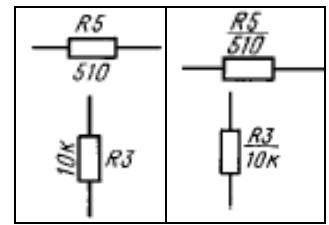
Если элемент не имеет стандартного УГО, можно его изобразить по – своему, но с пояснениями на схеме.

Все размеры графических обозначений допускается пропорционально изменять (ГОСТ 2.701-84).

Расстояние между соседними УГО д.б. не менее 2,0 мм.

4. Позиционные обозначения

- Позиционные обозначения присваиваются в пределах либо всего изделия, либо своей функциональной группы. Например R1, R2... C1, C2.... На принципиальной схеме номера должны нарастать слева направо и сверху вниз. Но допускается и по-другому. Например в зависимости от размещения элементов в изделии, направления прохождения сигналов или при внесении изменений в схему. По возможности, проставляются сверху или справа от УГО. **Черточку между ПО и номиналом можно не делать.**
- В отдельных случаях можно все сведения об элементах помещать около их УГО, хотя обычно они описываются в **перечне элементов**.
- Единицы измерения номиналов можно указывать в сокращенном виде:
 - Резисторы** от 0 до 999 Ом – без обозначения единицы измерения.
 - Килоомы - строчная буква **к**, мегомы – прописная буква **М**, выше 10E9 Ом – прописная буква **Г**.
 - Конденсаторы** 0 до 9999 пФ – без обозначения единицы измерения. С 10 нанофарад до 10'000 микрофарад строчные буквы **мк**
- Если в изделии есть функциональная группа (ФГ), то ее элементы нумеруются после элементов, не входящих в функциональные группы. Если в изделии несколько одинаковых ФГ, то номера их элементов д.б. одинаковыми. А сама функциональная группа должна обозначаться по **ГОСТ 2.710**



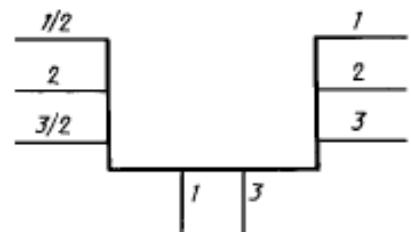
5. Цепи (линии связи)

- Линии связи должны быть показаны, как правило, полностью, и иметь наименьшее количество изломов и взаимных пересечений.
- Линии связи в пределах одного листа, если они затрудняют чтение схемы, допускается **обрывать и заканчивать стрелками** (например, линии питания).
- Цепи электропитания** можно показывать в виде прерванных линий со стрелками, отображающими связь по питанию.
- В УГО элементов выводы питания можно не указывать, если это не приведет к недоразумениям, как например для ИС стандартной логики.
- Линии связи, переходящие с одного листа на другой, следует **обрывать без стрелок**, за пределами схемы. Рядом с обрывом, над линией, указывают ее имя.

- Толщина линии связи обычно 0,3...0,4 мм, хотя допустимо 0,2...1,0 мм. Функционально различные цепи можно изображать разной толщиной, но не более трех градаций.
- **Расстояние между параллельными линиями должно быть не менее 3,0 мм.**
- Цепи можно именовать прописными латинскими буквами и цифрами, кроме букв А, В, С, и М (ГОСТ 2.709) или только цифрами. Последовательность номеров, как правило, должна нарастать слева направо и сверху вниз.
- Цепи, проходящие через контакты, ГОСТ разрешает именовать по-разному. Это нужно делать в САПР, чтобы они не были объединены на печатной плате.
- Для облегчения понимания работы схемы, рекомендуется указывать характеристики входных и выходных цепей (частоту, напряжение, ток...), а также параметры, подлежащие измерению на контрольных контактах, гнездах и т.п.

6. Шины

Если линии связи объединяют в шину, то каждую линию именуют на входе и на выходе. Обычно, линии, сливающиеся в шину не должны иметь разветвлений, т.е. одно и то же имя должно встречаться нашине два раза – на входе и на выходе. Но если разветвления необходимы, их количество указывают через дробь!



Все надписи на чертежах выполнять шрифтом с высотой прописной буквы 3,5 мм (ГОСТ 2.304-81), который при принятой настройке шаблона лучше всего воспроизводится шрифтом Arial Narrow, 18pt

Расстояние между выводами УГО ИС делать, как правило, 4 мм, что хорошо подходит для размещения номеров выводов.

9. Перечень элементов

Таблицу перечня элементов помещают на первом листе схемы над основной надписью, на расстоянии не менее 12 мм, а продолжение помещают слева, повторяя головку таблицы.

Перечень элементов можно выполнять и в виде самостоятельного документа на формате А4 с конструкторским кодом ПЭЗ. Основную надпись и дополнительные графы выполняют по ГОСТ 2.104—68 (см. приложение 6). В основной надписи (графа 1) указывают наименование изделия и название документа "Перечень элементов". Перечень элементов записывают в спецификацию после схемы, к которой он выпущен

- Элементы записывают группами в алфавитном порядке буквенных позиционных обозначений, а в пределах группы - по возрастанию номеров.
- Элементы одного типа с одинаковыми параметрами, имеющие последовательные номера, можно записывать в графу "Поз. обозначение" в одну строку, например: R3, R4, C8 ... C12, а в графу "Кол." - их общее количество.

Поз. обозна- чение	Наименование	Кол.	Примечание
A1	Дешифратор АБВГ. XXXXXX. 033	1	
D1	Микросхема К155ТМ2 бкд. 348.006ТУ1	1	
D2	Микросхема К155ЛА3. бкд. 348.006ТУ1	1	
<i>Резисторы</i>			
R1, R2	МЛТ-0,25-430 Ом ± 10 % ГОСТ...	2	
R3	МЛТ-0,25-130 Ом ± 10 % ГОСТ...	1	
R4	ПЛ3-43-60 Ом ± 10 % ... ТУ	1	
SA1	Переключатель АБВГ. XXXXXX. 154	1	
A2	<u>1. Блок включения ФЭУ</u> АБВГ. XXXXXX. 249	1	
AB1	Блок индикации АБВГ. XXXXXX. 122	1	
<i>Резисторы ГОСТ...</i>			
R1, R2	МЛТ-0,25-120 Ом ± 10 %	2	
R3	МЛТ-0,25-220 Ом ± 10 %	1	
R4...R6	МЛТ-0,25-120 Ом ± 10 %	3	
LPM1	<u>1.1. Измеритель</u>		
AC1	Блок сигнализации АБВГ. XXXXXX. 021	1	
C1, C2	Конденсатор КМ-За-Н30-0,22...ТУ	2	
R7	Резистор МЛТ-0,25-470 Ом ± 10 % ГОСТ...	1	
KL81...KL84	<u>2. Переключатель тока</u>	4	
A3	Блок индикации АБВГ. XXXXXX. 020	1	
R5	Резистор МЛТ-0,25-4,7 кОм ± 10 % ГОСТ...	1	
R6, R7	Резистор МЛТ-0,25-4,7 кОм ± 10 % ГОСТ...	2	

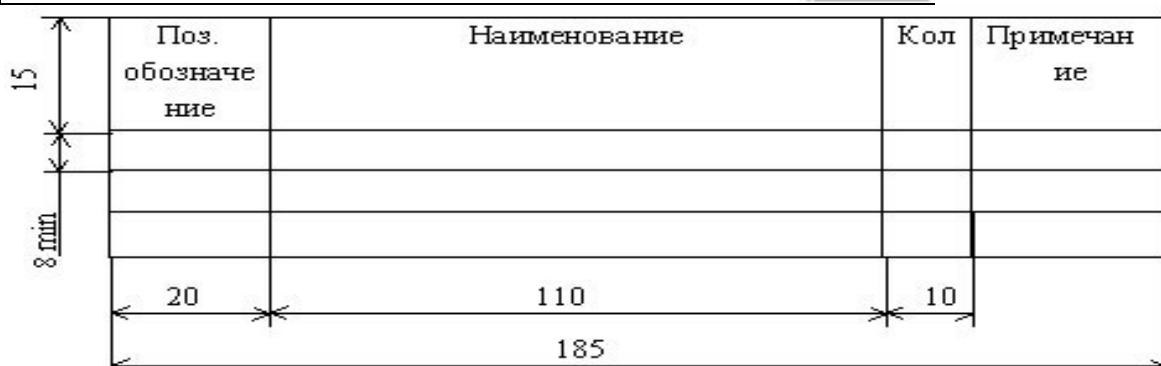
Поз. обозначение — элементов, устройств и функций групп;

Наименование

- наименование из документа на элемент и обозначение этого документа (основной конструкторский документ, государственный стандарт, отраслевой стандарт, технические условия)
- для функциональной группы - ее наименование.

Примечание - дополнительные технические данные. Например, тип корпуса.

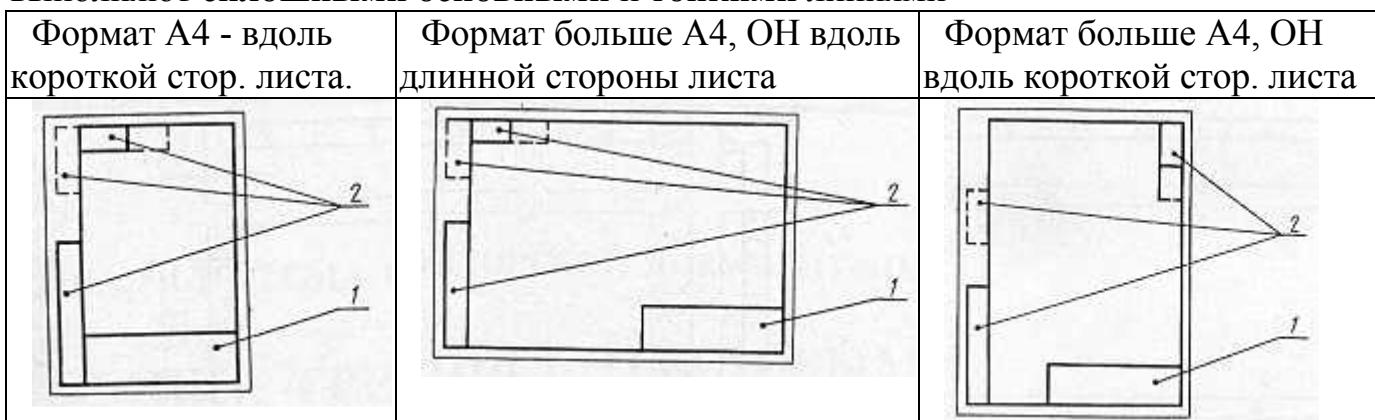
Можно вводить и дополнительные графы, если они не нарушают запись и не дублируют сведений в основных графах.



- Запись элементов устройства (функциональной группы), начинают с его названия в графе "Наименование" которое в САПР можно не подчеркивать.
- Для внесения изменений оставляют незаполненные строки между группами.
- На этапах технического предложения, эскизного и технического проектирования сведения об элементах могут быть неполными.

Основная надпись по ГОСТ 2.104-68

Основная надпись (ОН) и дополнительные графы - обязательны для конструкторских документов (1 - основная надпись; 2 - дополнительные графы). Их выполняют **сплошными основными и тонкими линиями**



На первом листе чертежей основная надпись и дополнительные графы соответствуют **форме 1**. На следующих листах - форме 2а.

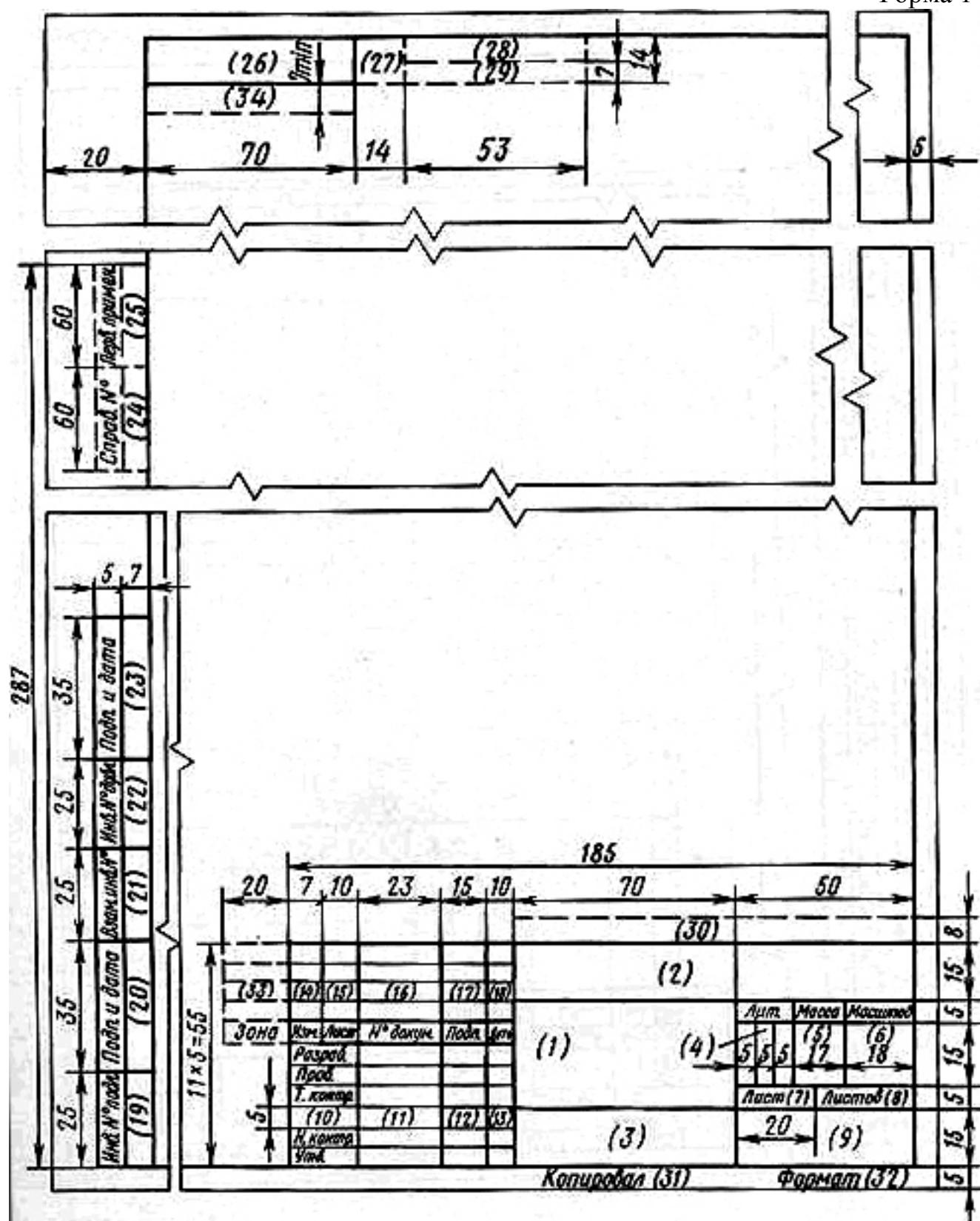
В текстовых документах, соответственно, формам 2 и 2а.

Гр	Содержание граф основной надписи (1..18)
1	Наименование изделия и документа (ГОСТ 2.109-73).
2	Обозначение документа (см. далее ГОСТ 2.201-80).
3	Материал детали (заполняют только на чертежах деталей).
4	Литера, присвоенная документу.
5	Масса изделия по ГОСТ 2.109-73.
6	Масштаб в соответствии с ГОСТ 2.302-68 и ГОСТ 2.109-73
7	Порядковый номер листа. Если лист один, графу не заполняют.
8	Общее количество листов документа, заполняют только на первом листе
9	Наименование или индекс предприятия, выпускающего документ.
10	Характер работы лица, подписывающего документ. Например: "Начальник отдела", "Рассчитал", "Студент"....
11	Фамилии лиц, подписавших документ;
12	Подписи лиц, указанных в графе 11.
13	Дата подписания документа;
14	Графы таблицы изменений по ГОСТ 2.503-90. Она может продолжаться вверх
-18	или влево. В последнем случае названия граф 14-18 повторяют
19	Инвентарный номер подлинника по ГОСТ 2.501-88.
20	Подпись принявшего подлинник в отдел технической документации и дата.
21	Инв. номер подлинника, взамен которого выпущен данный подлинник.
22	Инвентарный номер дубликата по ГОСТ 2.502-68;
23	Подпись принявшего дубликат в отдел технической документации, и дата.
24	Обозначение документа, взамен которого выпущен данный.
25	Обозначение документа, в котором впервые записан данный документ;
26	Обозначение, повернутое для удобства чтения.

Графы, выполненные штриховкой, вводят при необходимости. Например, графы 27—30 вводят для документов, утверждаемых заказчиком.

Если форма 1 используется и для последующих листов чертежей, графы 1, 3, 4, 5, 6, 9 не заполняют.

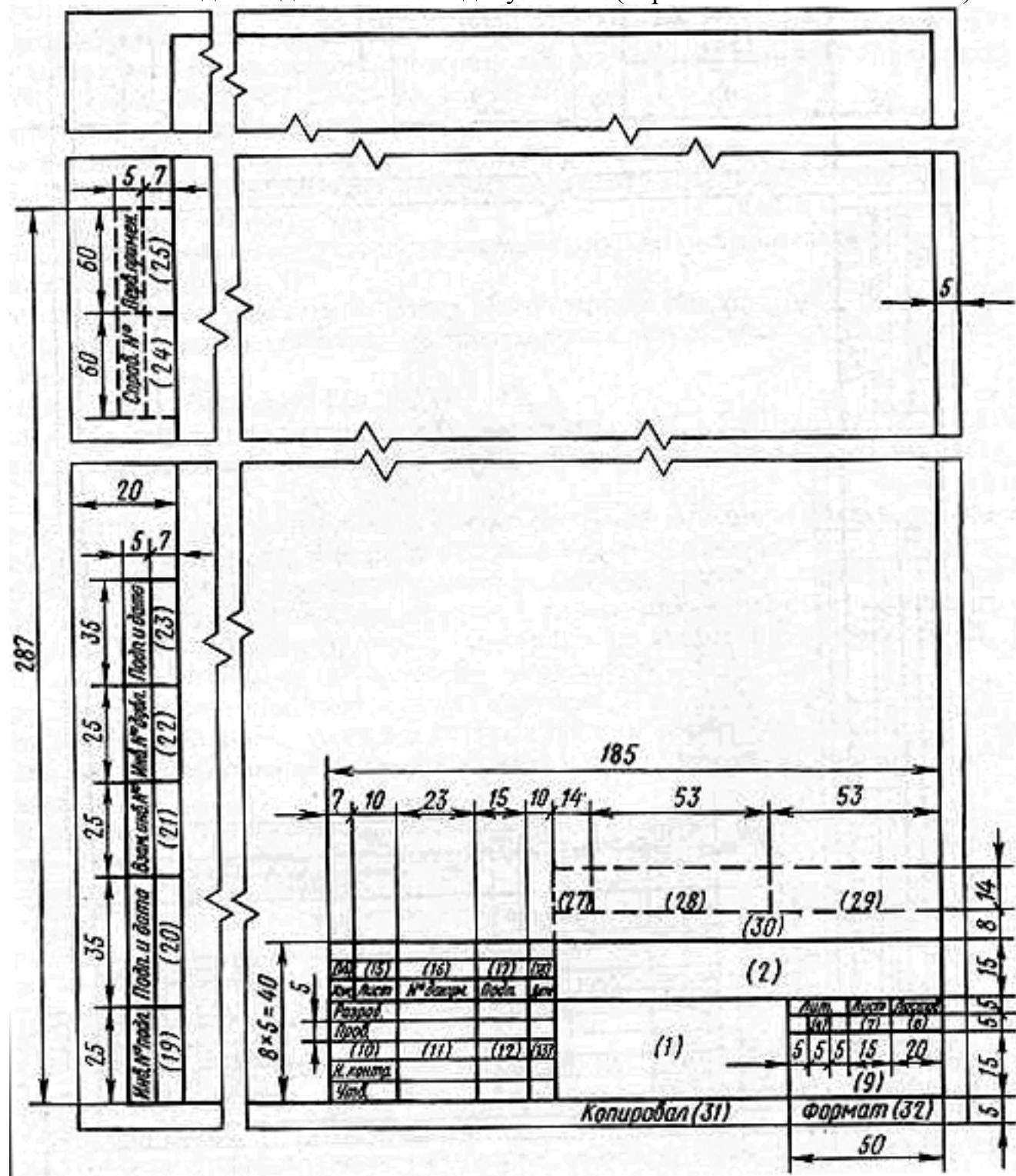
Форма 1



27	Знак, установленный заказчиком и проставляемый его представителем
28	Номер решения и год утверждения документации соответствующей литеры;
29	Номер решения и год утверждения документации;
30	Индекс заказчика в соответствии с нормативно-технической документацией;
31	Подпись лица, копировавшего чертеж
32	Обозначение формата листа по ГОСТ 2.301-68;

Форма 2

Основная надпись для текстовых документов (первый или заглавный лист)



Форма 2а

Основная надпись для чертежей и текстовых документов (последующие листы)

The diagram illustrates the layout of Form 2a, which consists of two horizontal sections. The top section is a large rectangular area for drawing, with a width of 185 mm and a height of 110 mm. The bottom section contains a table for document information.

Top Section:

- Width: 185 mm
- Height: 110 mm
- Left margin: 20 mm
- Right margin: 5 mm
- Top margin: 35 mm
- Bottom margin: 35 mm
- Header area (26) width: 70 mm
- Header area (26) height: 14 mm

Bottom Section Table:

23	35	23	25	25	35	20	5	7
Лист №	Номер и дата	Лист №	Номер и дата	Лист №	Номер и дата			
(19)	(20)	(21)	(22)	(23)	(24)			

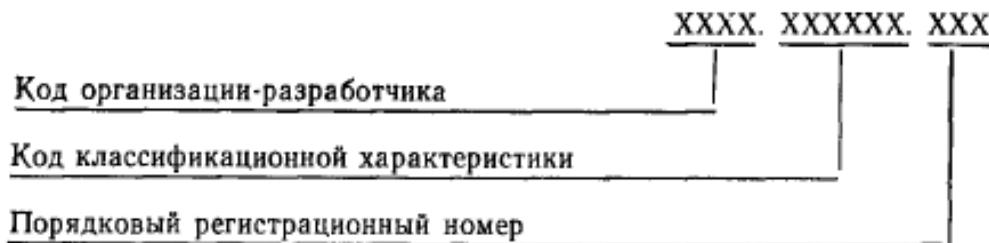
Below the table, there is a horizontal row of dimensions: 7, 10, 23, 15, 10, 185, 110, 10, 5. To the left of this row, there is a vertical dimension of 3 * 5 = 15 mm. Below the horizontal row, there is a table with columns labeled: Копия (31), Формант (32), and Документ (7). The first column has rows for: 00, (03), (05), (07), 08; Копия листа; № блокнота; Лист; Документ. The second column has rows for: Копия (31), Формант (32); Копия листа; № блокнота; Лист; Документ.

Графа 26 на форме 2а обязательна только для чертежей и схем

Обозначения изделий и конструкторских документов по ГОСТ 2.201-80

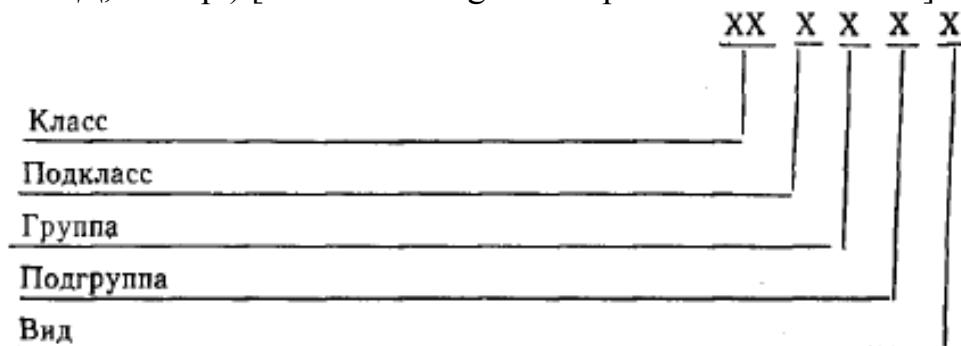
Каждому изделию присваивается уникальное **обозначение**, которое становится и обозначением его основного конструкторского документа (чертежа или спецификации).

Обозначение присваивается централизованно, либо организацией - разработчиком, на основе классификационной системы. Структура обозначения следующая:



Код организации берется из кодификатора, но, может быть назначен и центральным органом.

Код классификационной характеристики - выбирается по классификатору изделий и конструкторских документов машиностроения и приборостроения (Классификатор ЕСКД, 59 стр.) [Lawru.info/legal2/seb/pravo6206/index.htm]



Порядковый регистрационный номер 001....999 - очередной номер изделия с данной классификационной характеристикой, которому организация выдает **ОБОЗНАЧЕНИЕ** (организация - разработчик, либо центральный орган). Порядковые номера аннулированных документов занимать нельзя.

В обозначении **неосновных конструкторских документов** (все остальные КД) добавляется **код документа** (не более 4 знаков).

Код схемы состоит из буквы, определяющей **вид схемы**, и цифры, определяющей ее **тип**. [ГОСТ 2.701-84 Виды и типы....]

Вид схем определяется видом используемых элементов:

код	вид схемы	
Э	электрическая	[2.702]
Е	деления	[2.711] Сх. деления изделия на составные части.
С	комбинированная	Если на одной схеме изображают элементы разных видов.

P	энергетическая	G	гидравлическая	V	вакуумная	L	оптическая
K	кинематическая	P	пневматическая	X	газовая		

Элементы другого вида, помещаемые на схеме для разъяснения принципов работы, отделяют штрих - пунктирными линиями и поясняют, где они находятся и другие нужные сведения.

Тип схемы определяется ее назначением

код	тип схемы	
1	Структурная	Разрабатывается первой, определяет основные части изделия и их связи.
2	Функциональная	Разъясняет принципы работы изделия или его частей.
3	Принципиальная	Определяет полный состав элементов и связей между ними.
4	Соединений (монтажная)	Определяет провода, жгуты и кабели, соединяющие части изделия, а также места их присоединений (разъемы, платы, зажимы...).
5	Подключения	Показывает внешние подключения изделия.
6	Общая	Определяет соединение частей комплекса между собой на месте эксплуатации.
7	Расположения	Определяет относительное расположение частей изделия и, при необходимости, жгутов, проводов, кабелей.
0	Объединенная	Содержит на одном чертеже схемы двух или нескольких типов.

Дополнительно к схемам, или вместо них (в разрешенных случаях) можно выпускать таблицы, как самостоятельные документы, код которых соответствует коду схемы, но с буквой Т впереди. В основной надписи (графа 1) указывают наименование изделия и документа "Таблица соединений".

Т.о , могут быть разработаны, например, следующие КД:

код	тип схемы
E1	Схема деления структурная
Э3	Схема электрическая принципиальная
Э0	Схема электрическая соединений и подключений (объединенная)
ТЭ4	Таблица электрических соединений.

Заключение

Надеюсь, это краткое пособие поможет читателям уверенно приступить к выполнению типичных учебных или практических заданий, как то:

- разработать принципиальную схему устройства,
- проверить работу схемы, ее элементов или фрагментов путем моделирования,
- разработать простую печатную плату.

Приобретенные навыки, полагаю, будут и средством и стимулом более глубокого освоения как электротехнических дисциплин, так и самих САПР.

Литература

2. Разевиг В.Д. Система проектирования OrCAD 9.2. М.: "СОЛОН-Р", 2001, 519 с.
3. Разевиг В.Д. Система сквозного проектирования электронных устройств DesignLab 8.0. М.: "Солон-Р", 2000, 698 с.
4. Разевиг В.Д. Система схемотехнического моделирования MICRO-CAP V. М.: "СОЛОН", 1997, 273 с.
5. Разевиг В.Д. Система схемотехнического моделирования и проектирования печатных плат Design Center (PSpice). М.: "СЛ Пресс", 1996, 268 с.
6. Уваров А.С. P-CAD 2002 и SPECCTRA. Разработка печатных плат. М.: "СОЛОН-Пресс", 2003, 543 с.
7. Кузнецова С.А., Нестеренко А.В., Афанасьев А.О. OrCAD 10. Проектирование печатных плат. Под ред. А.О.Афанасьева. М.: "Горячая линия - Телеком", 2005, 454 с.
8. Петропавловский В.П., Шалагинов А.В., Азаров Д.А. Компьютерное проектирование электронных схем на базе САПР типа OrCAD. Лабораторный практикум. МИФИ, 2005, 206 с.
9. Дж.Кеун OrCAD PSpice. Анализ электрических цепей. М.:ДМК Пресс; СПб.:Питер, 2008, 640 с.
10. www.qrz.ru - справочники по отечественным элементам и ИС.
11. www.DatasheetCatalog.com - справочники по зарубежным элементам и ИС.
12. www.ChipFind.ru - справочники и покупка отечественных и зарубежных элементов, Москва