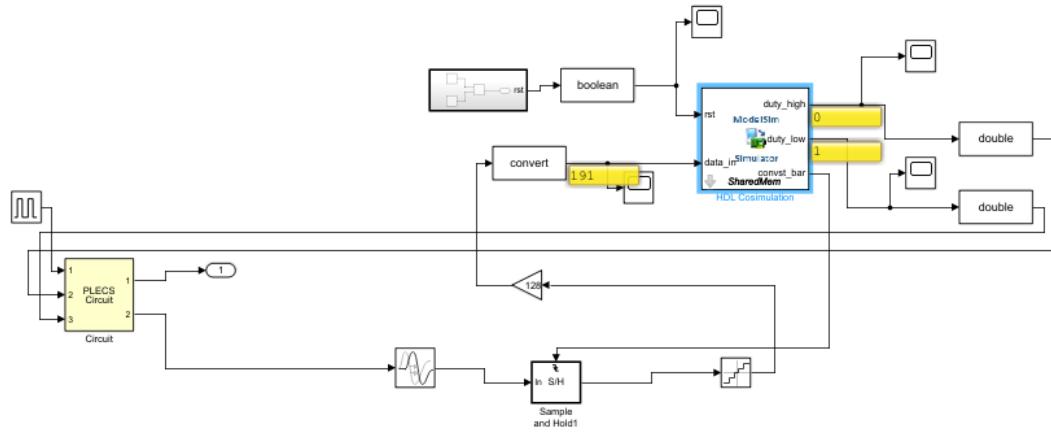
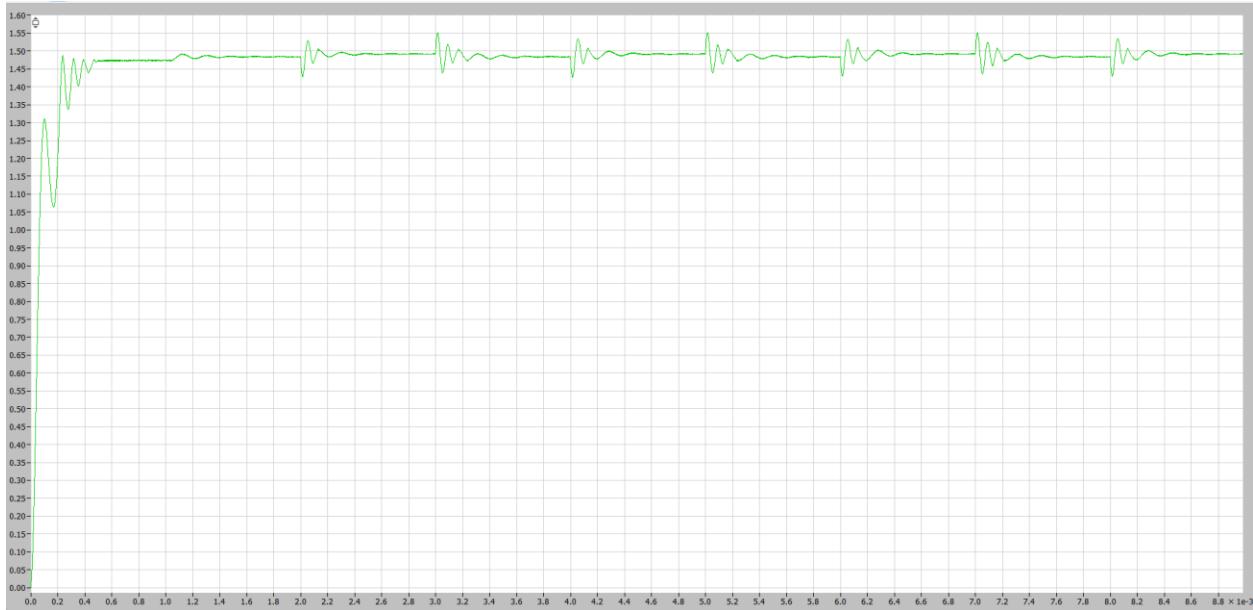
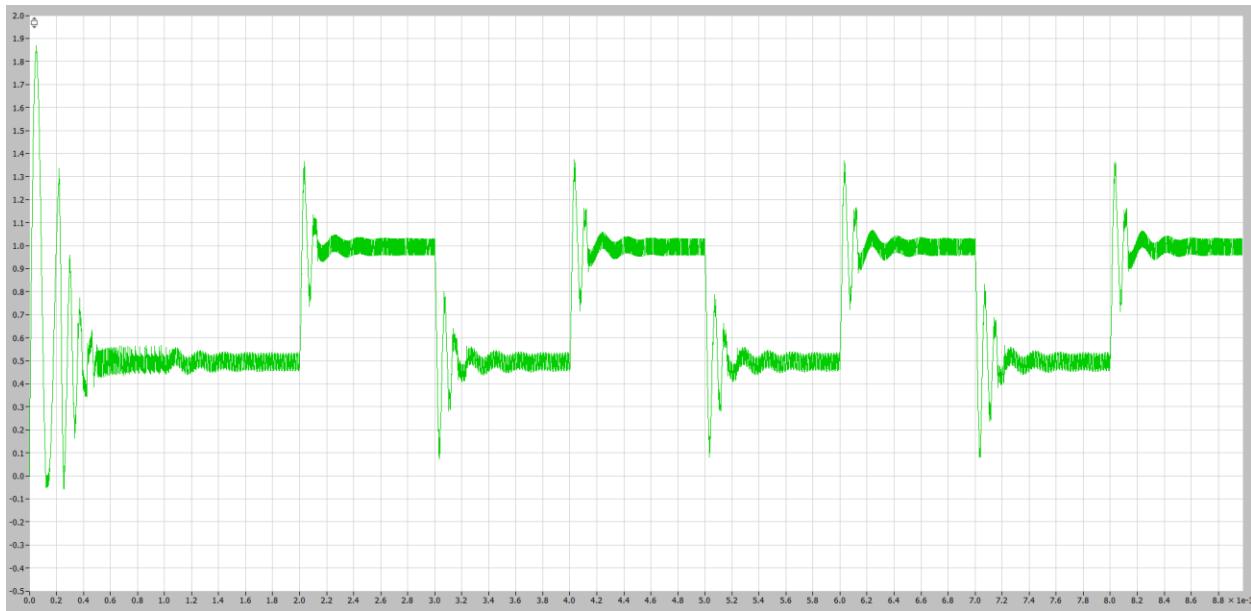


Lab 5 是把之前所有 lab 整合在一起並且搭配 power stage 如圖 1，power stage 用之前的設計規格，由於我們使用的 ADC 是 AD7822，是一個 8-bits half flush 的 ADC。Sampling voltage 在 0-2V，Quantization range=7.8125mV。由於目標是設計在 1.5V，因此中心點設計在 192 bits，每四個 bit 增加一個 error，也就是 error 會從 -4~4 之間，由於我設計的 DPWM 為 10BITS，因此我的 COUNTER 為 7BITS，由於每個 Component 要有不同的 clock，因此要多設計一個分頻器，因此我們 transaction counter 的第 3~6bits 進行 counting，我們使用的基礎頻率為 64MHz，由於我的系統 DPWM 在 9BITS 時會有 LCO，因此我需要額外設計 10BITS 的 DPWM。因此 Compensator 輸出要改成 10bits，我 transaction 15~6 的輸出 bite 共 10bits，dither 設計 7bits(dith table)+3bits 的 coounter，deadtim 用 7bits。



輸出結果:





輸出結果我發現輸出電壓以及電桿電流會同上同下，這會是一個問題，此外也可以發現輸出結果跟預期依樣，不會產生 LCO。SCOPE 4 是接 9V 的電源，scope 3 是接地，可以發現是互補關係

