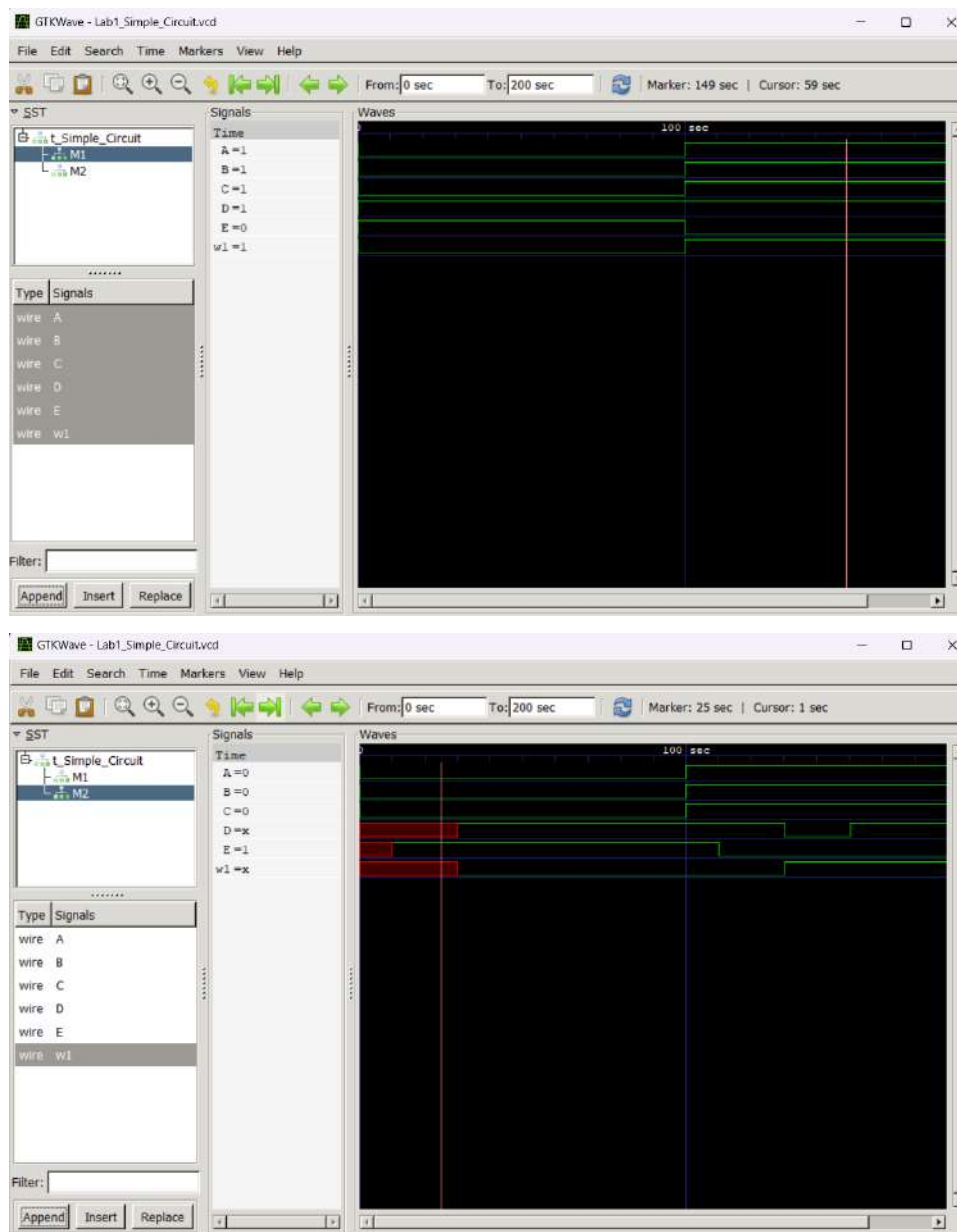


## (1) 2A(a) 結果波形圖



$E = C'$  ;  $D = AB + C'$  ;

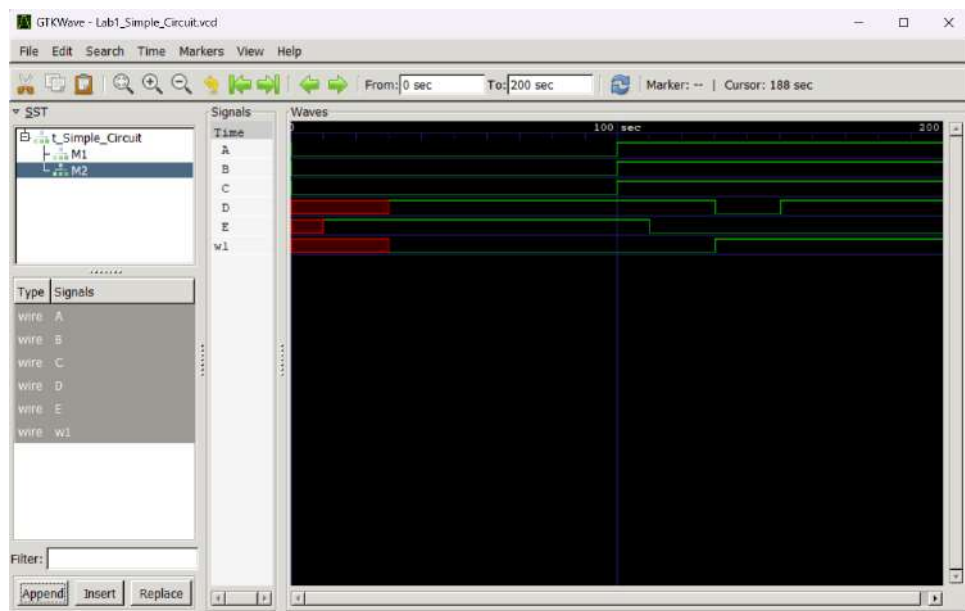
M1 沒有 propagation delay，而 M2 有。

M1 和 M2 在最後一段的結果一樣(因為是一樣的電路)

M2:

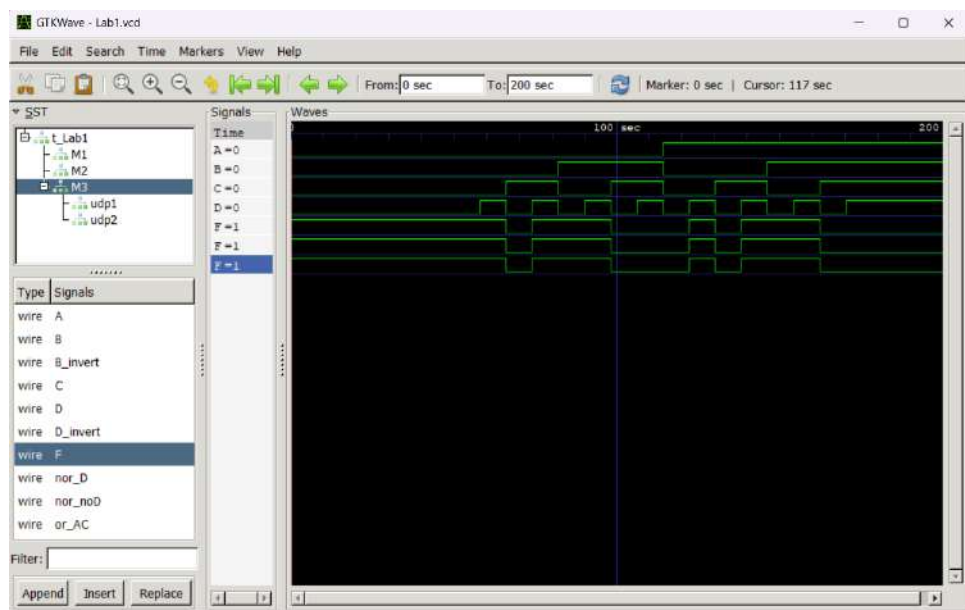
- (1) 前面紅色是因為 gate 的 delay 導致沒有輸入(x)
- (2) 100-110s not gate 的 delay
- (3) 110-130s or gate 的 delay (driven by change of E)
- (4) 100-130s and gate 的 delay
- (5) 130-150s or gate 的 delay (driven by change of w1)

## (2) 2A(b) 更改後波形圖



根據我的觀察，更改後的結果和更改前一模一樣。模擬開始的時候已經把 gate 都接完了，所以更改 gate 宣告的順序不會影響到波形。

## (3) 2B(d) 模擬波形圖



A, B, C, D – input (所有組合)

F – 有三個，分別是 M1, M2, M3 的輸出

根據圖， $F = (A'B'D' + C'D' + CB)'$  (如右圖)

得出的結果與波形圖相同，所以電路模組正確。

CD \ AB	CD			
	00	01	11	10
00	1	1	1	0
01	1	1	0	0
11	1	1	0	0
10	0	1	1	0

(4)

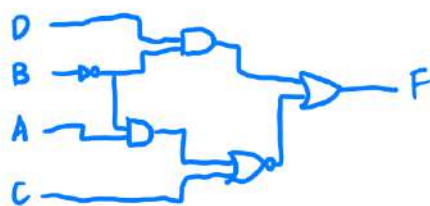
圖 1 的電路(GIC=14)不是 GIC 最小的實作

CD \ AB	00 01 11 10			
	00	01	11	10
00	1	1	1	0
01	1	1	0	0
11	1	1	0	0
10	0	1	1	0

$$\Rightarrow B'D + BC' + AC'$$

$$\Rightarrow B'D + C'(A+B)$$

$$\Rightarrow B'D + [C + (AB')]'$$



$$GIL = 9$$

#### (5) 心得與感想、及遭遇到的問題或困難

我覺得這次的作業讓我更了解 verilog 實際該怎麼做，上課學的感覺學完就忘了，這次自己做完之後更能了解 verilog 了。

這次遇到問題挺多的，主要分成三項。第一項是我一開始用筆記本編輯，所以檔案有點亂，所以我最後是用 vs code 來編輯和存檔，就可以直接開.v, 就不用開.txt 再存。第二項是理解波形圖前面紅色的部分，這部分花了我一點時間。第三項是降低 GIC，上述的已經是我壓到最低的了，但依舊不確定還有沒有辦法再壓低。