

[自控·检测]

DOI: 10.3969/j.issn.1005-2895.2019.05.010

基于 EtherCAT 分布时钟的伺服控制系统研究

崔海彬, 马钧华

(浙江大学 电气工程学院, 浙江 杭州 310027)

摘 要: 为解决运动控制领域多轴伺服系统同步问题, 提出了基于 EtherCAT 分布时钟的控制策略。研究了 EtherCAT 分布时钟同步机制及实现过程, 分析了从站在 SM 模式和 DC 模式下的中断信号误差, 在 DC 模式下获得误差小于 10 ns 的高精度同步信号。搭建了基于 LAN9252 和 ARM 的具有同步功能的伺服控制平台; 利用 EtherCAT 从站在 DC 模式下产生的同步信号对位置环、速度环和电流 PWM 环的定时器进行同步, 实现了伺服系统的同步算法架构。在一个二轴的系统上进行了实验, 实验结果表明系统具有较好的可靠性和实时性, 能够实现从站间的精确同步。

关 键 词: 伺服控制系统; EtherCAT 总线技术; LAN9252; 分布时钟; 时钟同步

中图分类号: TP393.11

文献标志码: A

文章编号: 1005-2895(2019)05-0051-06

Research of Servo Control System Based on Distributed Clock of EtherCAT

CUI Haibin, MA Junhua

(College of Electrical Engineering, Zhejiang University, Hangzhou 310027, China)

Abstract: Aiming at the synchronization problem of multi-axis servo system in motion control field, a control strategy based on EtherCAT distributed clock was proposed. The EtherCAT distributed clock synchronization mechanism and its implementation process were studied. The errors of the interrupt signal in the SM mode and the DC mode were analyzed. The high-precision synchronization signal with the error less than 10 ns was obtained in the DC mode. A servo control platform based on LAN9252 and ARM with synchronization function was built. The synchronization algorithm architecture of the servo system was realized by using the synchronization signals generated by the EtherCAT slave station in the DC mode to synchronize the timer of the position loop, the speed loop and the current PWM loop. Experimental verification was performed on a two-axis system. The experimental results show that the system has better reliability and real-time, and can achieve accurate synchronization between slave stations.

Keywords: servo control system; EtherCAT; LAN9252; distributed clock; clock synchronization

在多轴伺服系统中, 未同步时, 各系统的时钟基准来源于本地晶振。开机时刻的偏差以及各个伺服晶振不同而产生的时钟漂移, 会造成伺服运行节拍上的差别, 无法满足精确同步的要求。在具体应用场合中, 如报业印刷机的多轴驱动系统, 要实现高精度的多轴同步驱动。卷筒纸报业印刷机, 采用多色顺序连续印刷的方式。各个色组由独立的伺服电机驱动, 要实现高速运行时的高精度位置同步, 需要采用具有同步功能的现场总线, 来实现原来需要机械长轴才能实现的同步^[1]。

德国自动化控制公司倍福 (Beckhoff) 于 2003 年

提出了基于标准以太网的 EtherCAT 总线技术。该技术具有系统配置简单、拓扑结构灵活、传输速率高效、实时性高且低成本的优势, 同时其分布式时钟 (distributed clock, DC) 机制可以同步所有支持该机制的从站时钟, 使得从站节点之间时钟抖动远小于 1 μs ^[2]。课题组针对 EtherCAT 的分布时钟机制进行分析, 并基于 LAN9252 从站控制器芯片设计二轴系统验证 EtherCAT 同步性能。

1 EtherCAT 技术简介

EtherCAT 协议使用类型为 0x88A4 的以太网数据帧, 可以同其它类型的以太网数据帧在同一网络上进

收稿日期: 2019-01-03; 修回日期: 2019-06-06

第一作者简介: 崔海彬 (1993), 男, 黑龙江海伦人, 硕士研究生, 主要研究方向为电机控制。E-mail: 18868113881@163.com

行传输。一个 EtherCAT 数据帧可以包含多个 EtherCAT 子报文,利用以太网全双工的特性, EtherCAT 数据得以进行高效交换,数据利用率达 90% 以上^[3]。

EtherCAT 系统采用主从式结构,其运行原理如图 1 所示,主站根据协议创建以太网帧并将其向下发送给各个从站。当数据帧通过一个从站节点时,从站识别数据帧中所含命令,在数据帧中读取输出数据,并将输入数据插入到数据帧,同时修改工作计数器 (working counter, WKC) 的值,用来说明该从站已处理数据帧。然后将该数据帧传输到下一个从站,以此类推。当数据帧流经最后一个从站后,该从站又将处理过的数据帧向上返回,并且由第 1 个从站发送给主站。主站接收到返回的数据帧并进行处理,比较其中的 WKC 值和预期 WKC 值,判断从站是否成功读写,进而完成一次通信过程。在一个通信周期过程,从站对数据帧的处理完全由硬件实现,所以延时很短,约为 100 ~ 500 ns,这在很大程度上保证了 EtherCAT 的实时性^[4]。

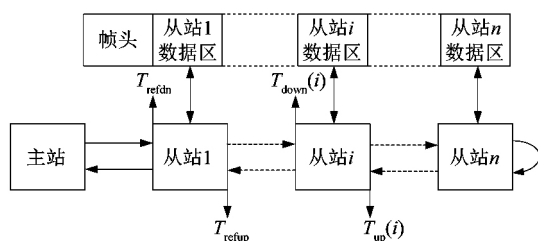


图 1 EtherCAT 通信原理

Figure 1 Communication principle of EtherCAT

2 EtherCAT 同步方式及实现

EtherCAT 一共有 3 种同步方式: 自由运行 (FreeRun) 模式、同步管理器事件 (SM) 模式和分布时钟 (DC) 模式。

在 FreeRun 模式中,每个从站根据各自的定时中断采用查询的方式来处理 EtherCAT 数据,和主站的通信周期、其它从站的运行周期以及数据帧到达时间均无关,主从站之间没有同步关系。

在 SM 模式中,当从站接收到主站发送的 EtherCAT 数据帧时,会产生 IRQ 脉冲信号触发 SM 事件中断,从站进入中断对数据帧进行处理。如图 2 所示,在一些庞大的系统中,由于线路传输延时和从站处理数据帧的延时,每个从站接收到数据帧的时间都是不同的,位置越靠后的从站接收到数据帧的时间越晚,从而无法达到精确的同步,所以该模式适合有同步要

求但要求不高的场合。

在 DC 模式中,通常选择主站连接的首个具有分布时钟功能的从站作为参考从站,其时钟作为参考时钟用来同步其它从站和主站时钟。通过主站配置同步周期时间,可以实现所有 DC 从站同步产生 Sync0 信号触发中断,如图 2 所示,在中断中可以进行驱动输出或者输入锁存信号,适用于对同步要求较高的场合^[5]。

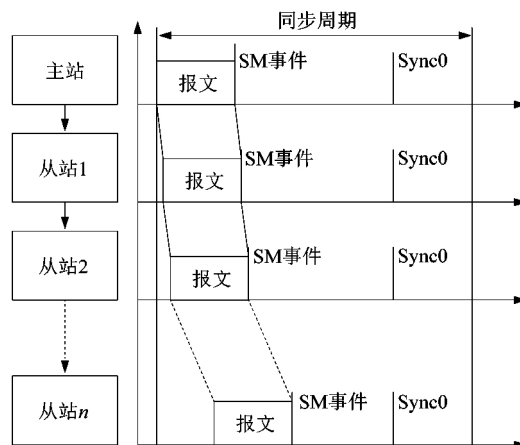


图 2 SM 事件中断和 Sync0 信号中断示意图

Figure 2 Schematic diagram of SM event interrupt and Sync0 signal interrupt

EtherCAT 的 DC 同步算法包含 2 部分,在分布时钟同步过程中,参考时钟与其它从站时钟在系统启动时由于上电时间不同等原因存在一定的差值,称之为系统时间偏移 T_{offset} 。EtherCAT 数据帧在线路之间传输以及从站处理数据所需的时间,称为传输延时 T_{dly} 。这两者在系统初始化时主站通过发送和接收数据帧并进行计算实现静态补偿。另外,由于各个从站使用的晶振不同等原因,它们的时钟随时间推移存在一定差异,称为系统时间漂移 T_{drift} ,需要主站发送数据帧进行动态补偿^[6]。

在进行时钟补偿计算之前需要进行以下假设:所有从站处理和转发报文时间相同;两个从站之间线路上的传播延时相同。在 DC 同步模式中,定义每个从站的本地时钟为 $T(i)$ 。当数据帧到达从站时,从站会保存每个端口接收到数据帧前导符第 1 位的时刻。其中,到达参考从站的时刻定义为 T_{refdn} ,到达第 i 个从站的时刻定义为 $T_{\text{down}}(i)$,则根据上述 T_{offset} 和 T_{dly} 的定义,有以下关系:

$$T(i) = T_{\text{refdn}} + T_{\text{offset}}(i); \quad (1)$$

$$T_{\text{down}}(i) = T_{\text{refdn}} + T_{\text{offset}}(i) + T_{\text{dly}}(i)。 \quad (2)$$

当数据帧流经所有从站并返回到第 i 个从站的时刻定义为 $T_{up}(i)$ 返回到参考从站的时刻定义为 T_{refup} , 同样有以下关系:

$$T_{refup} = T_{up}(i) - T_{offset}(i) + T_{dly}(i) \quad (3)$$

根据式(2)和式(3),由数据帧流经参考从站和某一从站的4个时刻,可以计算出参考从站到该从站的传输延时 T_{dly} ,关系如下:

$$T_{dly}(i) = [(T_{refup} - T_{refdn}) - (T_{up}(i) - T_{down}(i))] / 2 \quad (4)$$

然后再由式(2)可得从站 i 相对于参考时钟的系统时间偏移 T_{offset} :

$$T_{offset}(i) = T_{down}(i) - T_{refdn} - T_{dly}(i) \quad (5)$$

参考时钟与经过补偿之后的从站时钟比较,即可得到该从站时钟的动态漂移:

$$\Delta t = T_{refdn} - [T(i) - T_{offset}(i) - T_{dly}(i)] \quad (6)$$

如果 $\Delta t > 0$ 表示本地时钟 $T(i)$ 比参考时钟运行的慢,需要加快其运行,反之则需要减慢其运行,以实现从站时钟的动态补偿。

整个分布时钟实现过程如图3所示。首先,主站采用顺序寻址方式 APRD 遍历所有从站功能支持寄存器,检查从站是否支持分布时钟。然后读取数据链路层状态寄存器,检测从站的端口状态,得到 EtherCAT 网络拓扑。

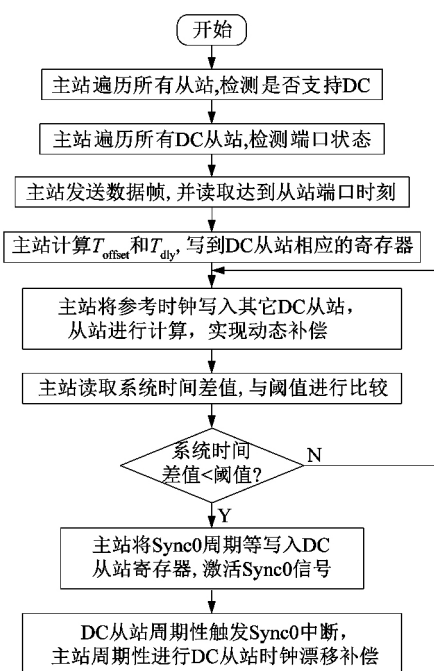


图3 EtherCAT 分布时钟实现流程图

Figure 3 Implementation flowchart of EtherCAT DC
主站采用广播写寻址方式 BWR 发送数据帧,在

DC 从站接收到数据帧前导符第 1 位时,将本地时钟写入端口接收时间寄存器,并在下一个通信周期被读取。主站根据式(4)可以计算出参考从站到从站 i 的传输延时 $T_{dly}(i)$,又根据式(5)可以计算出从站 i 相对于参考从站的时间偏移 $T_{offset}(i)$,并通过 APWR 寻址方式将 $T_{dly}(i)$ 写入从站的系统时间延时寄存器,将 $T_{offset}(i)$ 写入从站的系统时间偏移寄存器。之后,主站采用 ARMW 寻址方式读取参考从站系统时间,并将其写入其它所有 DC 从站的系统时间寄存器,从站时钟再根据式(6)计算时钟漂移,调整本地时钟运行速度。并且主站不断读取从站的系统时间差值寄存器,如果小于所设定的阈值,则将 Sync0 周期时间写入寄存器,将 Sync0 起始时间写入寄存器,并激活 Sync0 同步信号。至此,DC 从站以设定的周期同步产生 Sync0 信号,该信号常用作微控制器的外部中断^[7]。

3 EtherCAT 接口及硬件设计

课题测试平台采用 1 个主站和 2 个从站,使用普通 PC 下倍福公司开发的 TwinCAT 组态软件作为主站,从站协议控制器(ESC)采用 Microchip 公司 LAN9252 芯片,实现 EtherCAT 物理层和数据链路层通信,从站微控制器采用 ST 公司 STM32F407ZGT6 芯片,实现应用层。

LAN9252 芯片内部集成了 2 个以太网 PHY,每个以太网 PHY 包含 1 个全双工 100BASE-TX 收发器且支持 100 Mbit/s(100BASE-TX)工作速率;具有 4 kbit 双端口存储器(DPRAM)、3 个现场总线存储器管理单元(FMMU)和 4 个同步管理器(SyncManager);支持 16 位数字量 IO 接口、SPI 串行通信接口和 8/16 位主机总线接口共 3 种过程数据接口。课题组采用 16 位宽的灵活静态存储寄存器(FSMC)接口实现微控制器和 ESC 之间的数据传输。FSMC 是 STM32 系列芯片的一种主机总线接口技术,能够连接同步、异步存储器和 16 位 PC 存储卡,相比传统的 SPI 接口速度更快,对应用程序的负荷更小。整个 EtherCAT 系统框图如图 4 所示,PC 端与 ESC 采用网线连接。EEPROM 通过 I2C 接口与 ESC 连接,EEPROM 内部存放从站配置信息(ESI),一般为 XML 格式文件,主要包含对象字典和过程数据映射等信息;对象字典中包含数据的名称、类型、长度和读写权限等信息;过程数据映射包含数据的输入输出配置。例如,给定转速配置类型为 INT32,只读输出映射。为实现主从站之间的成功通信,这些从站配置信息需要与微控制器程序相对应。主站设备在扫描从站时,会读取 EEPROM,完成对从站的初始配

置。在每个通信周期,主站向从站下发指令或读取数据,ESC根据时钟周期产生 Sync0 信号,该信号配置为微控制器的外部中断信号。微控制器另外和驱动部分连接,实现伺服驱动功能,电机采用带有位置编码器的永磁同步电机,控制方式为矢量控制。图5所示为从站部分实物。

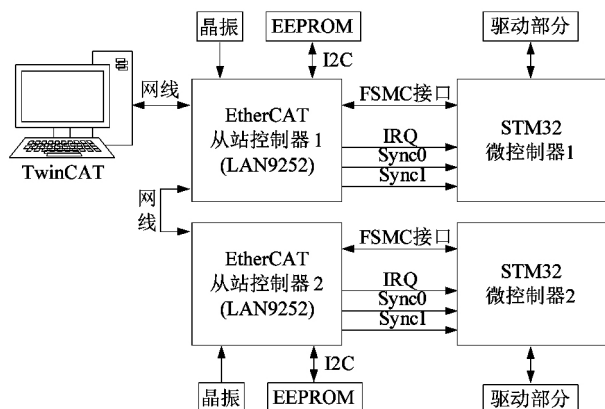


图4 EtherCAT 硬件系统框图

Figure 4 Block diagram of EtherCAT hardware system

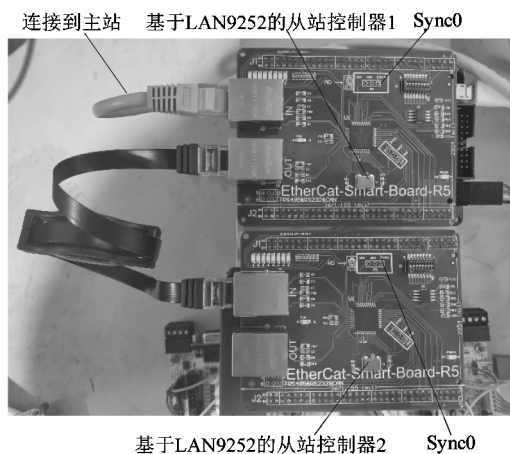


图5 EtherCAT 从站实验平台

Figure 5 Experimental platform of EtherCAT slave station

4 两轴伺服系统同步设计

伺服系统电流环、位置速度环和ADC等进程都基于本地的定时器,对多轴伺服系统而言,要求各控制器的PWM周期相同,位置速度和电流环执行时间一致。因为各独立系统的定时器的运行频率相对于DC或快或慢,会使得关键进程的中断无法同步,所以不同微控制器的本地定时器的同步尤为重要。基于搭建的硬件平台,课题组在2个独立的伺服控制系统中引入 Sync0 信号,实现伺服系统时钟的同步。其同步机制时序图如图6所示。

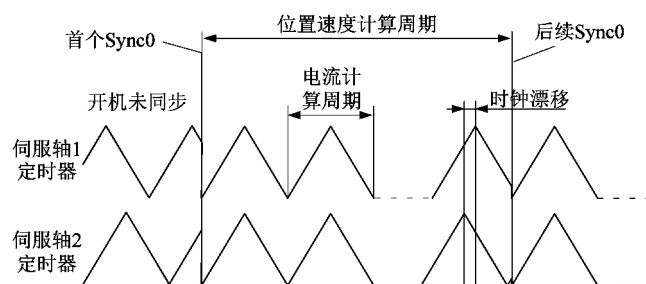


图6 伺服轴定时器同步示意

Figure 6 Synchronization of servo axis timer

系统初始化过后,在首个 Sync0 信号到来时,清零系统的定时器,消除开机同步误差。Sync0 信号周期设置为 PWM 周期的整数倍,如 10 倍。这样当后续的 Sync0 信号到来时,继续将 2 个伺服轴定时器清零。由于该时刻两定时器计数值都接近于 0 且误差很小,这种方案可以在不扰乱定时器周期中断的情况下,消除时钟漂移。另外,在后续 Sync0 信号到来时,执行位置速度环计算,以同步两伺服轴位置速度环执行时间。

本课题中 2 个伺服系统具有相同的软件结构,高级定时器 TIM8 采用增减计数模式,输出中心对齐的 PWM 波形,综合 IGBT 的开关损耗和电流控制精度和噪声,PWM 频率选择为 10 kHz。DC 周期设置为 1 ms,即一个 Sync0 信号周期包含 10 个 PWM 周期。电流环的时间常数较小,电流 PID 调节的控制周期,与 PWM 同频,为 10 kHz;而位置速度闭环,是机械时间常数,大于电气的时间常数。可按 PWM 频率 10 倍分频来进行位置和速度的 PID 控制,即位置速度环执行频率为 1 kHz。利用一个周期为 10 的软件计数器 Counter 对 TIM8 的中断次数计数,当其为 0 时进行位置和速度环计算。

系统主要中断程序流程图如图7所示,包含 Sync0 外部中断和 TIM8 周期中断。TIM8 周期中断作为三闭环执行的时间基准,是伺服控制的基本控制中断,每次进入该中断,判断中断次数计数器 Counter 为 0 时执行位置速度环计算,然后递增 Counter,当 Counter 值为 10 时将其清零,电流环则每次中断都计算。Sync0 中断实现各个从站间的同步,Sync0 信号到来时各从站同步进入中断,首先,将定时器计数器 TIM8_CNT 清零,对系统时钟进行动态补偿;其次,对 Counter 进行清零,这样在下一个 TIM8 周期中断中判断 Counter 为 0 即执行位置速度环计算,实现了各伺服轴之间位置速度环执行的同步;最后,微控制器在用户程序中进行 EtherCAT 数据交换,将给定位置等信息赋值给控制程

序参数,并采样上传实际位置等本地数据。Sync0 中断通过清零 TIM8 定时器 TIM8_CNT 和中断次数计数器 Counter,传递同步信号到 TIM8 的中断同步,实现了 3 个闭环的完全同步。另外,当 ESC 正常发送 Sync0 信号到微控制器时,该算法实现了从站间的同步;若 Sync0 信号丢失,各伺服轴则按非同步的单轴模式运行。

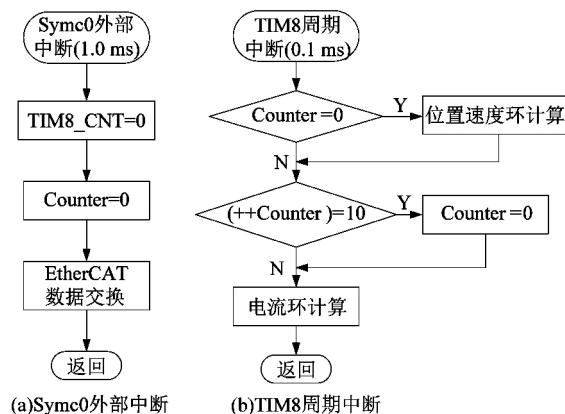


图7 伺服系统中断程序流程

Figure 7 Interrupt routine flowchart of servo system

5 实验及数据分析

通过 TwinCAT 软件配置 2 个从站的运行模式为 SM 同步模式,主从站通信频率配置为 1 kHz。用示波器采集 IRQ 信号波形,结果如图 8 所示,通道 CH1 为从站 1 输出波形,CH2 为从站 2 输出波形。经多次试验得出从站 2 的 IRQ 信号滞后从站 1 约 750 ns。

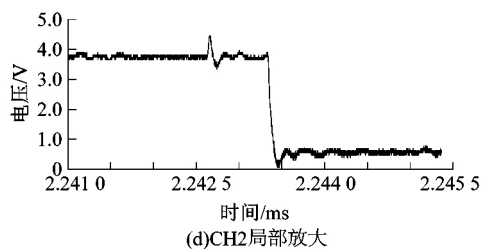
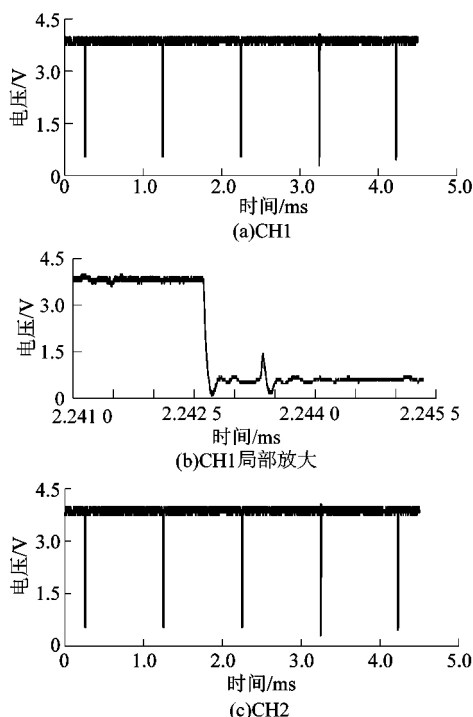


图8 SM 同步模式下 IRQ 信号波形

Figure 8 IRQ signal waveform in

SM synchronous mode

再配置 2 个从站运行在 DC 同步模式,同步信号频率为 1 kHz。用示波器采集 Sync0 信号波形,结果如图 9 所示。经多次测量二者的差值在 ± 10 ns 以内。

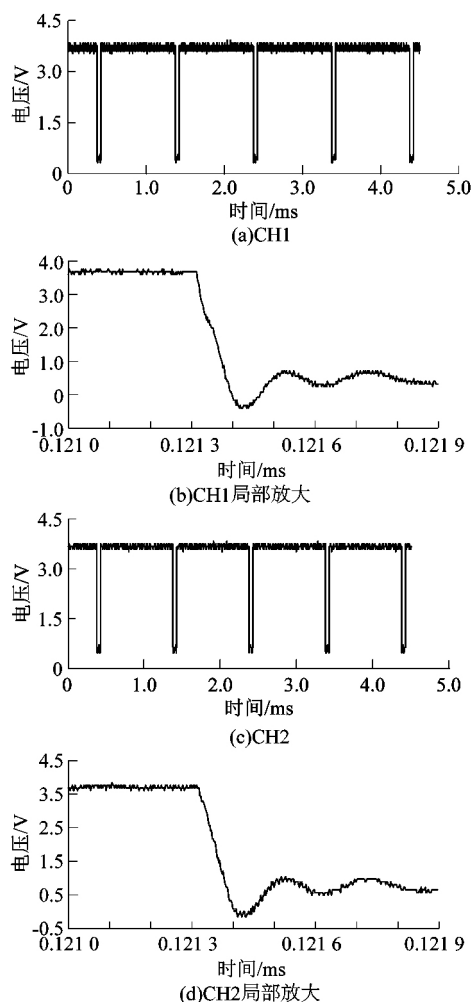


图9 DC 同步模式下 Sync0 信号波形

Figure 9 Sync0 signal waveform in

DC synchronous mode

在程序主循环中,采用 DAC 将 TIM8 计数器的实时值输出,示波器捕获 2 个系统的 DAC 输出在未同步时结果及同步后的 DAC 输出结果如图 10 所示。并捕

获 Sync0 信号和同步后的其中一个系统的 DAC 输出, 其波形图如图 11 所示。

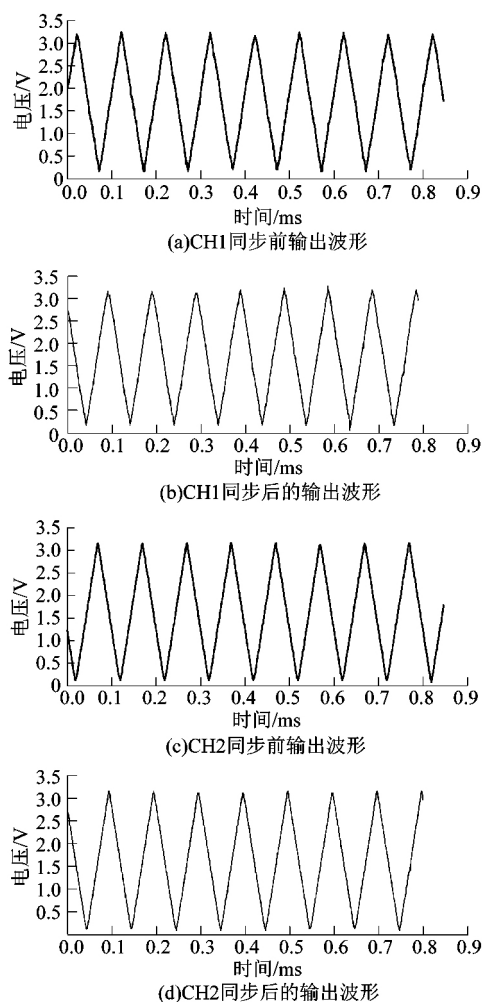


图 10 两系统的 DAC 输出波形

Figure 10 DAC output waveform of two system

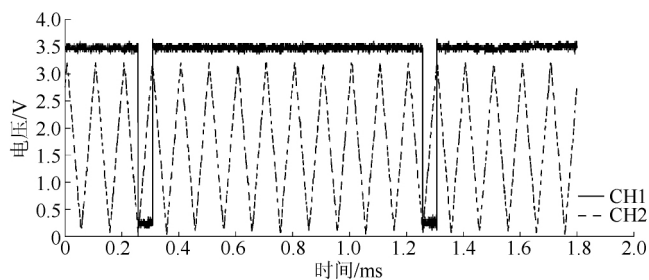


图 11 系统的 DAC 输出与 Sync0 信号波形图

Figure 11 Waveform of DAC output and Sync0 signal

6 结论

课题组介绍了 EtherCAT 原理,着重分析了 EtherCAT 分布时钟同步机制,并设计搭建了基于 EtherCAT 分布时钟的伺服控制系统。设计了算法流程,实现了同步信号 Sync0 到伺服环的同步。经过实验验证, EtherCAT 具有较好的可靠性和实时性,能够实现从站间的精确同步。

参考文献:

- [1] 周炎涛,张舜,黄庆,等.基于 EtherCAT 多轴伺服运动控制系统的同步性能研究[J].科技导报 2012 30(增刊1):56.
- [2] 陈灏,宋宝,唐小琦. EtherCAT 精确时钟同步技术的实现[J].组合机床与自动化加工技术 2014(5):69.
- [3] 阮倩茹,王辉,施大发,等.基于 EtherCAT 的高性能交流伺服控制系统设计[J].科技导报 2010 28(20):59.
- [4] 左振领,何方,李霄.基于 STM32 的 EtherCAT 从站的设计与实现[J].组合机床与自动化加工技术 2016(7):1-3.
- [5] 党选举,刘亚平,姜辉,等. EtherCAT 从站设计及精确时钟同步技术研究[J].测控技术 2017 36(2):101.
- [6] 俞士磊,樊留群,夏斌,等. EtherCAT 时钟同步技术的研究与应用[J].制造业自动化 2013 35(12):119.
- [7] 刘辉,林威,王培盛,等. EtherCAT 时钟同步技术研究[J].计算机测量与控制 2014 22(11):3776.

[信息·简讯]

· 行业简讯 ·

西门子 MindSphere 生态系统在华初具规模

西门子在今年 7 月 26 日举办的 MindSphere 合作伙伴峰会北京站上与 11 家企业签署合作协议,共同打造以 MindSphere 为核心平台的工业物联网生态系统,以满足更多中国工业企业在数字化转型过程中的不同需求。

“自 MindSphere 落地中国市场以来,西门子不断加大投入,致力于打造一个生长于中国市场、服务于中国市场,包含终端用户、OEM 以及 APP 开发者的工业物联网生态系统。”西门子(中国)有限公司执行副总裁、西门子大中华区数字化工业集团总经理王海滨表示,“西门子在数字化领域的先进技术和行业专长以及 MindSphere 开放的平台前景为合作伙伴注入了信心。我们期待更多合作伙伴的加入,共同赋能中国工业的数字化转型。”

在此次峰会上,西门子还向现场近 100 家潜在行业合作伙伴和客户介绍了即将在中国市场发布的 MindSphere 合作伙伴计划。利用 MindSphere,企业能够以可持续和经济的方式实现资产管理和数据管理,以适合自己的便捷的数字化工具,加速数字化转型进程。

(张 争)