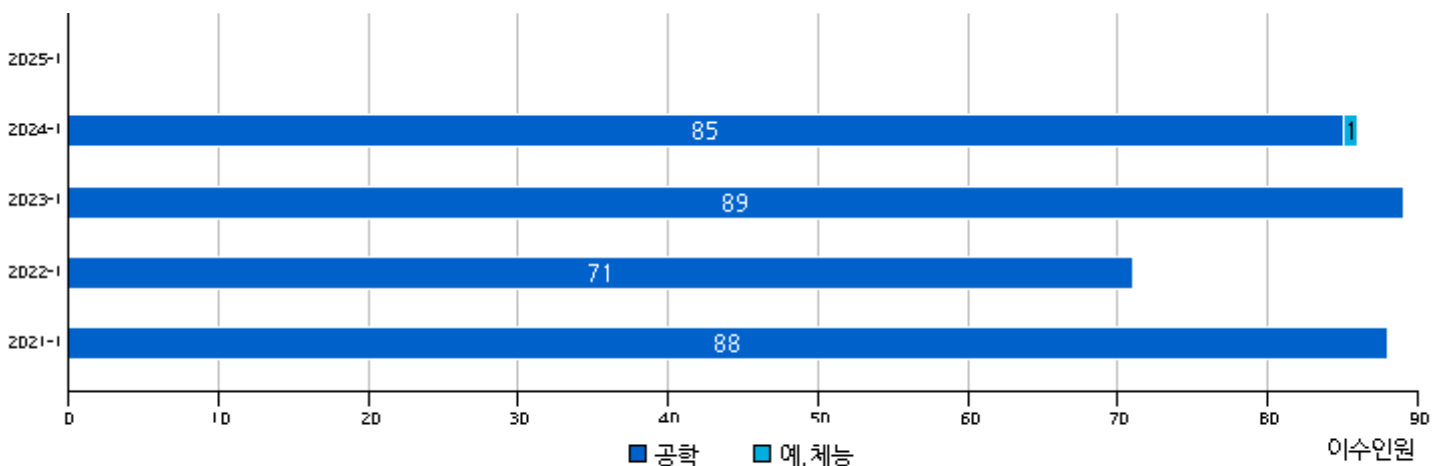
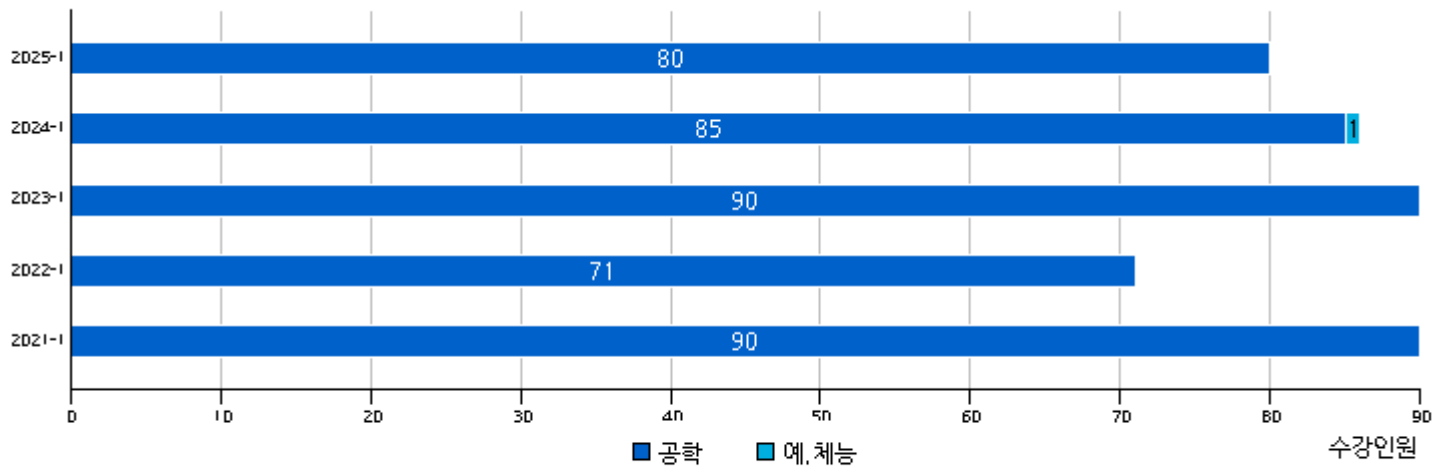
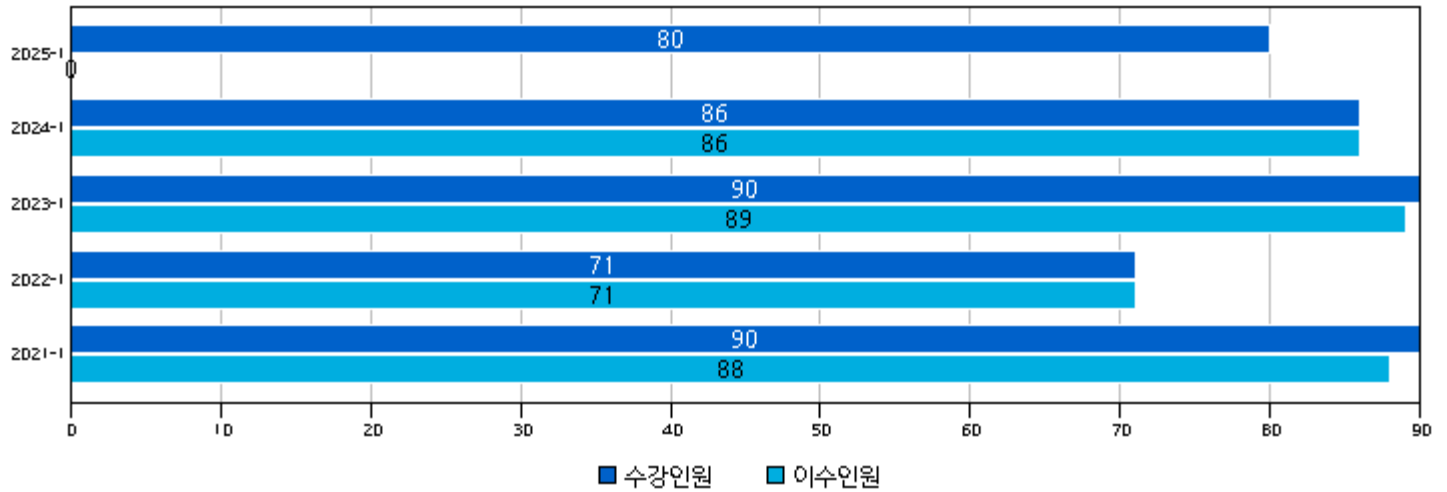


# 교과목 포트폴리오 (ITE4003 SOC설계)

## 1. 교과목 수강인원



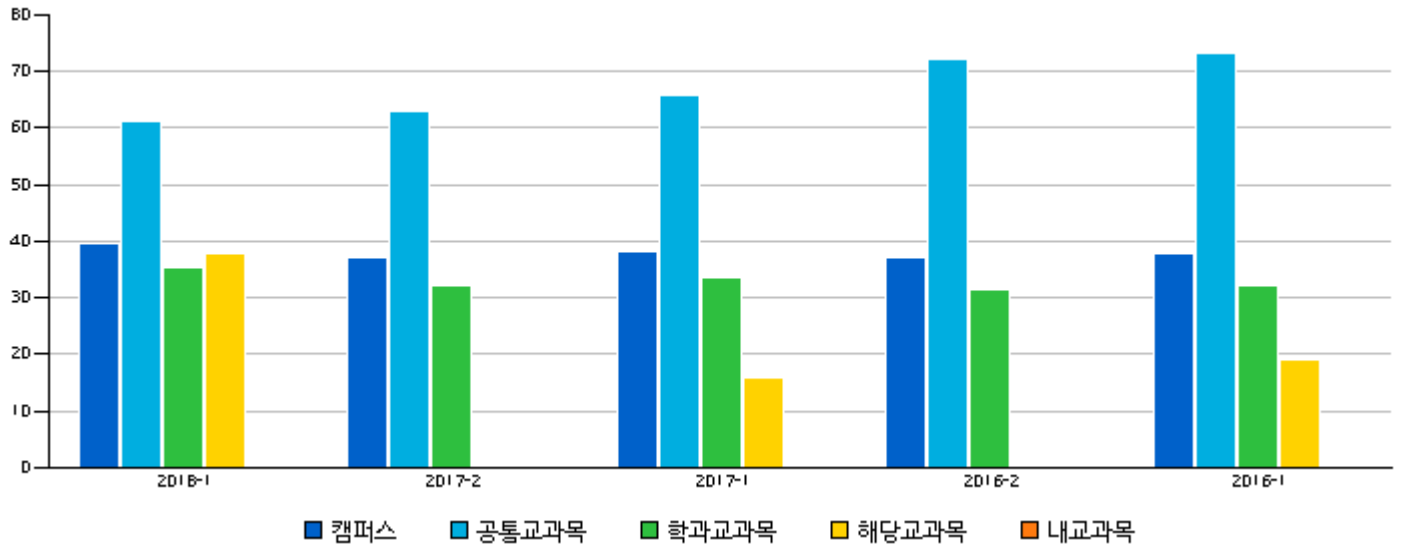
## 교과목 포트폴리오 (ITE4003 SOC설계)

수업년도	수업학기	계열구분	수강인원	이수인원
2021	1	공학	90	88
2022	1	공학	71	71
2023	1	공학	90	89
2024	1	공학	85	85
2024	1	예,체능	1	1
2025	1	공학	80	0



# 교과목 포트폴리오 (ITE4003 SOC설계)

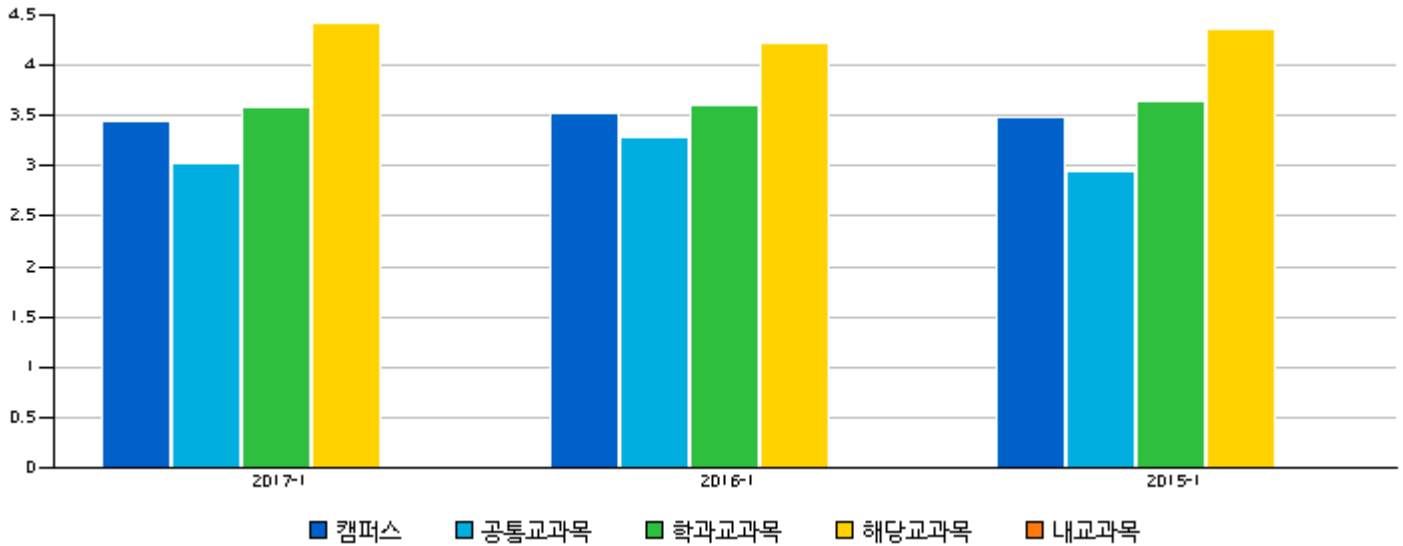
## 2. 평균 수강인원



수업년도	수업학기	캠퍼스	공통교과목	학과교과목	해당교과목	내교과목
2018	1	39.54	61.09	35.36	38	
2017	2	37.26	63.09	32.32		
2017	1	38.26	65.82	33.5	16	
2016	2	37.24	72.07	31.53		
2016	1	37.88	73.25	32.17	19	

# 교과목 포트폴리오 (ITE4003 SOC설계)

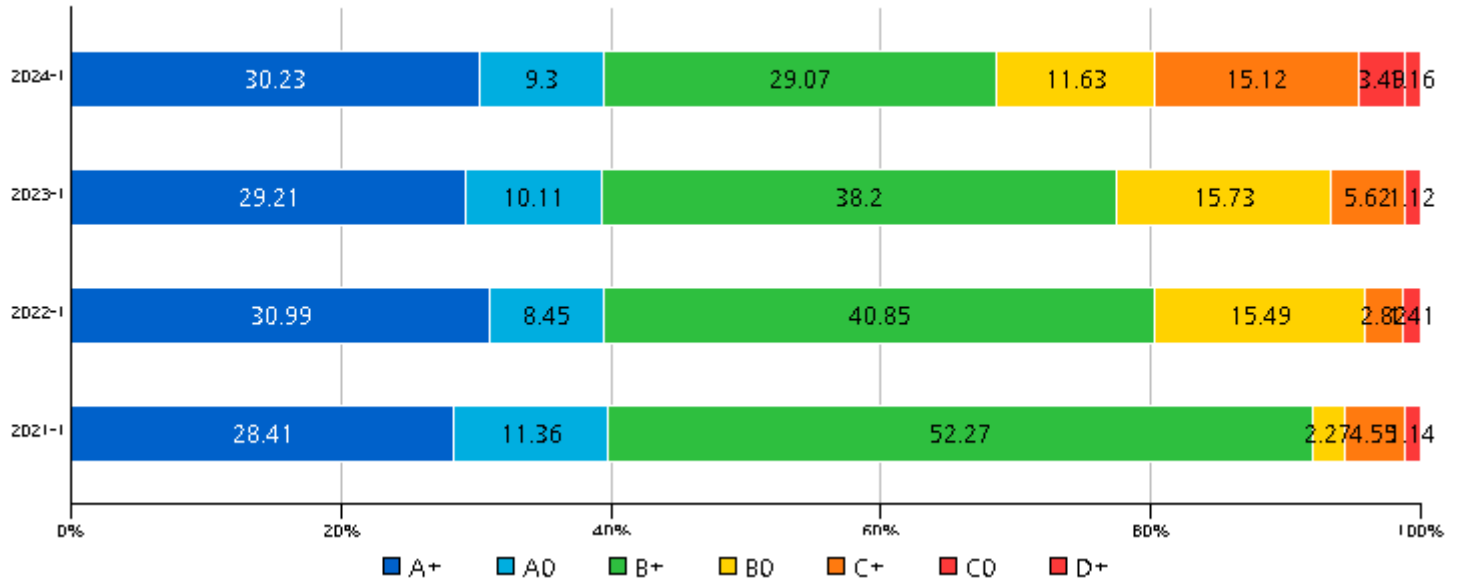
## 3. 성적부여현황(평점)



수업년도	수업학기	캠퍼스	공통교과목	학과교과목	해당교과목	내교과목
2017	1	3.44	3.02	3.58	4.43	
2016	1	3.52	3.29	3.61	4.22	
2015	1	3.49	2.94	3.64	4.36	

# 교과목 포트폴리오 (ITE4003 SOC설계)

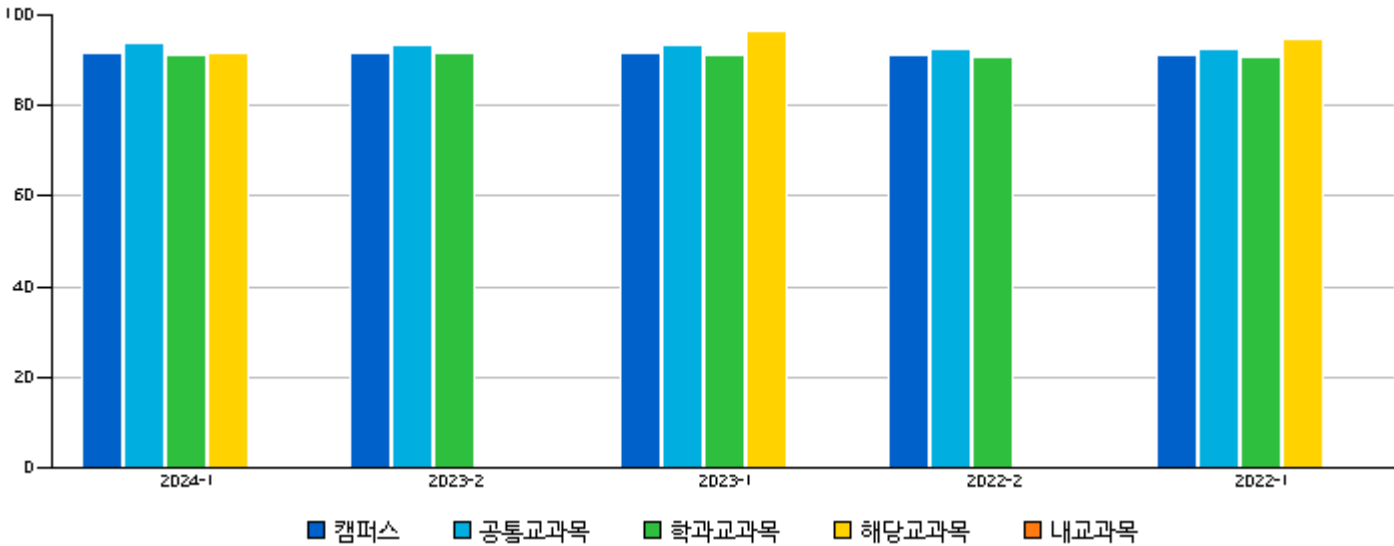
## 4. 성적부여현황(등급)



수업년도	수업학기	등급	인원	비율	수업년도	수업학기	등급	인원	비율
2021	1	A+	25	28.41	2024	1	B+	25	29.07
2021	1	A0	10	11.36	2024	1	B0	10	11.63
2021	1	B+	46	52.27	2024	1	C+	13	15.12
2021	1	B0	2	2.27	2024	1	C0	3	3.49
2021	1	C+	4	4.55	2024	1	D+	1	1.16
2021	1	C0	1	1.14					
2022	1	A+	22	30.99					
2022	1	A0	6	8.45					
2022	1	B+	29	40.85					
2022	1	B0	11	15.49					
2022	1	C+	2	2.82					
2022	1	C0	1	1.41					
2023	1	A+	26	29.21					
2023	1	A0	9	10.11					
2023	1	B+	34	38.2					
2023	1	B0	14	15.73					
2023	1	C+	5	5.62					
2023	1	C0	1	1.12					
2024	1	A+	26	30.23					
2024	1	A0	8	9.3					

# 교과목 포트폴리오 (ITE4003 SOC설계)

## 5. 강의평가점수



수업년도	수업학기	캠퍼스	공통교과목	학과교과목	해당교과목	내교과목
2024	1	91.5	93.79	91.1	91.5	
2023	2	91.8	93.15	91.56		
2023	1	91.47	93.45	91.13	96.5	
2022	2	90.98	92.48	90.7		
2022	1	90.98	92.29	90.75	94.5	

# 교과목 포트폴리오 (ITE4003 SOC설계)

## 6. 강의평가 문항별 현황

번호	평가문항	본인 평 균 (가중 치적용)	소속학과, 대학평균과의 차이 (+초과, -:미달)				점수별 인원분포				
							매우 그렇 지않 다	그 렇 지않 다	보통 이다	그 렇 다	매우 그 렇 다
		5점 미만	학과		대학		1점	2점	3점	4점	5점
교강사:			차이	평균	차이	평균					

No data have been found.

## 7. 개설학과 현황

학과	2025/1	2024/1	2023/1	2022/1	2021/1
융합전자공학부	2강좌(8학점)	2강좌(8학점)	2강좌(8학점)	2강좌(8학점)	2강좌(8학점)

## 8. 강좌유형별 현황

강좌유형	2021/1	2022/1	2023/1	2024/1	2025/1
일반	2강좌(90)	2강좌(71)	2강좌(90)	2강좌(86)	2강좌(80)

## 9. 교과목개요

교육과정	관장학과	국문개요	영문개요	수업목표
학부 2024 - 2027 교육과정	서울 공과대학 융합전자공학부	<p>Digital논리회로, 반도체회로, VLSI공학을 이수한 학생들이 가진 하드웨어 지식을 바탕으로 HDL(Hardware Description Language)에 관한 언어 정의와 그를 사용한 각종 회로 설계기법에 관하여 강의한다.</p> <p>HDL의 Syntax구조와 그 Compile 과정에 필요한 각종 최적 알고리즘 (예를 들어 2단 및 다단 합성 최적화, 상태할당기법 등)과 Functional simulation방법등을 설명한다, Lexical Analysis, Parsing, Code Optimizing 과정을 설명한다</p> <p>Verilog 언어 Syntax를 설명하고 구문 작성법을 소개한다. 하드웨어가 갖는 병렬성, 시간성 등의 개념이 포함된다</p> <p>SystemC 언어의 특징을 설명하고 TLM(Transaction Level Modeling)개념을 설명한다</p> <p>SoC설계에 기초가 되는 Device Driver 등 Embedded S/W개념을 습득시킨다</p>	<p>A specified HDL(Hardware description Language)Syntax is introduced and a general CISC CPU architecture is implemented to be described using the HDL.</p> <p>Some prerequisite subjects such as Digital Logic, Semiconductor theory and VLSI Engineering are recommended (not necessarily)</p> <p>Syntax structure of HDL's is analyzed and explained the compiling processes composed of Lexical Analyzer, Parser and Code Optimizer etc.. Also optimum algorithm such as 2-level and Multilevel synthesis, State assignment algorithm which are used in compiler-compiler are explained. Principles of functional simulation is given.</p> <p>Verilog language syntax is explained and</p>	

# 교과목 포트폴리오 (ITE4003 SOC설계)

교육과정	관장학과	국문개요	영문개요	수업목표
			coded for many logic circuit as a training, but also discussed the concurrency and timing in the HDL itself SystemC, TLM(Transaction Level Modeling) and Device Driver principles are explained.	
학부 2020 - 2023 교육과정	서울 공과대학 융합전자공학부	<p>Digital논리회로, 반도체회로, VLSI공학을 이수한 학생들이 가진 하드웨어 지식을 바탕으로 HDL(Hardware Description Language)에 관한 언어 정의와 그를 사용한 각종 회로 설계기법에 관하여 강의한다.</p> <p>HDL의 Syntax구조와 그 Compile 과정에 필요한 각종 최적 알고리즘 (예를 들어 2단 및 다단 합성 최적화, 상태할당기법 등)과 Functional simulation방법등을 설명한다, Lexical Analysis, Parsing, Code Optimizing 과정을 설명한다</p> <p>Verilog 언어 Syntax를 설명하고 구문 작성법을 소개한다. 하드웨어가 갖는 병렬성, 시간성 등의 개념이 포함된다</p> <p>SystemC 언어의 특징을 설명하고 TLM(Transaction Level Modeling)개념을 설명한다</p> <p>SoC설계에 기초가 되는 Device Driver 등 Embedded S/W 개념을 습득시킨다</p>	<p>A specified HDL(Hardware description Language) Syntax is introduced and a general CISC CPU architecture is implemented to be described using the HDL.</p> <p>Some prerequisite subjects such as Digital Logic, Semiconductor theory and VLSI Engineering are recommended (not necessarily)</p> <p>Syntax structure of HDL's is analyzed and explained the compiling processes composed of Lexical Analyzer, Parser and Code Optimizer etc.. Also optimum algorithm such as 2-level and Multilevel synthesis, State assignment algorithm which are used in compiler-compiler are explained. Principles of functional simulation is given.</p> <p>Verilog language syntax is explained and coded for many logic circuit as a training, but also discussed the concurrency and timing in the HDL itself SystemC, TLM(Transaction Level Modeling) and Device Driver principles are explained.</p>	
학부 2016 - 2019 교육과정	서울 공과대학 융합전자공학부	<p>Digital논리회로, 반도체회로, VLSI공학을 이수한 학생들이 가진 하드웨어 지식을 바탕으로 HDL(Hardware Description Language)에 관한 언어 정의와 그를 사용한 각종 회로 설계기법에 관하여 강의한다.</p> <p>HDL의 Syntax구조와 그 Compile 과정에 필요한 각종 최적 알고리즘 (예를 들어 2단 및 다단 합성 최적화, 상태할당기법 등)과 Functional simulation방법등을 설명한다, Lexical Analysis, Parsing, Code Optimizing 과정을 설명한다</p> <p>Verilog 언어 Syntax를 설명하고 구문 작성법을 소개한다. 하드웨어가 갖는 병렬성, 시간성 등의 개념이 포함된다</p> <p>SystemC 언어의 특징을 설명하고 TLM(Transaction Level Modeling)개념을 설명한다</p> <p>SoC설계에 기초가 되는 Device Driver 등 Embedded S/W 개념을 습득시킨다</p>	<p>A specified HDL(Hardware description Language) Syntax is introduced and a general CISC CPU architecture is implemented to be described using the HDL.</p> <p>Some prerequisite subjects such as Digital Logic, Semiconductor theory and VLSI Engineering are recommended (not necessarily)</p> <p>Syntax structure of HDL's is analyzed and explained the compiling processes composed of Lexical Analyzer, Parser and Code Optimizer etc.. Also optimum algorithm such as 2-level and Multilevel synthesis, State assignment algorithm which are used in compiler-compiler are explained. Principles of functional simulation is given.</p> <p>Verilog language syntax is explained and coded for many logic circuit as a training, but also discussed the concurrency and timing in the HDL itself SystemC, TLM(Transaction Level Modeling) and Device Driver principles are</p>	



# 교과목 포트폴리오 (ITE4003 SOC설계)

교육과정	관장학과	국문개요	영문개요	수업목표
학부 2013 - 2015 교육과정	서울 공과대학 융합전자공학부	<p>Digital논리회로, 반도체회로,VLSI공학을 이수한 학생들이 가진 하드웨어 지식을 바탕으로 HDL(Hardware Description Language)에 관한 언어 정의와 그를 사용한 각종 회로 설계기법에 관하여 강의한다.</p> <p>HDL의 Syntax구조와 그 Compile 과정에 필요한 각종 최적 알고리즘 (예를 들어 2단 및 다단 합성 최적화, 상태할당기법 등)과 Functional simulation방법등을 설명한다, Lexical Analysis, Parsing, Code Optimizing 과정을 설명한다</p> <p>Verilog 언어 Syntax를 설명하고 구문 작성법을 소개한다. 하드웨어가 갖는 병렬성, 시간성들의 개념이 포함된다</p> <p>SystemC 언어의 특징을 설명하고 TLM(Transaction Level Modeling)개념을 설명한다</p> <p>SoC설계에 기초가 되는 Device Driver 등 Embedded S/W개념을 습득시킨다</p>	<p>explained.</p> <p>A specified HDL(Hardware description Language)Syntax is introduced and a general CISC CPU architecture is implemented to be described using the HDL.</p> <p>Some prerequisite subjects such as Digital Logic, Semiconductor theory and VLSI Engineering are recommended (not necessarily)</p> <p>Syntax structure of HDL's is analyzed and explained the compiling processes composed of Lexical Analyzer, Parser and Code Optimizer etc.. Also optimum algorithm such as 2-level and Multilevel synthesis, State assignment algorithm which are used in compiler-compiler are explained. Principles of functional simulation is given.</p> <p>Verilog language syntax is explained and coded for many logic circuit as a training, but also discussed the concurrency and timing in the HDL itself SystemC, TLM(Transaction Level Modeling) and Device Driver principles are explained.</p>	
학부 2009 - 2012 교육과정	서울 공과대학 융합전자공학부	<p>Digital논리회로, 반도체회로,VLSI공학을 이수한 학생들이 가진 하드웨어 지식을 바탕으로 HDL(Hardware Description Language)에 관한 언어 정의와 그를 사용한 각종 회로 설계기법에 관하여 강의한다.</p> <p>HDL의 Syntax구조와 그 Compile 과정에 필요한 각종 최적 알고리즘 (예를 들어 2단 및 다단 합성 최적화, 상태할당기법 등)과 Functional simulation방법등을 설명한다, Lexical Analysis, Parsing, Code Optimizing 과정을 설명한다</p> <p>Verilog 언어 Syntax를 설명하고 구문 작성법을 소개한다. 하드웨어가 갖는 병렬성, 시간성들의 개념이 포함된다</p> <p>SystemC 언어의 특징을 설명하고 TLM(Transaction Level Modeling)개념을 설명한다</p> <p>SoC설계에 기초가 되는 Device Driver 등 Embedded S/W개념을 습득시킨다</p>	<p>A specified HDL(Hardware description Language)Syntax is introduced and a general CISC CPU architecture is implemented to be described using the HDL.</p> <p>Some prerequisite subjects such as Digital Logic, Semiconductor theory and VLSI Engineering are recommended (not necessarily)</p> <p>Syntax structure of HDL's is analyzed and explained the compiling processes composed of Lexical Analyzer, Parser and Code Optimizer etc.. Also optimum algorithm such as 2-level and Multilevel synthesis, State assignment algorithm which are used in compiler-compiler are explained. Principles of functional simulation is given.</p> <p>Verilog language syntax is explained and coded for many logic circuit as a training, but also discussed the concurrency and timing in the HDL itself SystemC, TLM(Transaction Level Modeling) and Device Driver principles are explained.</p>	
학부 2009 - 2012 교육과정	서울 공과대학 컴퓨터공학부	<p>집적회로의 고속 동작과 고집적으로 인한 회로 설계상의 문제점, 특히 고속회로에서의 노이즈 및 타이밍 문제에 대해 이론적으로 해석하고 이</p>	<p>ITE403 Computer-Aided Design</p> <p>This course introduces the development methodologies of computer aids for</p>	

# 교과목 포트폴리오 (ITE4003 SOC설계)

교육과정	관장학과	국문개요	영문개요	수업목표
		를 극복하기 위한 설계기법을 강의한다. 또한 컴퓨터를 사용하여 회로를 설계하고 해석하는데 필요한 기본적인 CAD 알고리즘에 대해서 강의하고, 다양한 Tool 활용 실습을 병행한다.	integrated circuit design. Topics include the state-of-the-art techniques and both the theoretical basis for the methods as well as the application of results to practical problems, including details of implementation. Topics to be covered include simulation, layout techniques, synthesis, verification, testing, and integrated design systems. Students are required to complete the term project.	
학부 2005 - 2008 교육과정	서울 공과대학 정보통신학부 미디어통신공학전공	집적회로의 고속 동작과 고집적으로 인한 회로 설계상의 문제점, 특히 고속회로에서의 노이즈 및 타이밍 문제에 대해 이론적으로 해석하고 이를 극복하기 위한 설계기법을 강의한다. 또한 컴퓨터를 사용하여 회로를 설계하고 해석하는데 필요한 기본적인 CAD 알고리즘에 대해서 강의하고, 다양한 Tool 활용 실습을 병행한다.	ITE403 Computer-Aided Design This course introduces the development methodologies of computer aids for integrated circuit design. Topics include the state-of-the-art techniques and both the theoretical basis for the methods as well as the application of results to practical problems, including details of implementation. Topics to be covered include simulation, layout techniques, synthesis, verification, testing, and integrated design systems. Students are required to complete the term project.	
학부 2005 - 2008 교육과정	서울 정보통신대학 정보통신학부 미디어통신공학전공	집적회로의 고속 동작과 고집적으로 인한 회로 설계상의 문제점, 특히 고속회로에서의 노이즈 및 타이밍 문제에 대해 이론적으로 해석하고 이를 극복하기 위한 설계기법을 강의한다. 또한 컴퓨터를 사용하여 회로를 설계하고 해석하는데 필요한 기본적인 CAD 알고리즘에 대해서 강의하고, 다양한 Tool 활용 실습을 병행한다.	ITE403 Computer-Aided Design This course introduces the development methodologies of computer aids for integrated circuit design. Topics include the state-of-the-art techniques and both the theoretical basis for the methods as well as the application of results to practical problems, including details of implementation. Topics to be covered include simulation, layout techniques, synthesis, verification, testing, and integrated design systems. Students are required to complete the term project.	
학부 2001 - 2004 교육과정	서울 정보통신대학 정보통신학부 미디어통신공학전공	집적회로의 고속 동작과 고집적으로 인한 회로 설계상의 문제점, 특히 고속회로에서의 노이즈 및 타이밍 문제에 대해 이론적으로 해석하고 이를 극복하기 위한 설계기법을 강의한다. 또한 컴퓨터를 사용하여 회로를 설계하고 해석하는데 필요한 기본적인 CAD 알고리즘에 대해서 강의하고, 다양한 Tool 활용 실습을 병행한다.	ITE403 Computer-Aided Design This course introduces the development methodologies of computer aids for integrated circuit design. Topics include the state-of-the-art techniques and both the theoretical basis for the methods as well as the application of results to practical problems, including details of implementation. Topics to be covered include simulation, layout techniques, synthesis, verification, testing, and integrated design systems. Students are required to complete the term project.	

## 교과목 포트폴리오 (ITE4003 SOC설계)

### 10. CQI 등록내역

No data have been found.

