

# 实验 1：基本逻辑部件设计

## 一、实验目的

1. 掌握 Logisim 软件的使用方法和实验步骤。
2. 掌握 CMOS 晶体管的特性以及逻辑门电路的构建法。
3. 掌握使用不同组件实现多路选择器的设计方法。
4. 掌握电路外观设计方法。
5. 掌握子电路级联设计方法。

## 二、实验环境

在开启实验室计算机，选择 Digital Design 平台，在桌面双击“Logisim-ITA”图标，进入 [Logisim](#) 编辑环境，如图 1.1 所示。

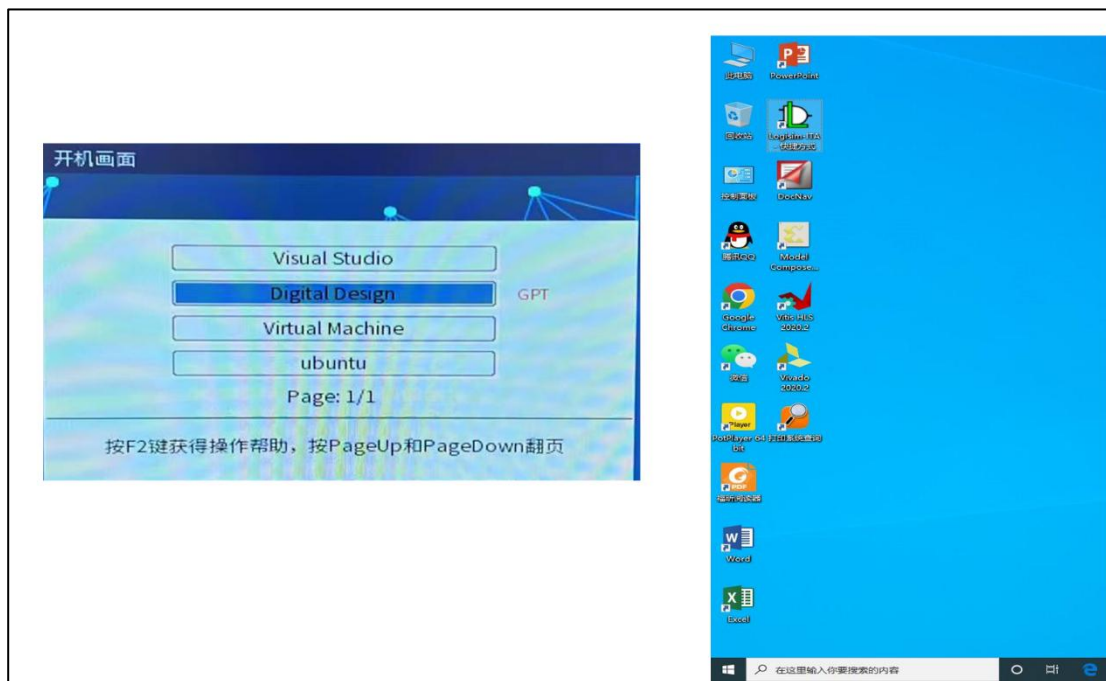


图 1.1 进入实验环境

## 三、实验内容

1. 利用基本逻辑门设计一个 3 输入多数表决器。

假设输入信号为 X、Y、Z，输出信号为 F。实验步骤如下。

- 1) 基本原理。列出如表 1.1 所示的真值表，生成逻辑表达式。

表 1.1 多数表决器真值表

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

化简后的输出函数表达式  $F(X,Y,Z) = Y \cdot Z + X \cdot Z + X \cdot Y$ ，分析输出表达式，可见实现该功能需要 3 个 2 输入与门和 1 个 3 输入或门；另外还需要 3 个输入引脚和 1 个输出引脚。

2) 添加逻辑门。在电路图中放置需要的逻辑门、输入/输出引脚等，并布局到适当位置。

打开 Logisim 软件，通过快捷工具栏在工作区中放置与门、或门、输入引脚、输出引脚等组件。或门缺省输入端口数是 2，需修改属性表，将输入端口数改为 3，如图 1.2 的初始电路图中所示。布局时应注意部件之间需留有足够的空隙，导线排列要整齐，并减少导线交叉。

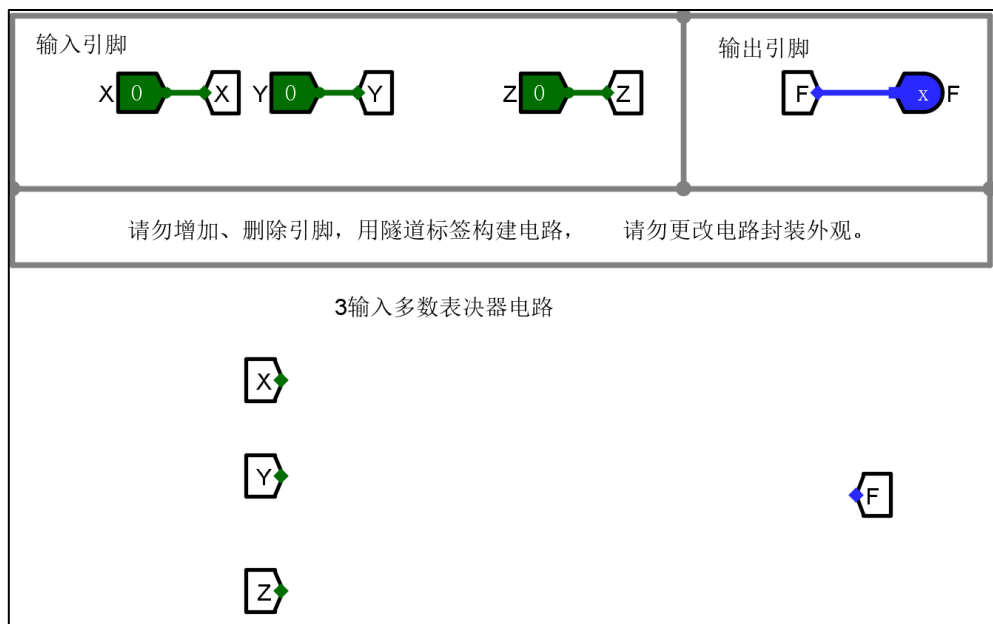


图 1.2 3 输入表决器初始电路图

3) 添加连线。将输入引脚、逻辑门的输入端、输出端、输出引脚等通过连接线相连。

在 Logisim 快捷工具栏中，选中箭头图标，进入编辑状态，当鼠标移动到某个连接点时，出现绿色圆圈，拖动该圆圈到目的位置即可生成线路。注意所有输入和输出引脚都需要线路相连，不能悬空，输出引脚不能直接互连。如图 1.3 所示。

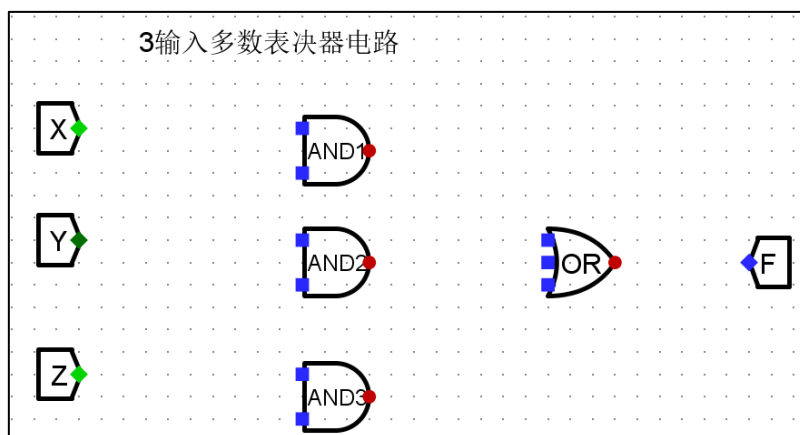


图 1.3 3 输入表决器连线电路图

4) 添加标识符。添加注释文字，以便于对电路的理解。

选中输入、输出引脚，在属性表中添加引脚标识符。选中逻辑门，在属性表中添加门标识符。点击快捷工具栏中文本工具，在电路空白处添加描述文字，如图 1.4 所示。标识符、注释文字的字体、大小、颜色和位置等均可在属性表中修改。注意采用语义标注，以便于记忆和理解。

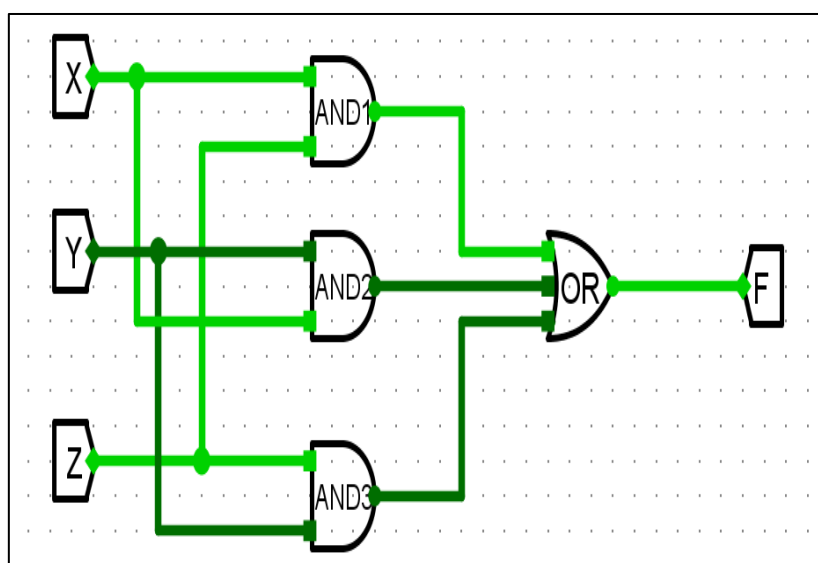


图 1.4 3 输入表决器带标识符电路图

5) 仿真测试。进入仿真状态，验证电路功能。

在 Logisim 快捷工具栏中，选中点戳工具（手指图标），进入仿真状态。把鼠标移到某个输入引脚上，点击鼠标左键，则可在 0 和 1 之间切换该输入引脚的赋值，查看输出引脚的状态，验证电路的正确性。仿真时，依次改变每一个输入端的赋值。验证通过后，在 File 菜单下选择 save 按钮，输入文件名为：lab1.1，保存电路设计文件 lab1.1.circ。

## 2. 利用 CMOS 晶体管构建两输入或门，并验证其功能。

1) 基本原理。根据数字电路原理，或门是由或非门级联反相器构成。或非门、非门（反相器）的原理如图 1.6 和图 1.7 所示。

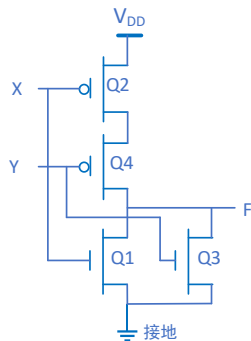


图 1.6 或非门原理图

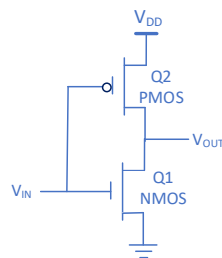


图 1.7 非门原理图

由基本原理可知，需要 3 对 CMOS 晶体管、两个输入引脚、1 个输出引脚、1 个电源、1 个地线。

2) 添加晶体管。在 Logisim 的工作区中添加输入引脚、输出引脚和电源、地线，如图 1.8 所示。放置晶体管，选择晶体管类型为：P-Type（PMOS 管），朝向选择为：South，复制粘贴该晶体管 2 次，并放置到合适的位置，并修改标号。同样添加 NMOS 晶体管 3 只，朝向选择为：North。注意 PMOS 管和 NMOS 管图形符号的区别。



图 1.8 实现或门电路时的布局图

3) 添加连线，PMOS 晶体管的源极接电源，NMOS 的源极接地线，门极和漏极并联。如图 1.9 所示，

根据原理图对或非门和非门进行级联。

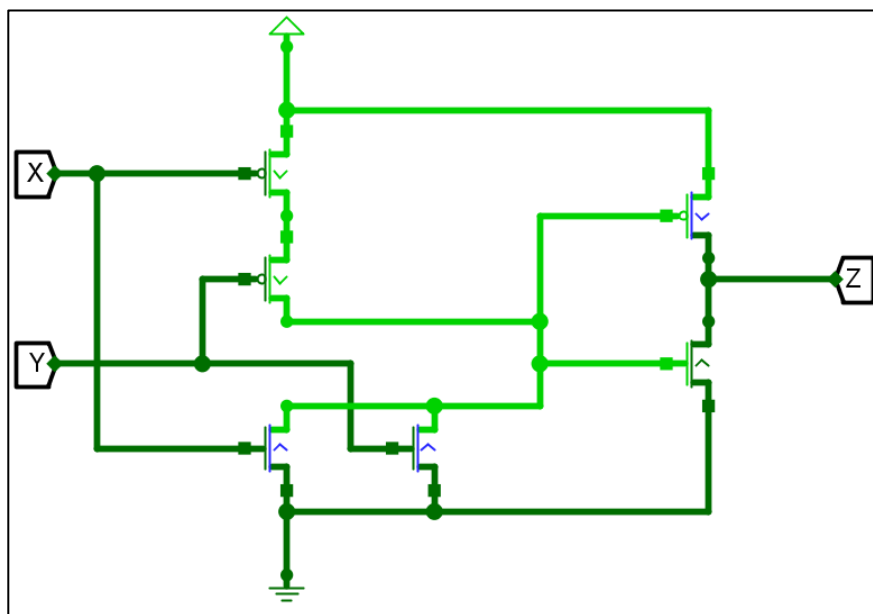


图 1.9 实现或门电路时的连线图

4) 添加标识符。如图 1.10 所示，标注输入、输出引脚及晶体管标识符，添加电路功能描述。

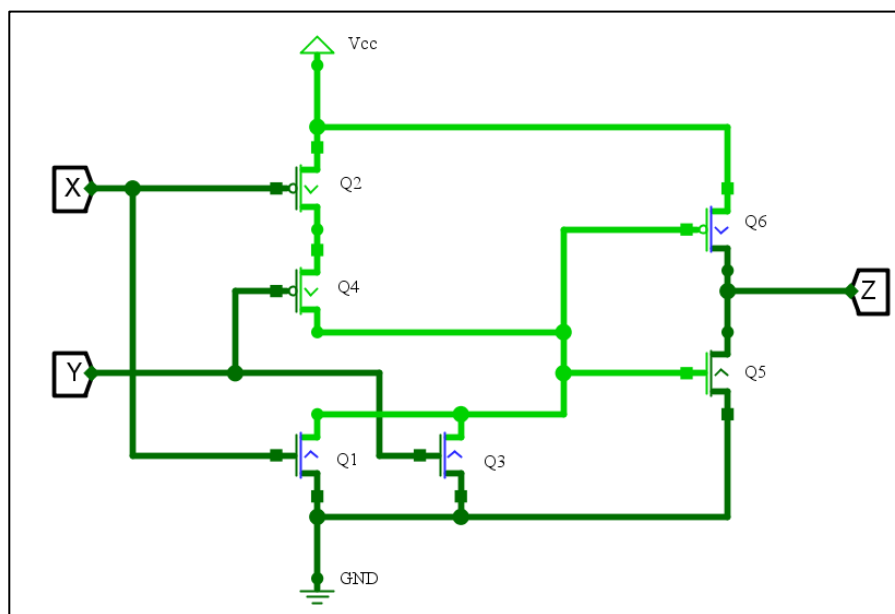


图 1.10 实现或门时在电路图中增加标识符

5) 仿真验证电路。如图 1.11 所示，进入仿真状态，改变输入引脚赋值，记录输出引脚值。保存电路设计文件为 lab1.2.circ。

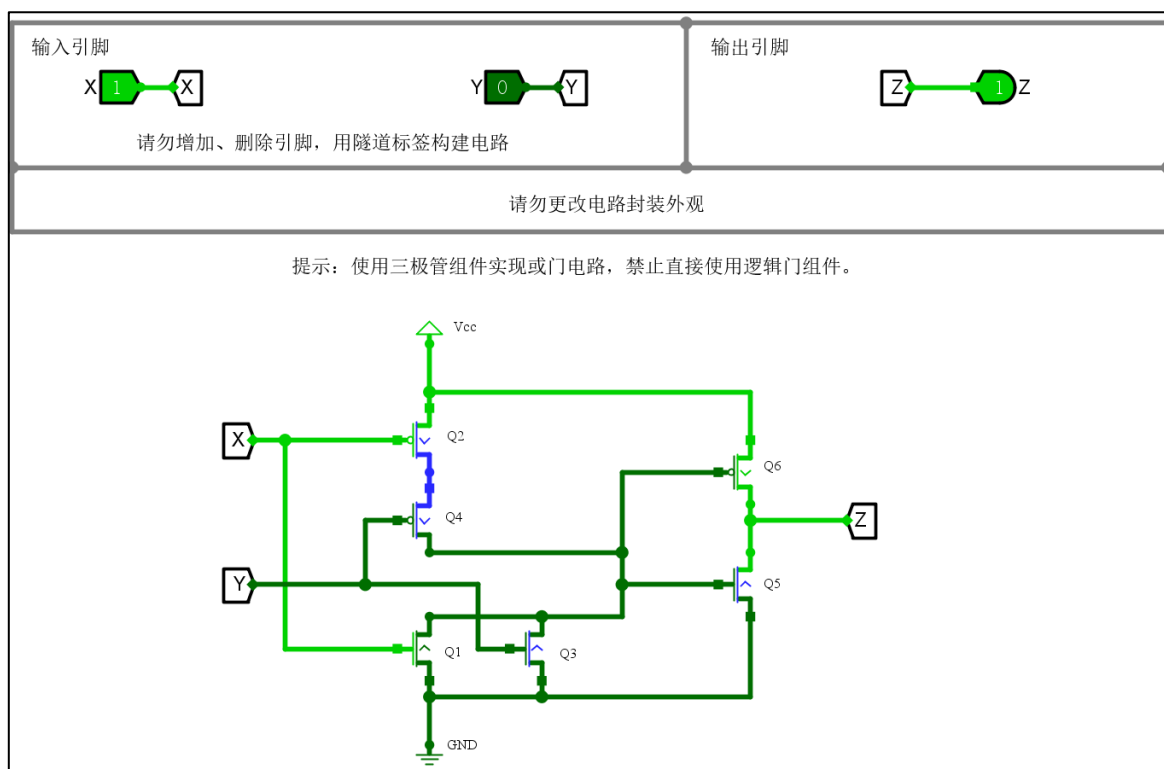


图 1.11 实现或门时的电路验证图

根据记录的输入/输出值，填写表 1.2 所示的或门真值表，以验证电路功能的正确性。

表 1.2 或门真值表

X	Y	Z
0	0	
0	1	
1	0	
1	1	

### 3. 利用基本逻辑门和 CMOS 晶体管实现多路选择器，并进行静态冒险检测。

1) 选择基本部件。根据 2 选 1 多路选择器（2 路选择器）的逻辑表达式  $Y = D0 \cdot \bar{S} + D1 \cdot S$ ，使用两个 2 输入与门、1 个 2 输入或门、1 个非门、3 个输入端和 1 个输出端实现两级与-或逻辑电路。在 Logisim 工作区中的部件布局如图 1.12 所示。

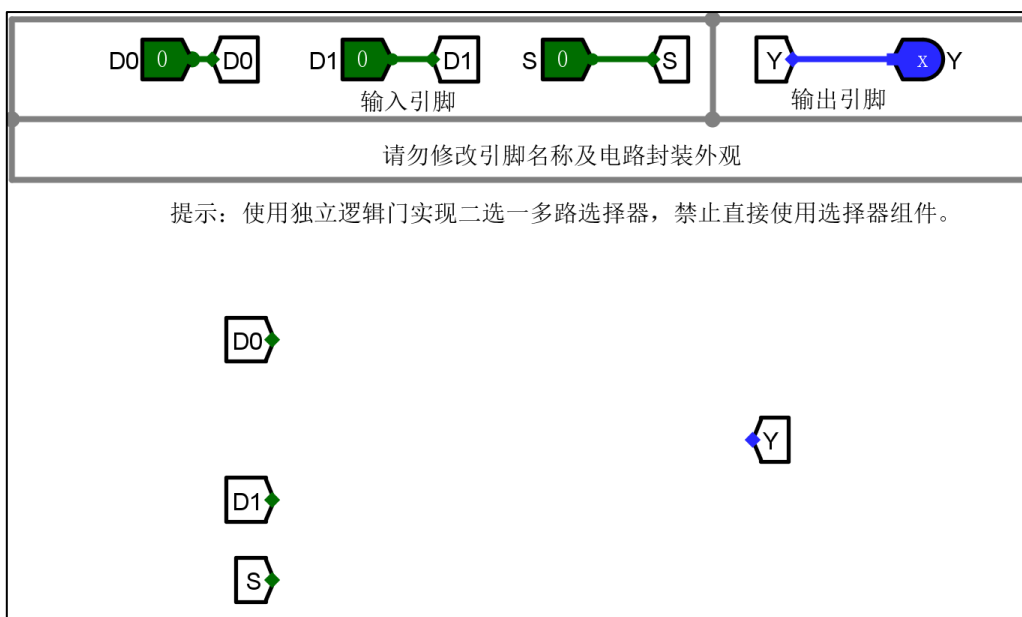


图 1.12 2 路选择器的部件图

2) 部件连线。在图 1.12 的基础上实现 2 路选择器，电路图如图 1.13 所示。

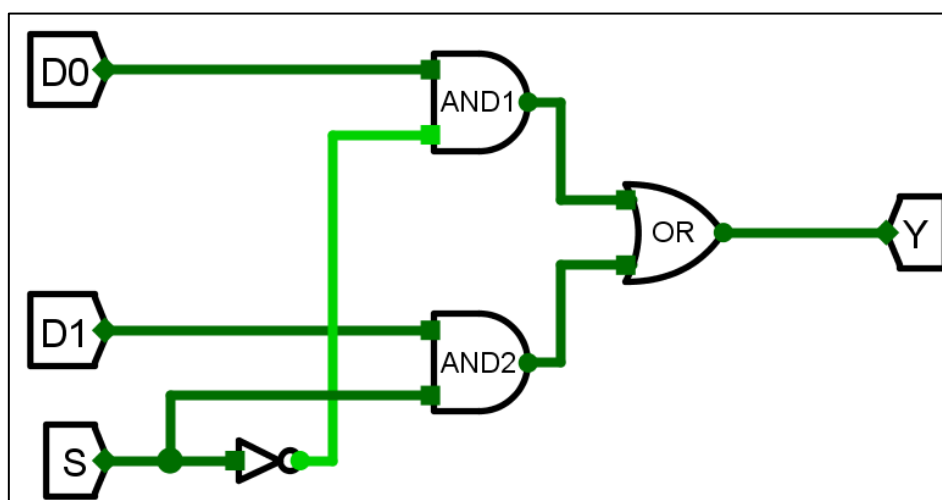


图 1.13 2 路选择器电路图

根据仿真检测结果，填写如表 1.3 所示的真值表，以验证电路的功能。

表 1.3 2 路选择器真值表

D0	D1	S	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	

1	1	0	
1	1	1	

3) 冒险检测，其检测步骤如下。

① 如图 1.14 所示，在非门两端分别连接探针，并设置 D0=1、D1=1、S=1，观察输出值。

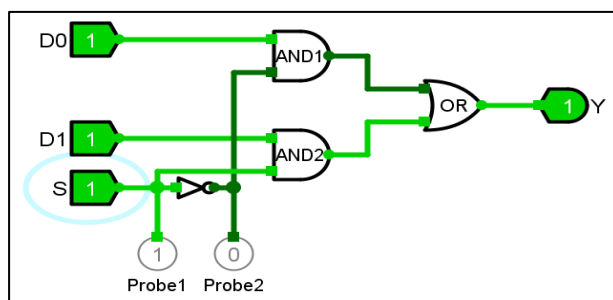


图 1.14 电路冒险检测探针电路图

② 如图 1.15 所示，在 Logisim 的 Simulate 菜单下，取消仿真使能 (Simulation Enabled) 前的选中开关，使得电路从连续仿真状态变为单步仿真状态。

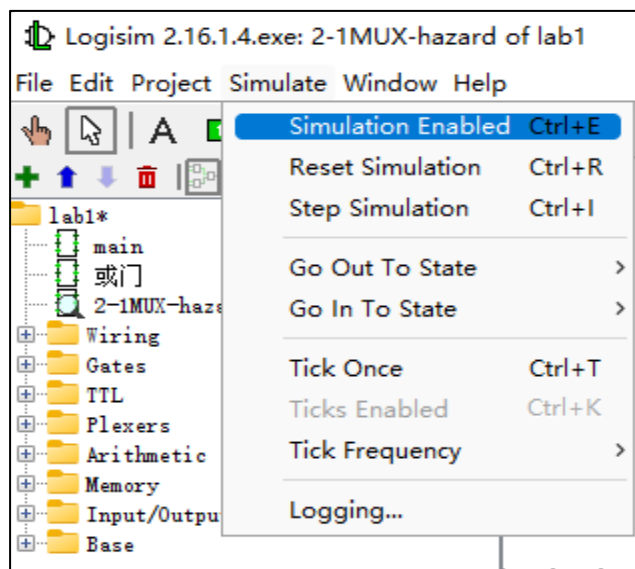


图 1.15 Simulate 菜单下取消仿真使能

③ 通过在非门输入端和输出端设置探针对电路进行单步仿真。利用单步仿真进行电路冒险检测过程如图 1.16 所示。首先将 S 输入端的赋值改为 0，然后在 Logisim 的 Simulate 菜单下点击单步仿真 (Step Simulation) 或按组合键 Ctrl+I 进行单步仿真。图 1.16(a) 是单步仿真的初始状态，此时探针 1 (Probe1) 和探针 2 (Probe2) 处还是保持原状态，分别是 1 和 0，说明非门的输入端并没有随着 S 的改变而立即发生变化；图 1.16(b) 是第 1 次单步仿真得到的状态，此时非门输入端发生变化，但其输出端没有立即发生变化；图 1.16(c) 是第 2 次点击后得到的状态，此时非门输出为 1，但与门 AND1 的输出没有变化；直到第 4 次单步仿真后每个逻辑门才都转变为正确的输入/输出状态，如图 1.16(e) 所示。单步仿真过程反映了信号在电路中的延迟情况。第



1 次点击进行单步仿真后，经过后续 3 次单步仿真后整个电路得到正确的输入/输出状态，即从输入到输出共经过了非门、与门和或门 3 级逻辑门延迟。

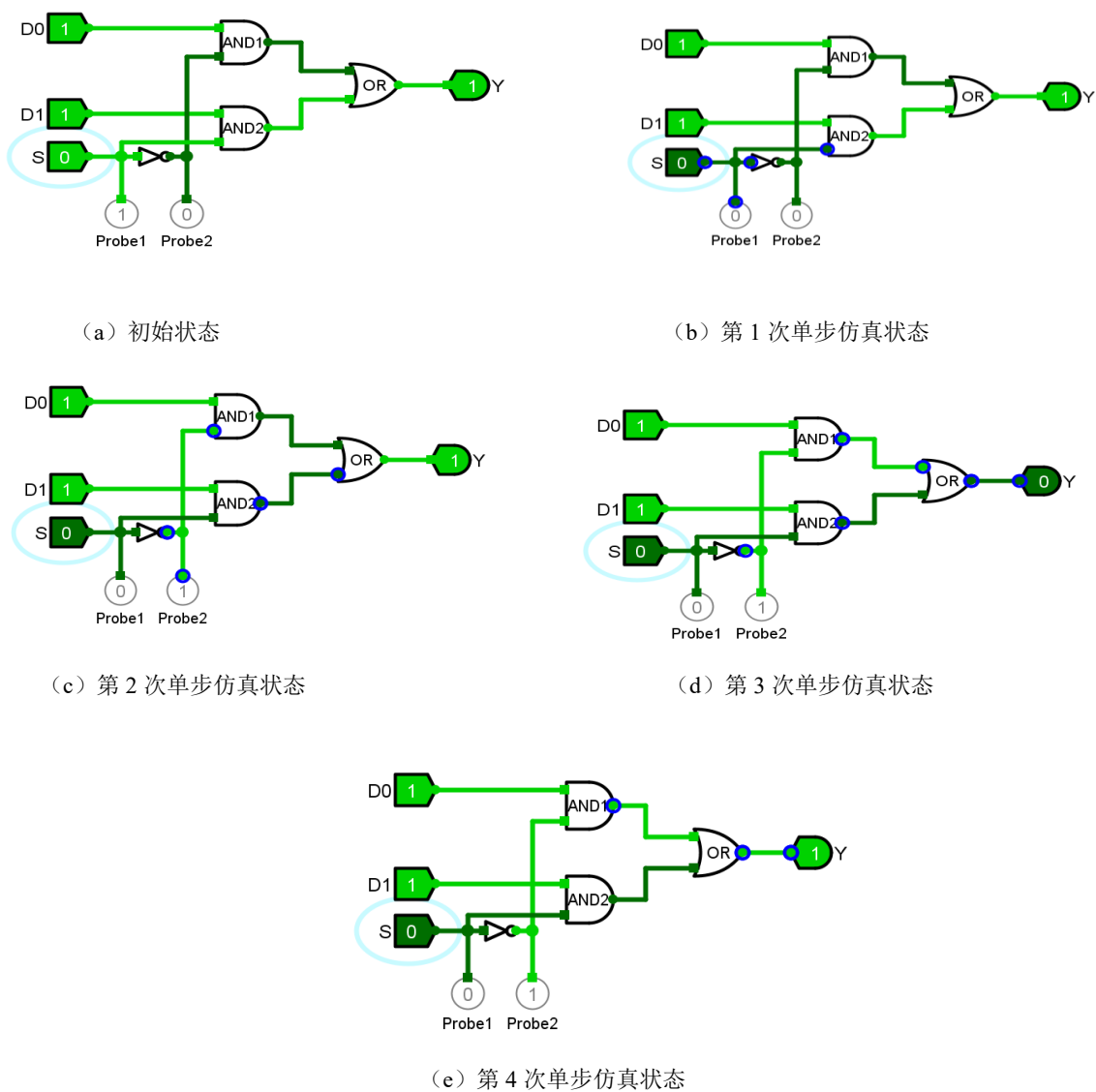


图 1.16 电路冒险检测状态变化过程

④ 保存该电路设计文件为 lab1.3.circ。

#### 4. 利用晶体管和传输门实现多路选择器。

1) 利用传输门实现 2 路选择器，如图 1.17 所示。

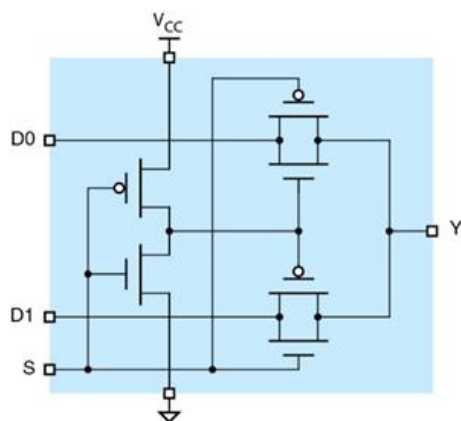


图 1.17 用传输门实现 2 路选择器的原理图

实现图 1.17 中 2 路选择器的部件包括 1 对 CMOS 晶体管、2 个传输门、2 个输入引脚、1 个输出引脚、1 个电源、1 个地线。

2) 在 Logisim 工作区中添加所有部件，并互连，然后进行仿真检测，以验证电路功能。实现电路如图 1.18 所示，保存该电路设计文件。

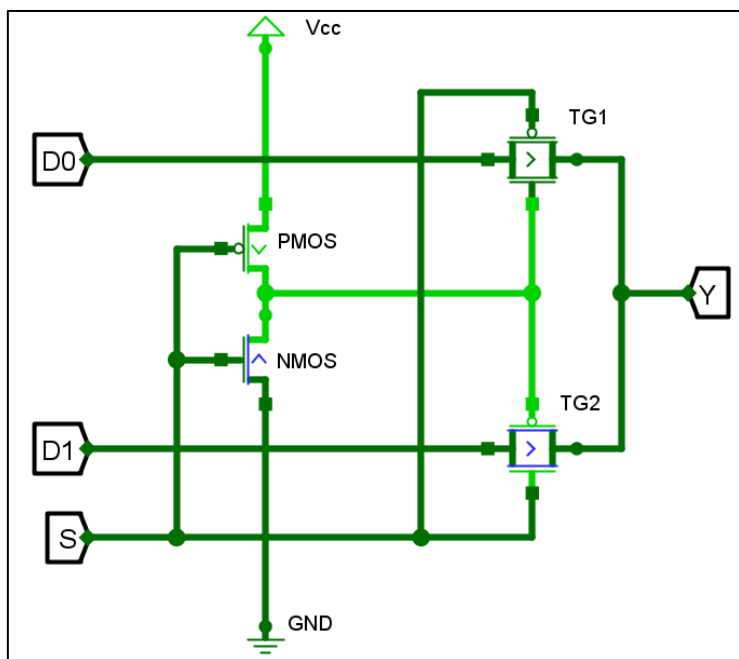


图 1.18 用传输门实现 2 路选择器并仿真验证

3) 验证电路的功能，并保存该电路设计文件为 lab1.4.circ。

## 5. 子电路级联实验。

1) 使用 2 路选择器级联实现 4 路选择器。

在 Logisim 中打开 lab1.4.circ 电路文件，另存为 lab1.5.circ。在 Project 菜单下选择添加子电路，名称为：4-1MUX，并设置 4-1MUX 子电路为 Main Circuit；修改 main 子电路的名称为 2-1MUX。双击导航窗口中的子电路“4-1MUX”，打开 4-1MUX 的工作区，然后，在导航窗口中选 2-1MUX 子电路，把 2-1MUX 子电

路拖曳到工作区中，2-1MUX 子电路的外观是矩形，包括 3 个输入引脚和 1 个输出引脚。构建 4 选 1 多路选择器需要 3 个 2 路选择器通过级联而成，如图 1.26 所示。

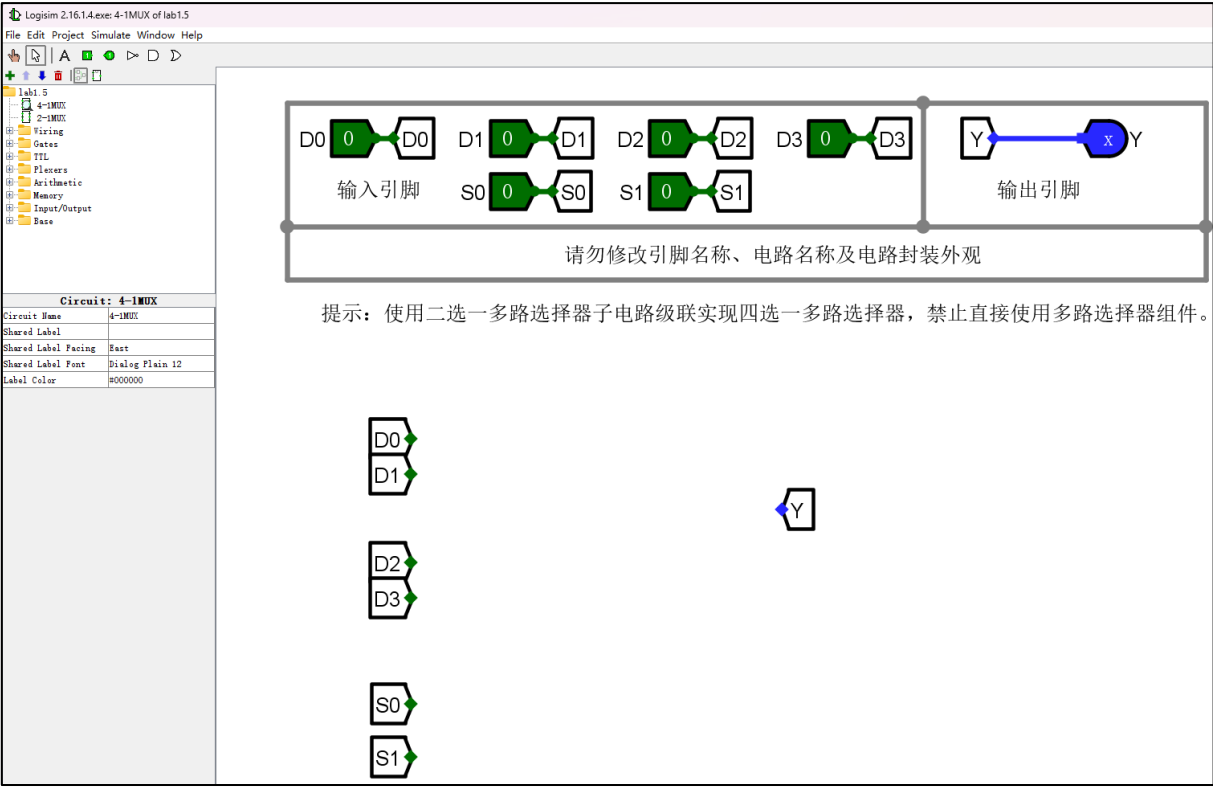


图 1.26 使用子电路级联实现 4 选 1 多路选择器

提示：Logisim 中不能实现两个不同文件之间的复制和粘贴功能，只能在同一项目文件内进行。如果需要使用已有的子电路，可以在工程 (Project) 菜单下使用装载 Logisim 库文件 (Load Library/Logisim Library) 的方法来实现。为了方便引用组件，可以把每次实验的不同项目都设计成子电路格式。在开始一个实验项目时，通过选择在项目中添加子电路的方式来进行设计。

2) 编辑子电路图形外观。双击导航窗口中 2-1MUX 子电路，选中子电路快捷操作栏中的外观编辑模式，则在工作区中显示子电路的图形外观，如图 1.27 所示。缺省的子电路图形外观为带缺口的矩形，输入引脚在矩形左侧，端口用方形表示，输出引脚在矩形右侧，端口用圆形表示。可以通过外观编辑功能改变子电路的外观。如图 1.28 所示，可以将 2 路选择器子电路矩形外观改成梯形，并重新布局输入、输出端口的位置，并添加信号和子电路标识符，也可在属性中定义标识符以及子电路模块背景的颜色。

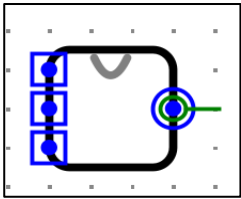
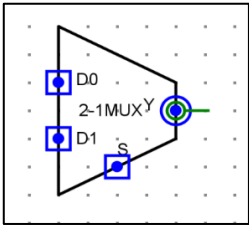


图 1.27 子电路的缺省矩形外观



1.28 2 路选择器子电路梯形外观

提示：子电路图形符号中有一个绿色圆圈带一条线的端口，称为锚点，标识子电路图形符号的朝向。带有蓝色圆圈的圆点是输出端口，带有方框的圆点是输入端口。单击图形符号端口，将在编辑页面中显示对应的输入/输出引脚。

在导航窗口上方选中子电路快捷操作栏中的外观编辑模式，或者在 Project 菜单下选择 Edit Circuit Appearance，则组件快捷工具栏变成图 1.29 中的加粗方框中所示的外观设计工具栏。

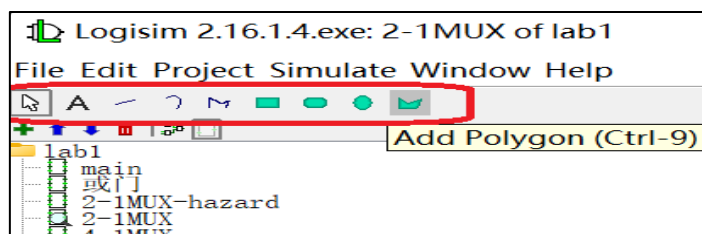


图 1.29 外观编辑工具栏

4) 修订错误连线。如图 1.30 所示，打开 4-1MUX 电路的工作区中出现红色连线，则说明发生连线错误，需要重新连接端口。经修订后，得到如图 1.31 所示的电路图。验证电路的功能，并保存该电路设计文件，文件名为：lab1.5.circ。

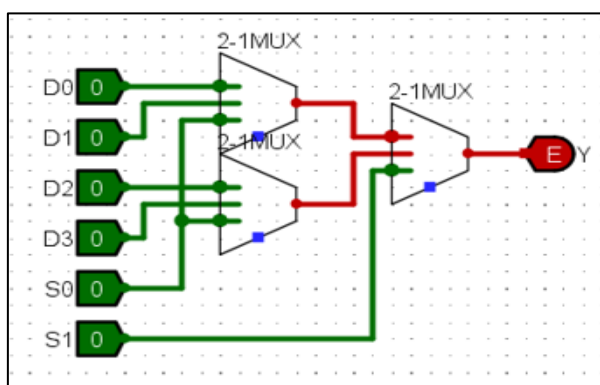


图 1.30 存在连线错误的主电路图

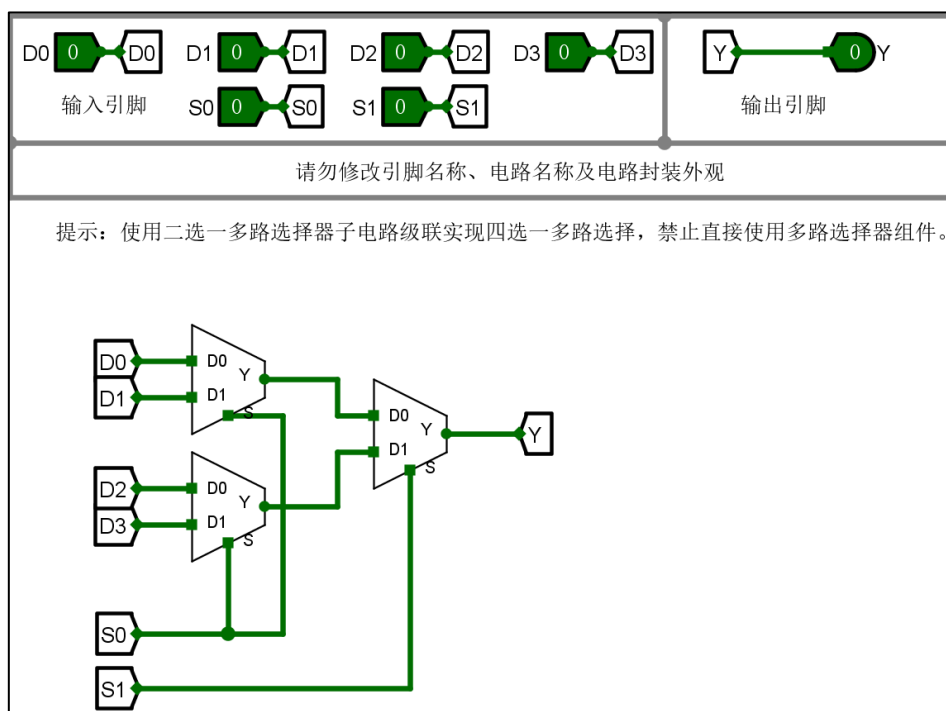


图 1.31 修正后的主电路图

提示：在实际操作中，通常先修改子电路外观，再添加到主电路中。

5) 隧道和集线器部件实验。在 4-1MUX 子电路工作区中放置 4 位输入引脚 INPUT，2 位的输入引脚 SELECT 和 1 位输出引脚 OUTPUT，并放置 3 个隧道，数据位宽分别为 4、2 和 1，分别标识为 DATA、S 和 Y；并把 INPUT 输入引脚和隧道 DATA 端口相连，SELECT 输入引脚和隧道 S 相连，输出引脚 OUTPUT 和隧道 Y 相连。删除原电路图中的输入引脚和输出引脚及其与多路选择器之间连线，如图 1.32 所示。

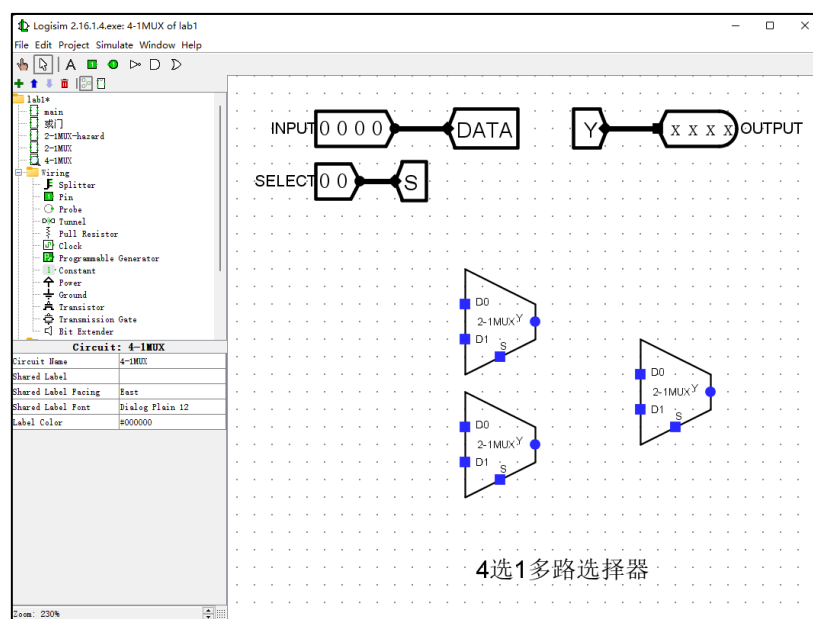


图 1.32 修正后的主电路图

在工作区放置 4 位 4 分支的集线器，分支连接 2 选 1 多路选择器的数据输入端；再放置 2 位 2 分支的

集线器，分支连接到 2 选 1 多路选择器的选择端，如图 1.33 所示。

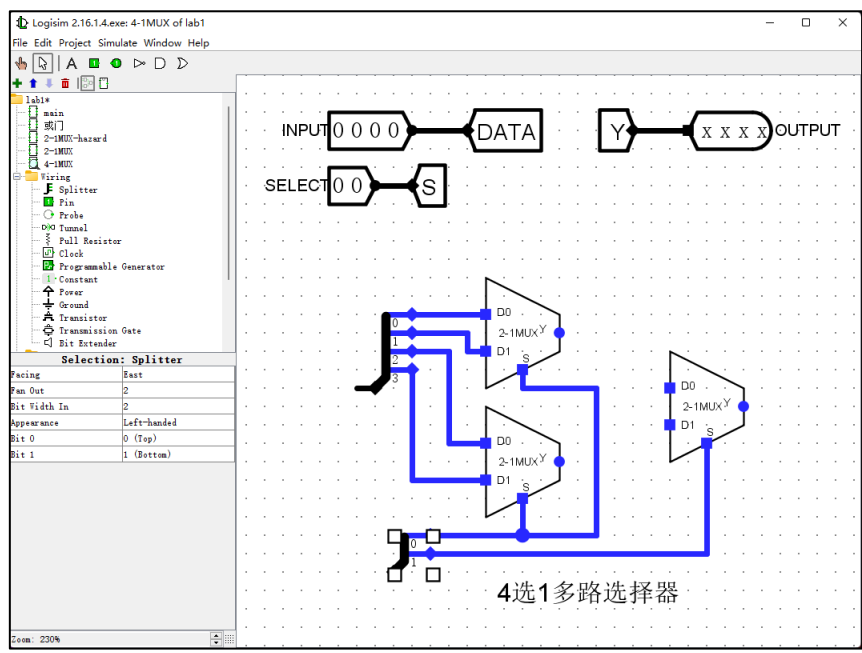


图 1.33 添加集线器

复制隧道 DATA，其端口和 4 分支集线器相连；复制隧道 S，其端口和 2 分支集线器相连；复制隧道 Y，其端口和 4 选 1 多路选择器的输出端相连。级联 2 选 1 多路选择器的数据输入和输出端。如图 1.34 所示。

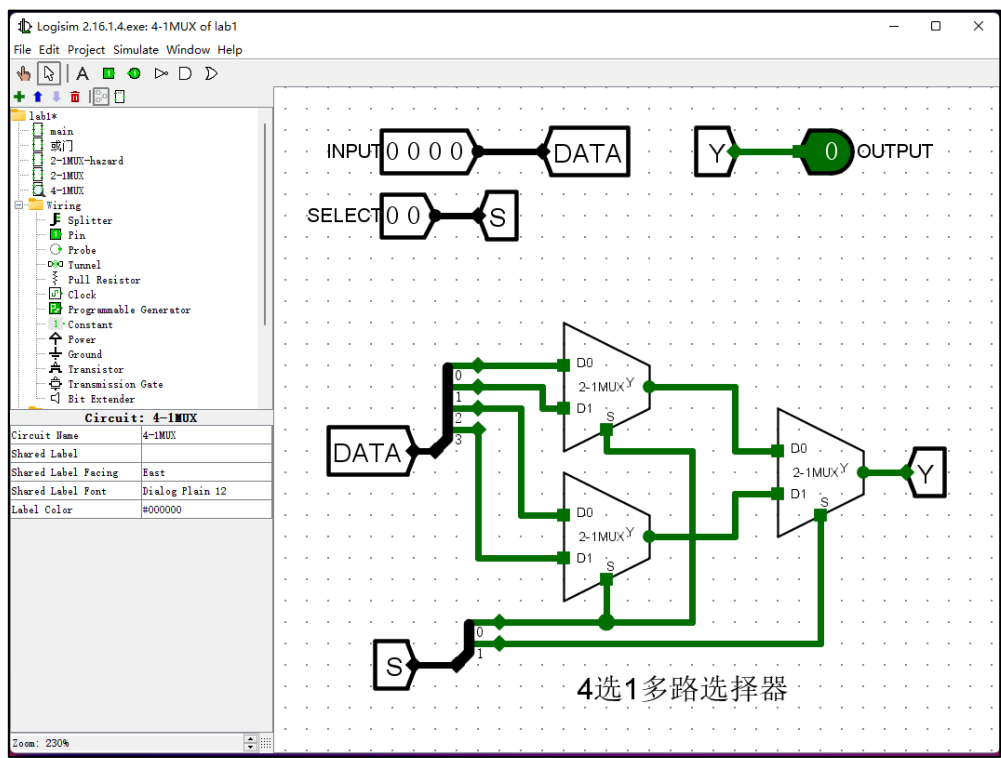


图 1.34 使用隧道和集线器的 4 选 1 多路选择器

6) 改变 INPUT 输入引脚和 SELECT 输入引脚的数据，验证电路功能，掌握隧道和集线器部件的功能。

另存该电路设计文件，文件名为：lab1.6.circ。

#### 四、思考题

1. 根据 2 选 1 多路选择器的与-或电路，替换成与非-与非电路，并分析两种电路的特性。
2. 实现 4 位二进制数转换成格雷码的转换电路。
3. 实现 4 位二进制数的奇偶校验位生成电路。