

Lab01: 基本逻辑部件设计

starwinks

April 9, 2025

1 实验目的

1. 熟悉 Logisim 软件的使用方法；
2. 掌握使用晶体管实现基本逻辑部件的方法；
3. 利用基础元器件库设计简单数字电路；
4. 了解子电路的设计和应用；
5. 掌握分线器、隧道、探针等 Logisim 组件的使用方法。

2 实验环境

Logisim: <https://github.com/Logisim-Ita/Logisim>

3 实验内容

3.1 利用基本逻辑门设计一个 3 输入多数表决器

3.1.1 整体方案设计

顶层模块设计 实验电路较为简单，不需要顶层模块设计图。

输入输出引脚

XYZ	接收输入的二进制信号
F	当 XYZ 中至少两个输入为 1 时输出 1, 否则输出 0(即多数表决)

Table 1: 引脚作用

3.1.2 原理图和电路图

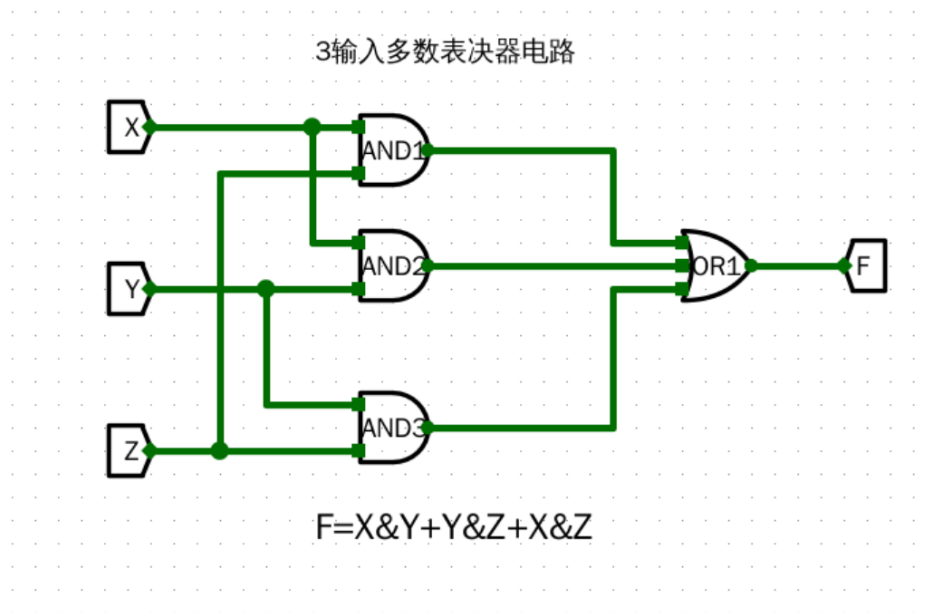


Figure 1: 原理图

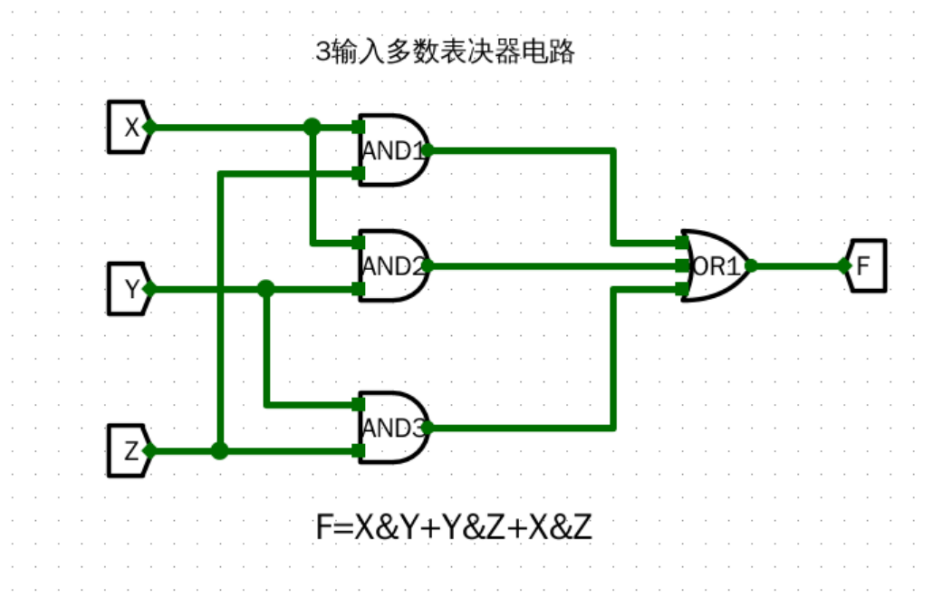


Figure 2: 电路图

由于本题电路实现较为简单，原理图和电路图无明显区别

3.1.3 仿真测试图及真值表

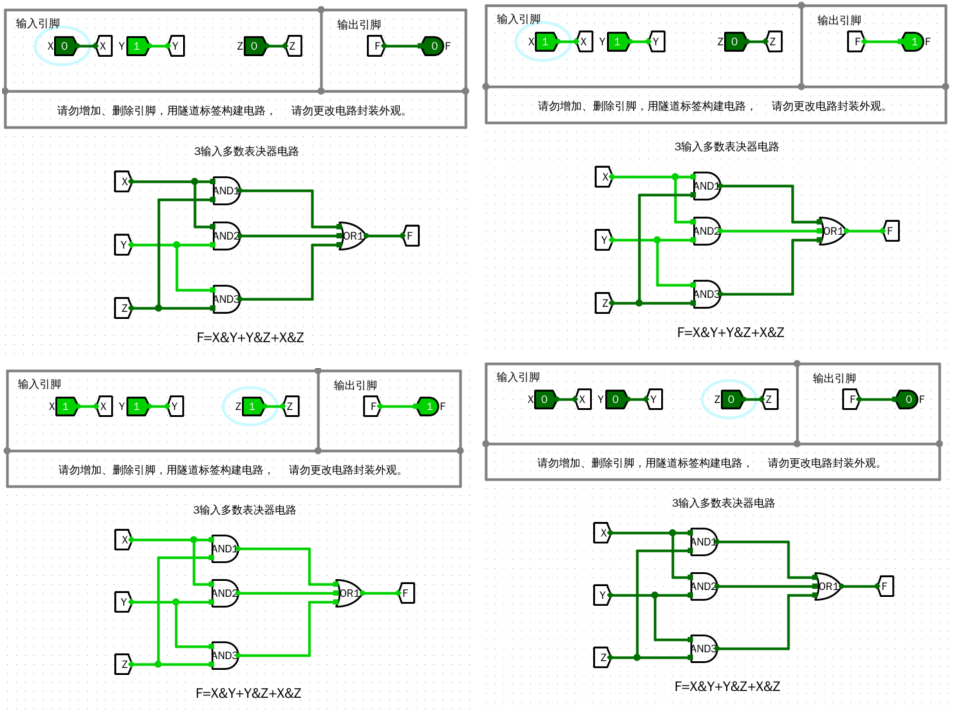


Figure 3: 仿真测试图

X	Y	Z	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Table 2: 真值表

3.1.4 错误现象及分析

在完成实验的过程中，没有遇到任何错误。

3.2 利用 CMOS 晶体管构建两输入或门

3.2.1 整体方案设计

顶层模块设计 实验电路较为简单，不需要顶层模块设计图。

输入输出引脚

XY	二输入或门的输入
F	二输入或门的输出

Table 3: 引脚作用

3.2.2 原理图和电路图

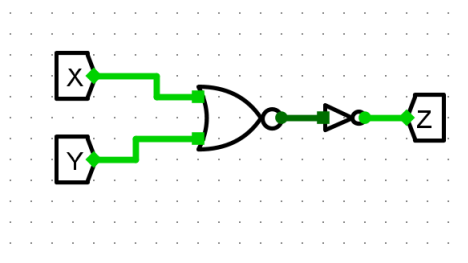


Figure 4: 原理图

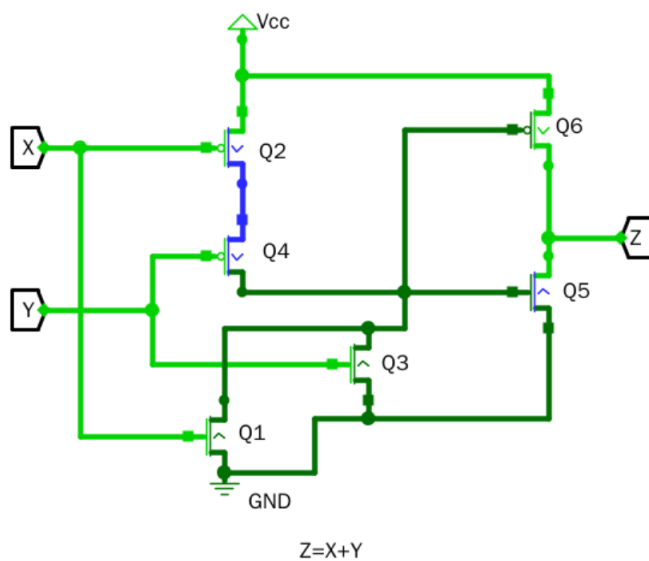


Figure 5: 电路图

3.2.3 仿真测试图及真值表

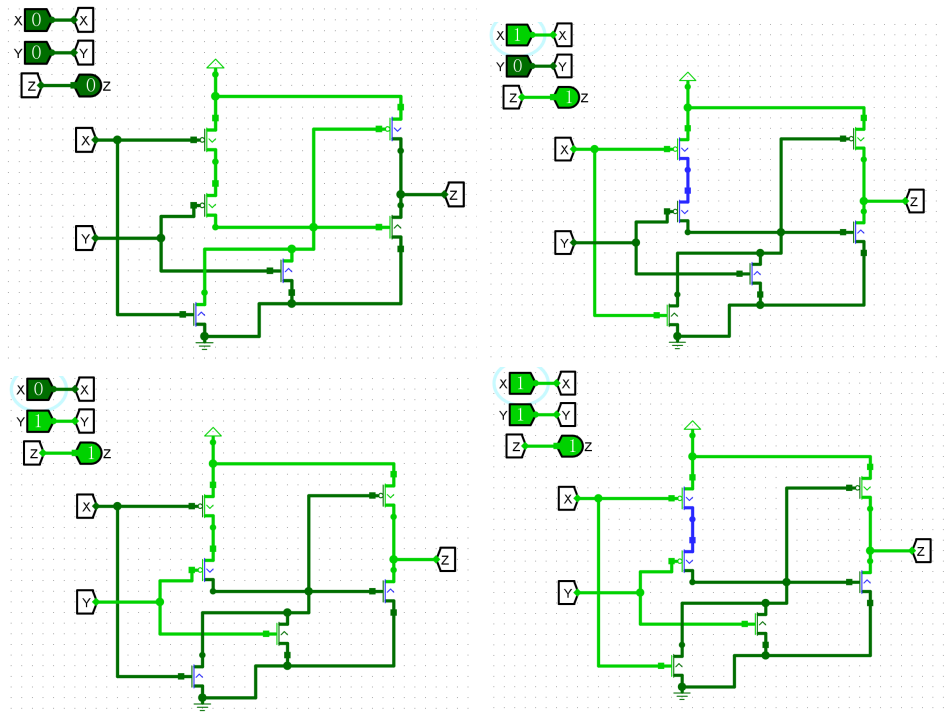


Figure 6: 仿真测试图

X	Y	Z
0	0	0
0	1	1
1	0	1
1	1	1

Table 4: 真值表

3.2.4 错误现象及分析

在完成实验的过程中，没有遇到任何错误。

3.3 利用基本逻辑门实现多路选择器

3.3.1 整体方案设计

顶层模块设计 实验电路较为简单，不需要顶层模块设计图。

输入输出引脚

D0,D1	二选一多路选择器的两个输入端
S	二选一多路选择器的控制端, 从两个输入中选择一个输出
F	二选一多路选择器的输出端

Table 5: 引脚作用

3.3.2 原理图和电路图

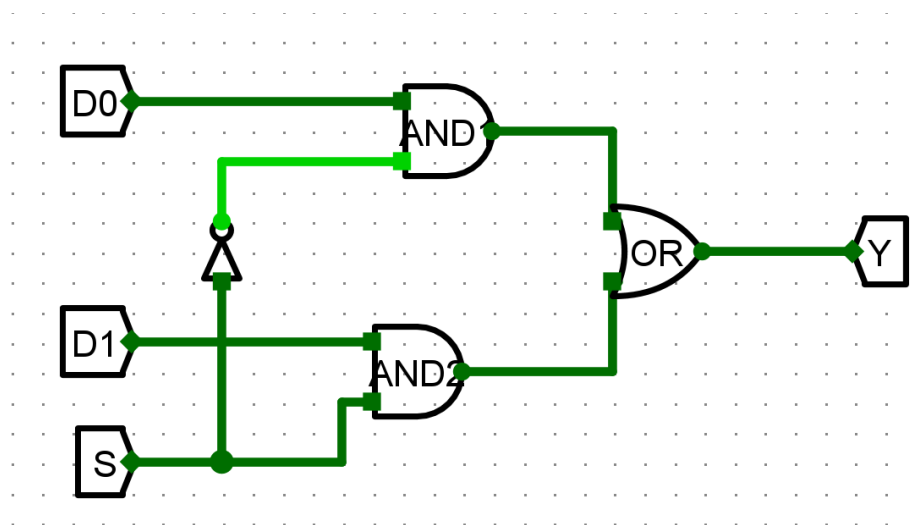


Figure 7: 原理图

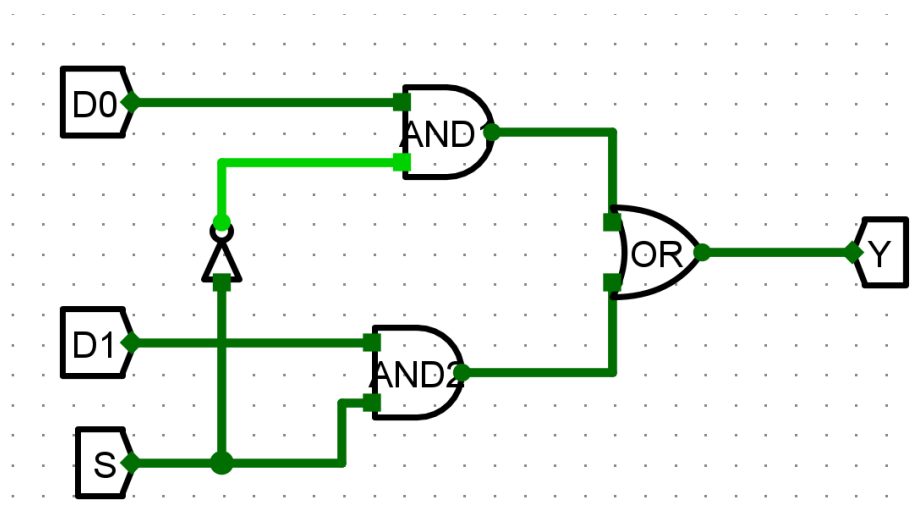


Figure 8: 电路图

由于本题电路实现较为简单，原理图和电路图无明显区别

3.3.3 仿真测试图及真值表

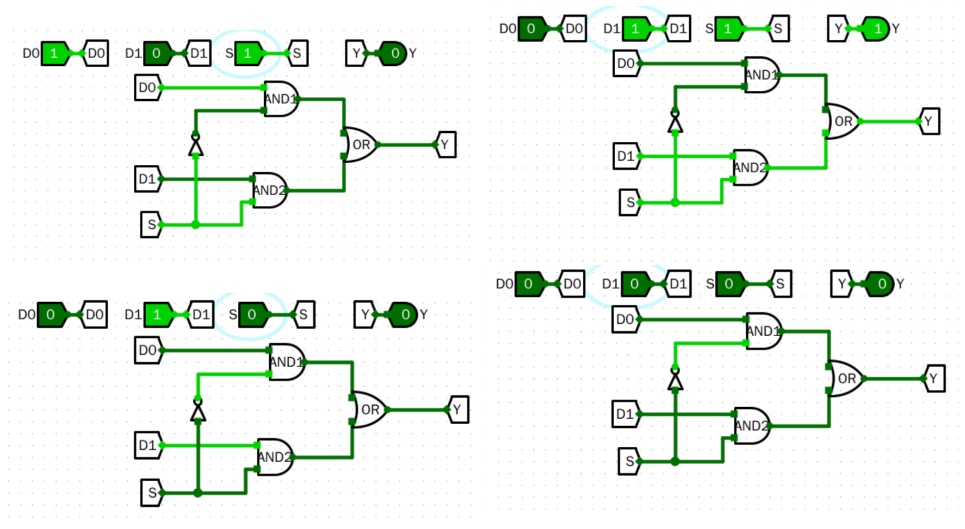


Figure 9: 仿真测试图

D0	D1	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Table 6: 真值表

3.3.4 错误现象及分析

在完成实验的过程中，没有遇到任何错误。

3.4 利用晶体管和传输门实现多路选择器

3.4.1 整体方案设计

顶层模块设计 实验电路较为简单，不需要顶层模块设计图。

输入输出引脚

D0,D1	二选一多路选择器的两个输入端
S	二选一多路选择器的控制端, 从两个输入中选择一个输出
F	二选一多路选择器的输出端

Table 7: 引脚作用

3.4.2 原理图和电路图

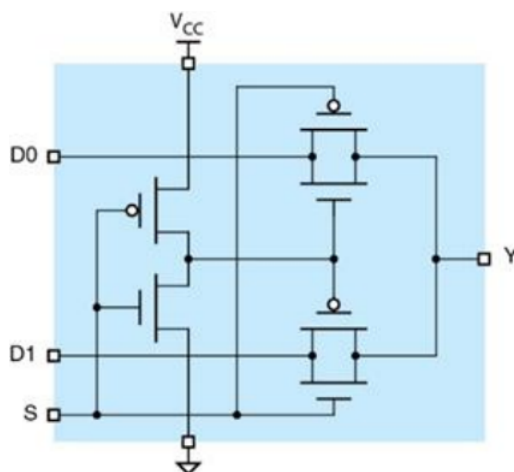


Figure 10: 原理图

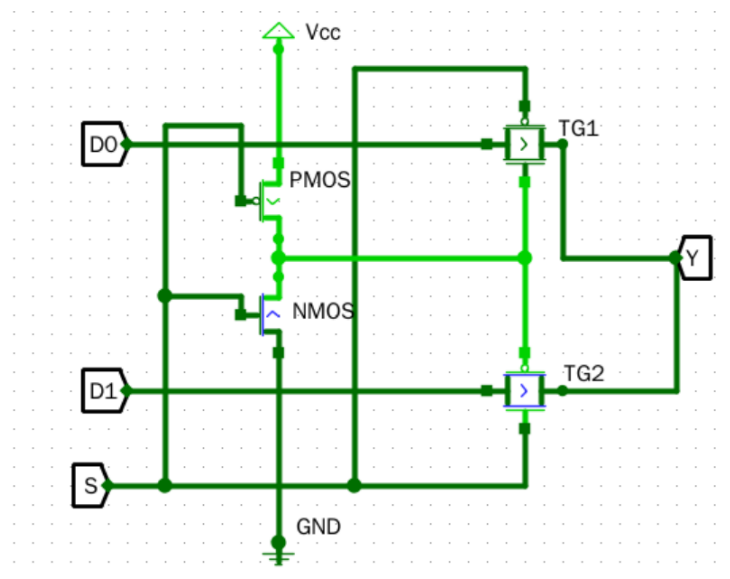


Figure 11: 电路图

3.4.3 仿真测试图及真值表

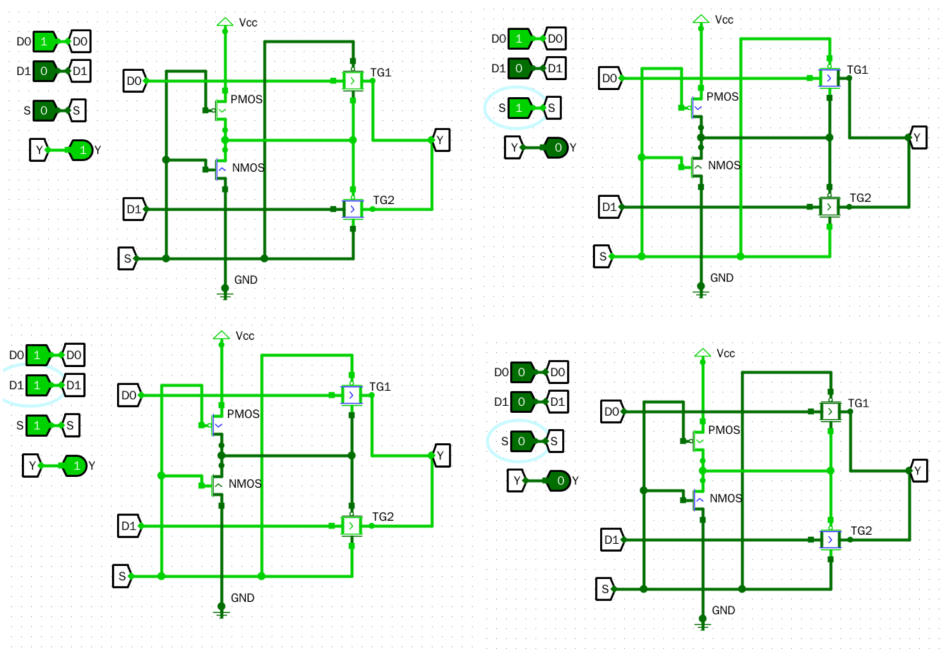


Figure 12: 仿真测试图

D0	D1	S	Y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

Table 8: 真值表

3.4.4 错误现象及分析

在完成实验的过程中，没有遇到任何错误。

3.5 子电路级联实验 (实现四选一多路选择器)

3.5.1 整体方案设计

顶层模块设计 实验电路较为简单，不需要顶层模块设计图。

输入输出引脚

D0,D1,D2,D3	多路选择器的四个输入端
S0,S1	多路选择器的控制端的两位
Y	多路选择器的输出端

Table 9: 引脚作用

3.5.2 原理图和电路图

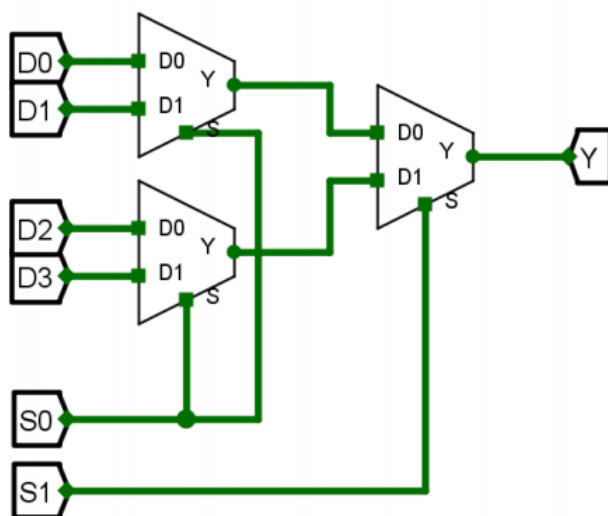


Figure 13: 原理图

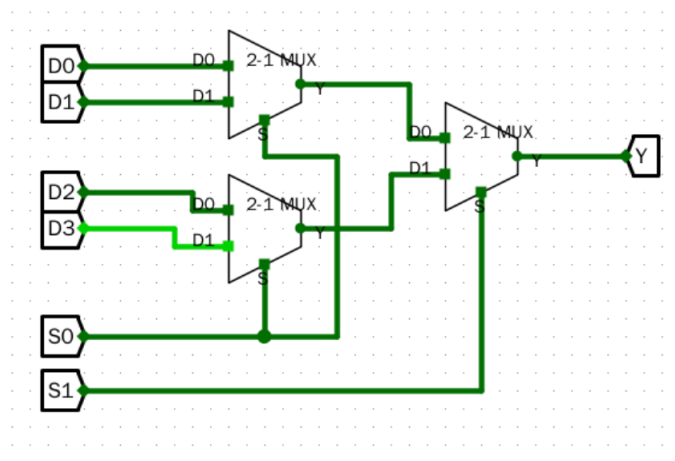


Figure 14: 电路图

由于本题电路实现较为简单，原理图和电路图无明显区别

3.5.3 仿真测试图及真值表

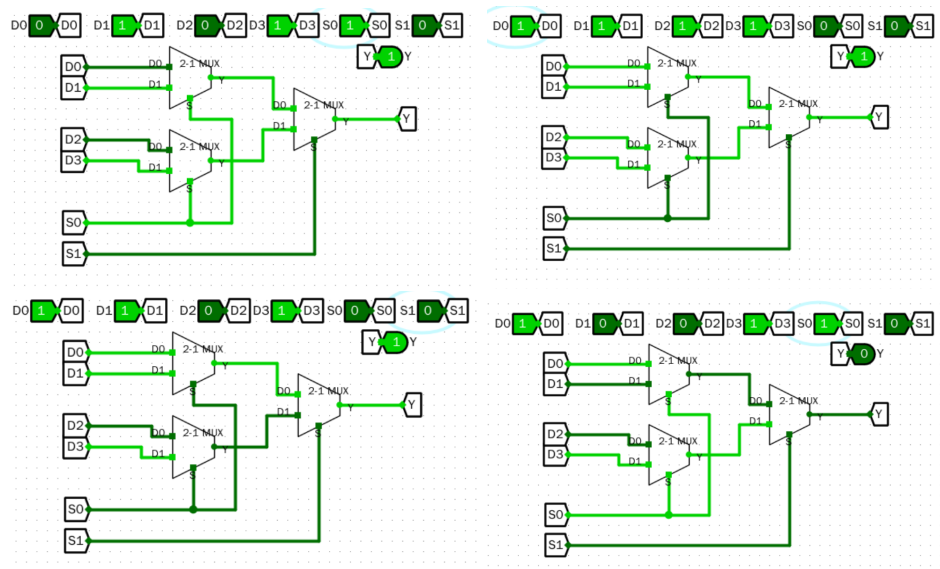


Figure 15: 仿真测试图

D0	D1	D2	D3	S0	S1	Y
0	0	0	0	0	0	0
0	0	0	0	0	1	0
0	0	0	0	1	0	0
0	0	0	0	1	1	0
0	0	0	1	0	0	0
0	0	0	1	0	1	0
0	0	0	1	1	0	0
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	0	0	1	1
0	0	1	0	1	0	0
0	0	1	0	1	1	0
0	0	1	1	0	0	1
0	0	1	1	0	1	1
0	0	1	1	1	0	0
0	0	1	1	1	1	1
0	1	0	0	0	0	0
0	1	0	0	0	1	0
0	1	0	0	1	0	0
0	1	0	0	1	1	0
0	1	0	1	0	0	0
0	1	0	1	0	1	0
0	1	0	1	1	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	0
0	1	1	0	0	1	1
0	1	1	0	1	0	0
0	1	1	0	1	1	1
0	1	1	1	0	0	0
0	1	1	1	0	1	1
0	1	1	1	1	0	0
0	1	1	1	1	1	1
1	0	0	0	0	0	1
1	0	0	0	0	1	0
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	0
1	0	0	1	1	1	1
1	0	1	0	0	0	0
1	0	1	0	0	1	0
1	0	1	0	1	0	0
1	0	1	0	1	1	0
1	0	1	1	0	0	0
1	0	1	1	0	1	0
1	0	1	1	1	0	0
1	0	1	1	1	1	1
1	1	0	0	0	0	0
1	1	0	0	0	1	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	0
1	1	0	1	0	1	0
1	1	0	1	1	0	0
1	1	0	1	1	1	1
1	1	1	0	0	0	0
1	1	1	0	0	1	0
1	1	1	0	1	0	0
1	1	1	0	1	1	0
1	1	1	1	0	0	0
1	1	1	1	0	1	0
1	1	1	1	1	0	0
1	1	1	1	1	1	1

Figure 16: 真值表

3.5.4 错误现象及分析

在完成实验的过程中，没有遇到任何错误。

4 思考题

4.1

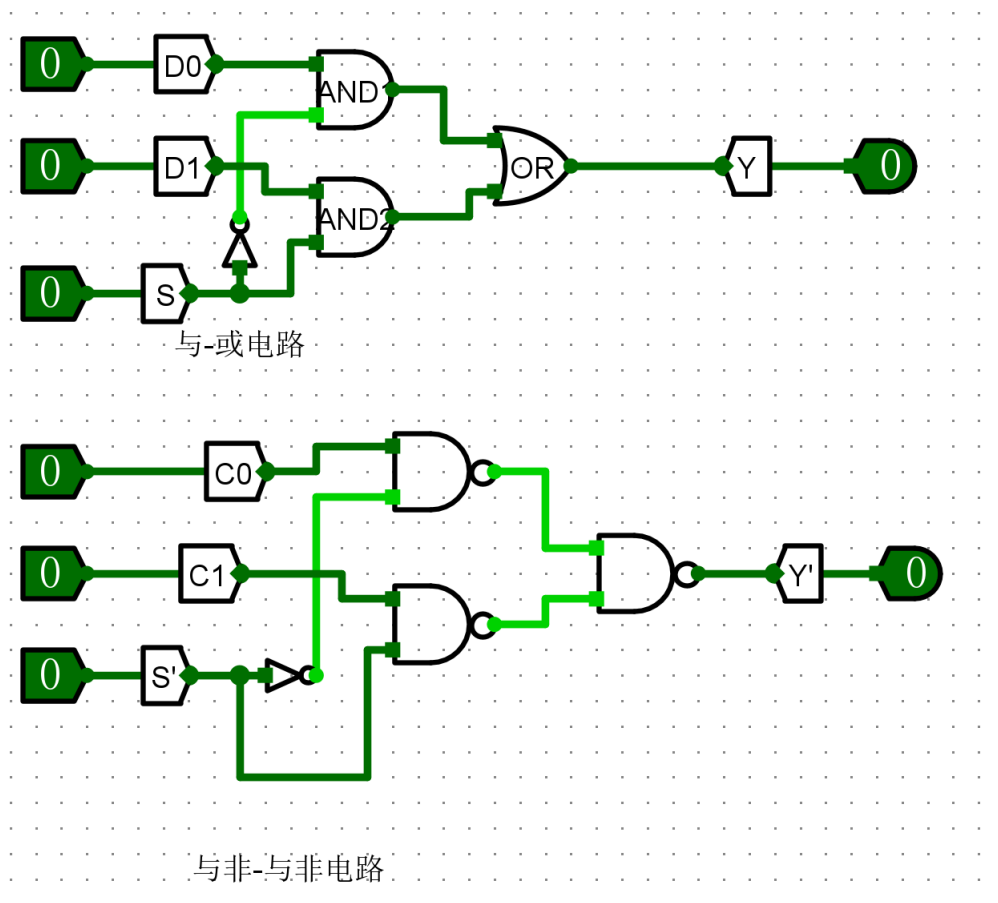


Figure 17: 多路选择器的两种实现

特性: 与非-或非结构延迟更低, 与非-或非和与非电路基本框架相同

4.2

转换电路:

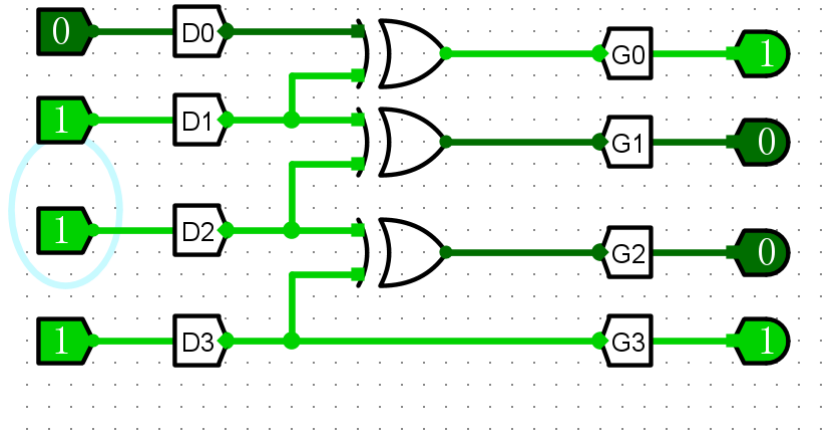


Figure 18: 格雷码转换电路

4.3

生成电路:

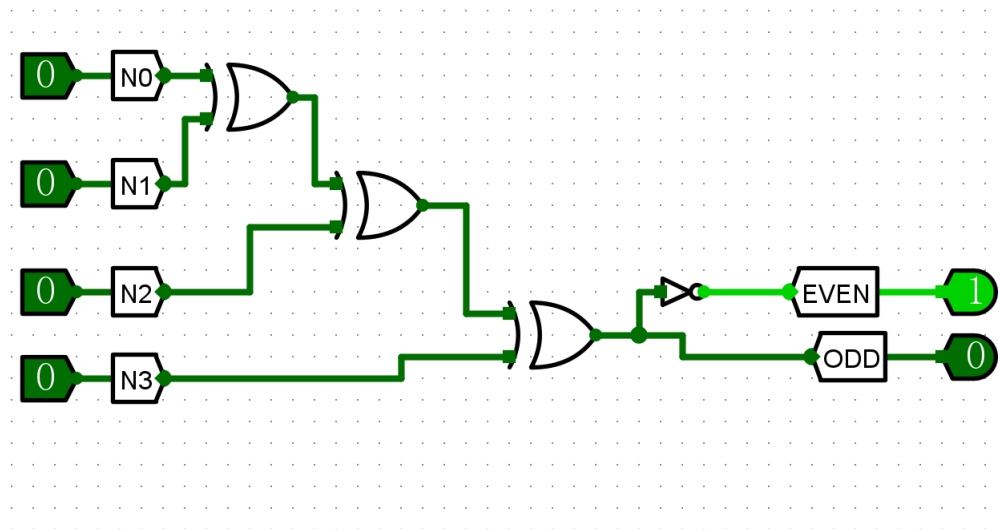


Figure 19: 奇偶校验电路

具体 circuit 文件详见附件