

# LN882H

## 硬件设计指南

**LN882H Application Notes AN013**  
上海亮牛半导体科技有限公司  
版权© 2021-2022



[www.lightningsemi.com](http://www.lightningsemi.com)

# 目录

目录.....	2
1. 产品概述.....	4
2. 参考电路图.....	5
2.1 电源.....	6
2.1.1 电源域.....	6
2.1.2 上电时序.....	7
2.2 射频.....	8
2.3 晶体.....	9
2.3.1 参考电路图.....	9
2.3.2 晶体选型.....	9
2.3.3 晶体型号验证清单.....	9
2.4 UART.....	10
2.5 GPIO.....	10
2.5.1 GPIO 概述.....	10
2.5.2 GPIO 驱动能力.....	10
2.5.3 特别说明及注意事项.....	11
2.6 Boot 模式.....	11
2.7 下载固件.....	11
2.8 ADC.....	12
3. PCB Layout 注意事项.....	13
3.1 PCB 布局及层定义.....	13
3.1.1 层定义.....	13
3.1.2 布局.....	14
3.2 电源线的走线原则.....	14
3.3 射频阻抗线的控制.....	15
3.3.1 射频线走线原则.....	15
3.3.2 特性阻抗的控制.....	16
3.4 晶体的处理.....	16

3.5	EPAD 的处理.....	17
3.6	Wi-Fi 天线或模组的放置区域.....	17
3.6.1	Wi-Fi 天线放置原则 .....	17
3.6.2	模组放置区域.....	18
3.6.3	板载 PCB 天线放置区域 .....	18
3.6.4	板外天线(IPEX 等)的放置区域.....	19
4.	常见问题 .....	20
4.1	射频发射功率较低.....	20
4.2	射频 TX 的 EVM、Frequency Error 较差.....	20
4.3	射频接收灵敏度较差 .....	20
	关于本文档 .....	22
	免责声明和版权公告.....	23

# 1. 产品概述

LN882H 是集成了 Wi-Fi、BLE、MCU、PMU、Flash的单SOC方案芯片，支持2.4GHz IEEE802.11b/g/n 和 BLE 5.1 双模无线通信，支持 SDIO（slave）、UART、I2C、I2S、PMW、SPI和GPIO等多种接口。

LN882H 采用超低功耗的 40 纳米工艺，具有超高的射频性能、稳定性、通用性和可靠性，以及超低的功耗，满足不同产品的需求，适用于各种应用场景。

LN882H 是业内超高集成度的解决方案，外围元器件十分精简，仅需1个晶体和10个左右的阻容感元器件，极大减少了所需PCB 的面积。

LN882H 还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的不足，更好地适应外部环境的变化，降低生产的成本。

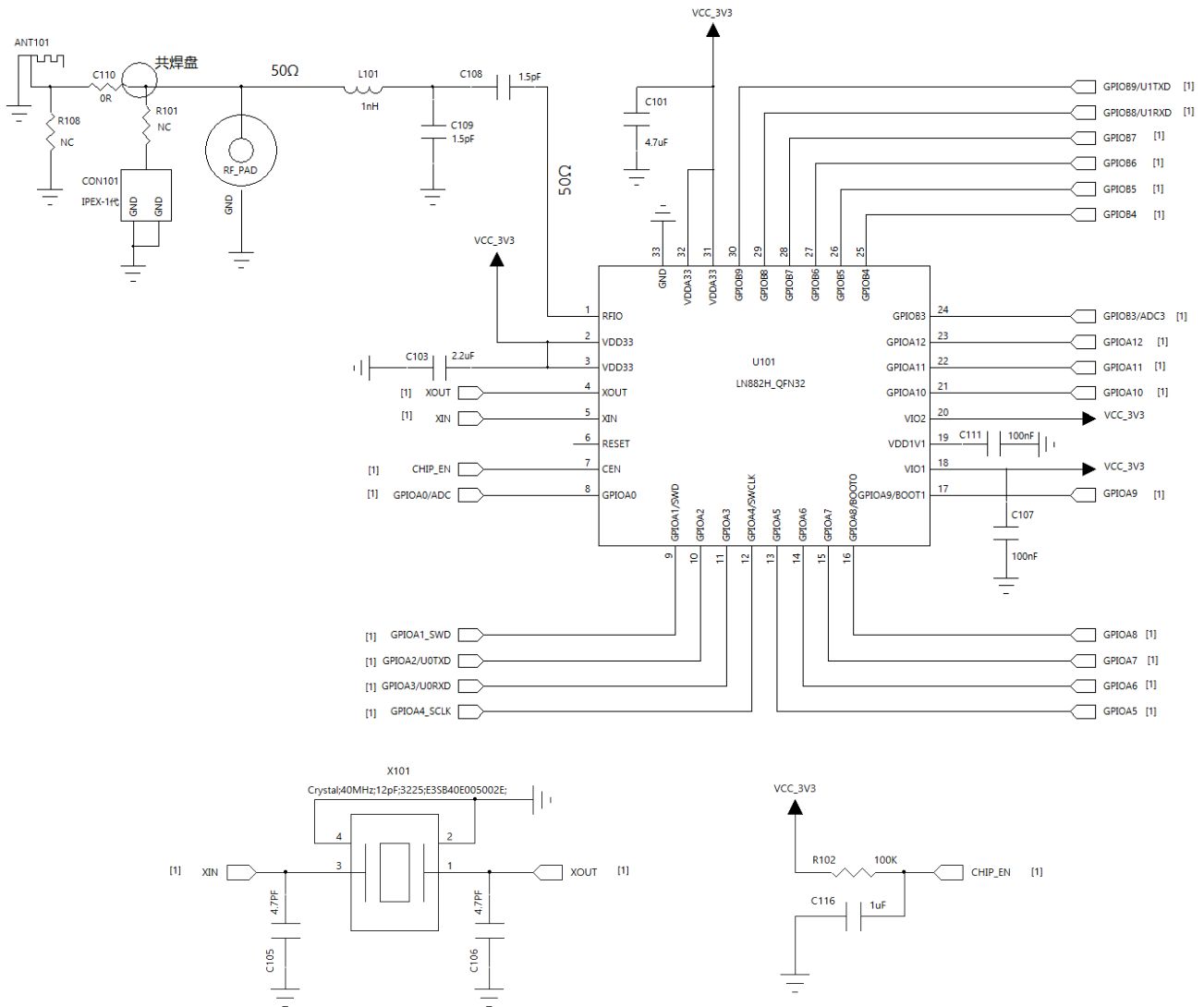
目前LN882H对外主推的只有QFN32封装，内置Flash，支持的Flash容量及更多产品型号说明请参见规格书。

为了更好地保证LN882H 的工作性能，本文档将详细介绍LN882H 的原理图以及PCB布局的设计。

## 2. 参考电路图

LN882H 的电路只需要 1 个无源晶体、及 10 个左右的电阻电容电感元器件组成。LN882H 内部集成了天线开关、射频 Balun、射频功率放大器、低噪声放大器、滤波器、电源管理模块和先进的自校准电路，这种高集成度使得其外围电路设计十分简单。

LN882H 的电路如下图所示。



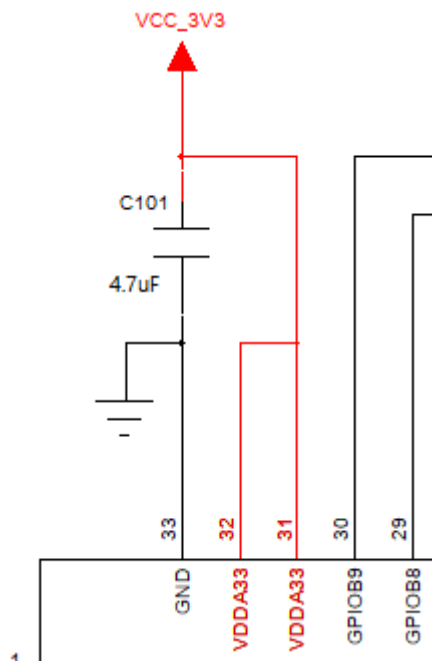
下面分别对电路图中关键部分进行详细说明。

## 2.1 电源

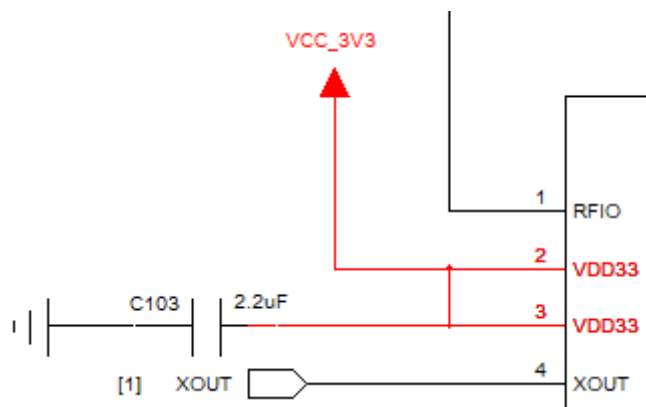
### 2.1.1 电源域

LN882H 的电源 pin 详细说明如下：

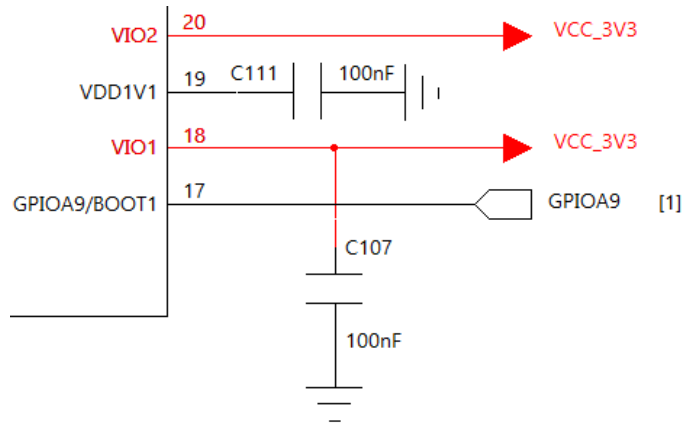
- PIN 31 和 PIN 32 是内部射频 PA 的供电输入管脚，使用 3.3V 工作电压，最大电压不能超过 3.6V。当 LN882H 处于 TX 状态时，瞬时电流较大，需要在靠近管脚位置添加不小于 4.7μF 的大电容到地，如果 PCB 空间足够，建议再放置一个 100nF 电容到地。



- PIN 2 和 PIN 3 是内部 LNA 和 PLL 的供电输入管脚，使用 3.3V 工作电压，需要在靠近管脚位置添加一个 2.2μF 电容到地。



- PIN18(VIO1)是 I/O 接口的供电输入管脚，PIN20(VIO2) 是 I/O 接口的供电输入管脚，可以支持 2.6V 到 3.6V 工作电压，推荐使用 3.3V。需要在靠近管脚位置添加 100nF 电容到地。



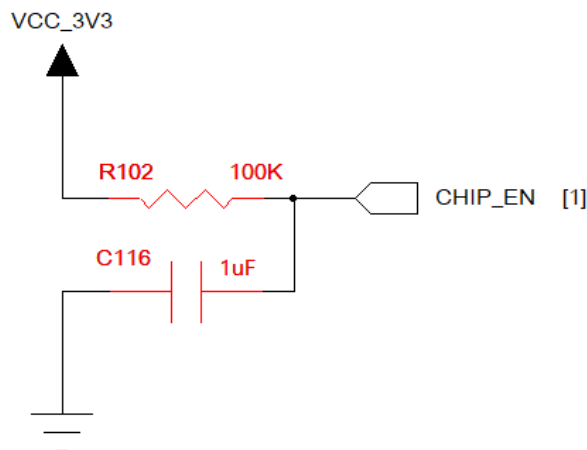
- PIN 19 是内部数字部分 1.1V 电源的去耦电容管脚，需要在靠近管脚位置添加 100nF 电容到地。
- PIN 7 是芯片使能脚(Chip\_EN)，需要外加 100K 上拉电阻到 3.3V，并添加 1μF 电容到地。请见”上电时序”章节。

**注意：**

- 推荐LN882H的供电电压为 3.3 V，输出电流应能满足500 mA以上。
- 在电源入口处，请根据具体的使用场景评估是否添加ESD保护器件。

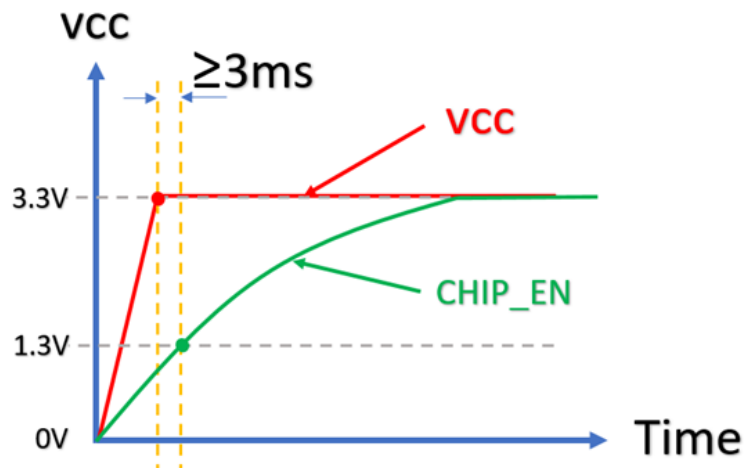
### 2.1.2 上电时序

为了确保上电时芯片工作状态正常，Chip\_EN 需要增加 RC 延时电路。RC 电路器件推荐值为  $R=100\text{ k}\Omega$ ， $C=1\mu\text{F}$ ，可以确保在各种情况下都能稳定工作。推荐电路图如下：



如果客户根据情况确实需要减小 R 的值，有个重要前提一定要保证，就是 VCC 上升到 3.3V 要比 CHIP\_EN 到达 1.3V 早至少 3ms 以上。不同供电方案的板子 VCC 上升速度会有差异，请以实测为准。以亮牛 EVK 主板为例，采用  $R=15\text{ k}\Omega$ ， $C=1\mu\text{F}$  时，VCC 上升到 3.3V 要比 CHIP\_EN 到达 1.3V 早 5ms 左右。

VCC 和 CHIP\_EN 的上电时序图，如下：

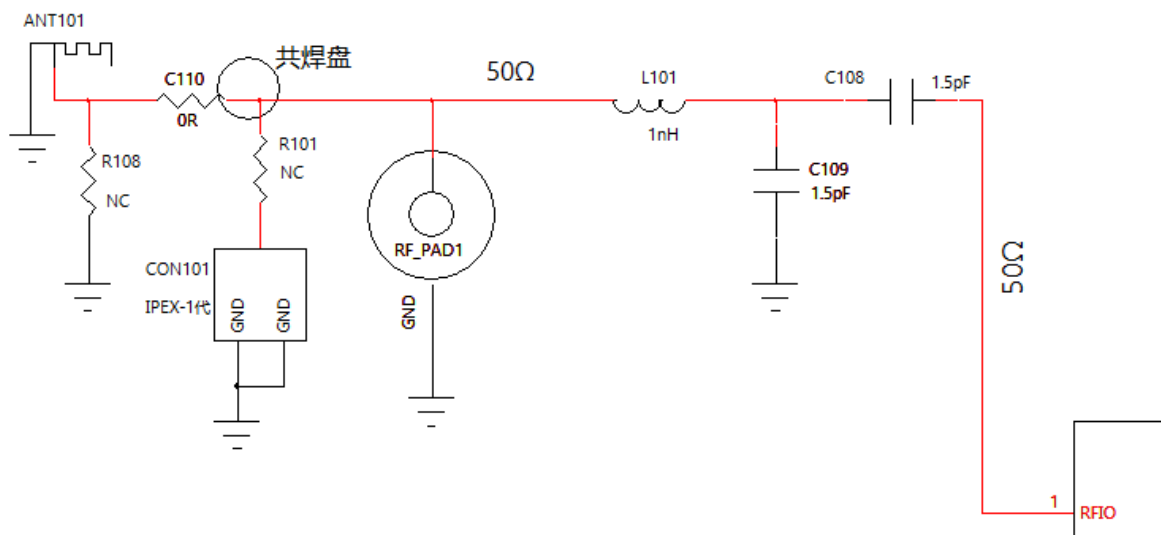


## 2.2 射频

- 传导匹配：先串一个电容，然后再采用  $\pi$  型或 T 型匹配，匹配值需根据主板实际的射频特性阻抗调整。
- 天线匹配：建议预留  $\pi$  型或 T 型匹配位置，匹配值需根据天线实际的特性阻抗调整。
- 射频阻抗线需做阻抗  $50\Omega$  特性阻抗控制。

请根据产品需求，确认是使用哪种天线连接方式，是 IPEX 射频测试座，还是板载 PCB 天线？以及是否需要 RF 焊盘 PAD。

参考设计如下：



### 注意：

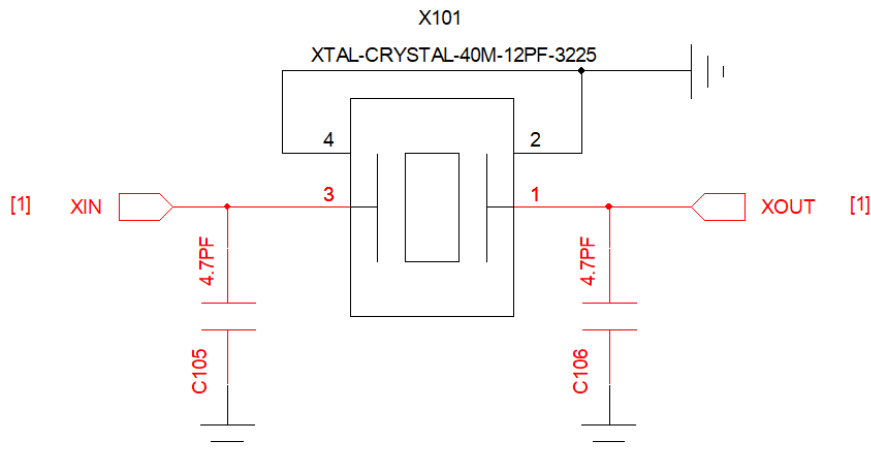
- 请根据实际需求，评估是否需要兼容设计IPEX测试座以及产线测试圆盘。
- 在天线入口处，请根据具体的使用场景评估是否添加ESD保护器件。
- 射频匹配的值仅供参考，每个项目都需要进行调试，才能达到更好的性能。



## 2.3 晶体

### 2.3.1 参考电路图

在晶体 XIN、XOUT输出端需加匹配电容到地，来调节晶体的负载电容。晶体部分原理图如下：



其中C105和C106的值推荐使用4.7pF。

### 2.3.2 晶体选型

晶体选型的规格，必须满足以下两个参数的要求，请严格执行：

- 标称频率  $f_0$  (Nominal Frequency): **40MHz**;
- 负载电容 CL (Load Capacitance): **12pF**;

另外，精度和温度的范围，可以根据需求和成本综合考虑自行选择适合的，也可以参考如下：

- 精度公差 (Frequency Tolerance):  $\leq \pm 10\text{ppm}@$ 常温,
- 温度稳定性 TC (Frequency Stability):  $\leq \pm 20\text{ppm}@$ 工作温度范围;
- 工作温度 (Operating Temperature):  $-40^\circ\text{C} \sim +105^\circ\text{C}$ , 或  $-30^\circ\text{C} \sim +85^\circ\text{C}$ ;

### 2.3.3 晶体型号验证清单

不同型号的晶体，温度特性会有一定差异。为了更好的确保性能，推荐使用下表中我司验证过的型号，温补参数适配更好。后面会陆续增加更多验证的型号。

产品型号	厂商	描述
E3SB40E005002E	HOSONIC	40M;3.2X2.5mm; CL=12PF; TC= $\pm 20\text{ppm}$ ; $-40^\circ\text{C} \sim +105^\circ\text{C}$ ;

如果采用的是我司没有验证过的晶体型号，注意需同时兼顾高温、常温和低温下的频偏、EVM性能。如果频率偏差较大的话，可以对外部匹配电容值进行适当调整。

## 2.4 UART

LN882H一共有3组UART口，只有UART0支持硬件流控制。

支持的波特率范围：2400~3M, bps.

## 2.5 GPIO

### 2.5.1 GPIO 概述

LN882H\_QFN32 共有 20 个 GPIO 口，分 GPIOA 和 GPIOB 两组，都是可单独配置的。A 组端口可配置成中断模式。

对于每个 GPIO，一旦上电启动后，它的初始状态为通用 GPIO 功能，此时可以由软件单独配置为以下几种模式：

- 上拉输入，
- 下拉输入，
- 高阻输入，
- 推挽输出，

### 2.5.2 GPIO 驱动能力

GPIO 在输出高和输出低时的驱动能力不同，A0~A12 和 B3~B9 这几个 GPIO 口的驱动电流如下表(单位: mA)：

GPIO	A0	A1	A2	A3	A4	A5	A6
输出高	5	5	5	5	5	5	10
输出低	10	10	10	10	10	10	20

A7	A8	A9	A10	A11	A12
10	10	10	10	10	5
20	20	20	20	20	10

B3	B4	B5	B6	B7	B8	B9
5	5	5	5	5	5	5
10	10	10	10	10	10	10

### 2.5.3 特别说明及注意事项

复用的 GPIO 有一些需要特别注意的地方：

- 模拟输入功能(ADC)需要使用 6 个专门的 GPIO 口，详见“ADC”章节。
- 如果有开启 SWD 功能，SWD 会用到 GPIOA1 和 GPIOA4。这两个口会在上电时先变为通用 GPIO，然后在 BOOT ROM 运行阶段很快初始化为 SWD。若上电后 SWD 功能被关闭，将不能被再次打开。
- GPIO A8内部默认已有110K下拉电阻，如果外部加上拉电路，可能上电后无法进入UART Boot 模式。
- GPIO A9内部默认已有110K上拉电阻。
- GPIO A8、A9的初始状态会涉及到不同的Boot模式，请特别注意，具体请参见 “Boot模式”章节。
- 所有GPIO的内部上拉/下拉/高阻状态，内部使用的电阻都是110K。

## 2.6 Boot 模式

LN882H 有两种启动方式，分别依赖于上电时 GPIOA8 和 GPIOA9 的逻辑值状态。启动方式配置如下表所示，更多详细内容请参考 datasheet。

启动模式	GPIOA8	GPIOA9	描述
FLASH Boot	1	0	GPIOA8 默认内部 110K 电阻 pull-down;
	0	1	GPIOA9 默认内部 110K 电阻 pull-up;
UART Boot	0	0	CPU will wait data from UART to program flash.
SDIO Boot	1	1	

## 2.7 下载固件

固件有两种下载方法。

- UART 下载，需要使用 GPIOA2 和 GPIOA3。需先让 A8 和 A9 同时保持低电平的状态(参见“Boot 模式”章节)，然后再上电，会进入 UART boot 模式，再然后用串口进行下载。
- JILNK 下载，用 GPIOA1 和 GPIOA4。

## 2.8 ADC

LN882H有一个6-channel、12-bit 采样模数转换器(ADC)。引脚分配见下表,更多详细内容请参考 datasheet:

PIN 号	PIN 名称	功能
8	GPIOA0	ADC2
9	GPIOA1	ADC3
12	GPIOA4	ADC4
24	GPIOB3	ADC5
25	GPIOB4	ADC6
26	GPIOB5	ADC7

## 3. PCB Layout 注意事项

### 3.1 PCB 布局及层定义

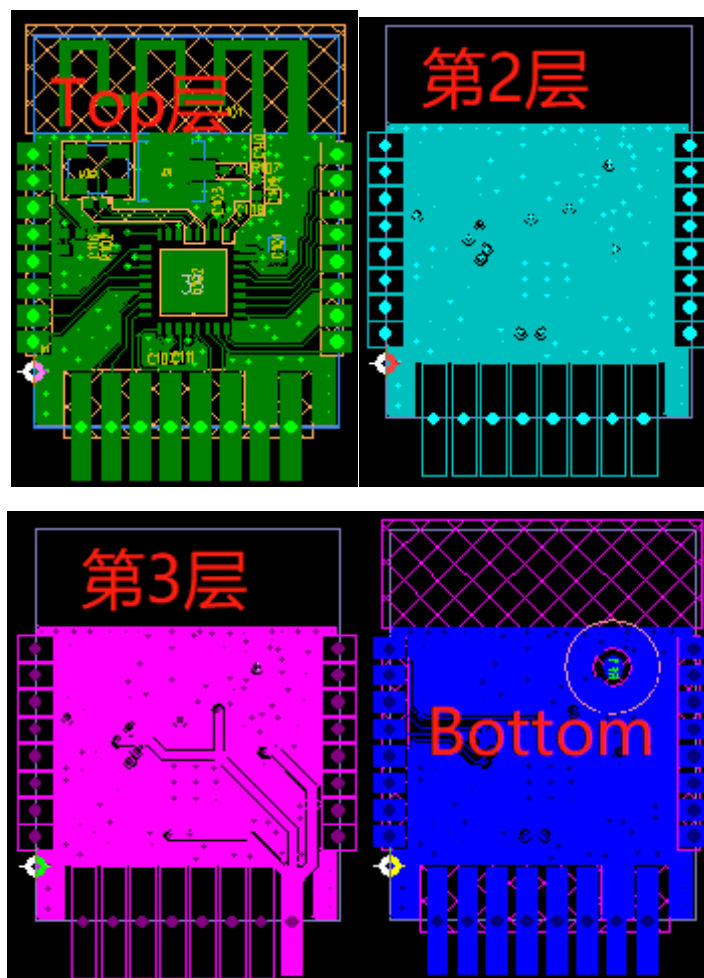
#### 3.1.1 层定义

本章节以LN882H模组PCB为例，介绍LN882H的layout设计要点。

推荐按照下表的层定义。

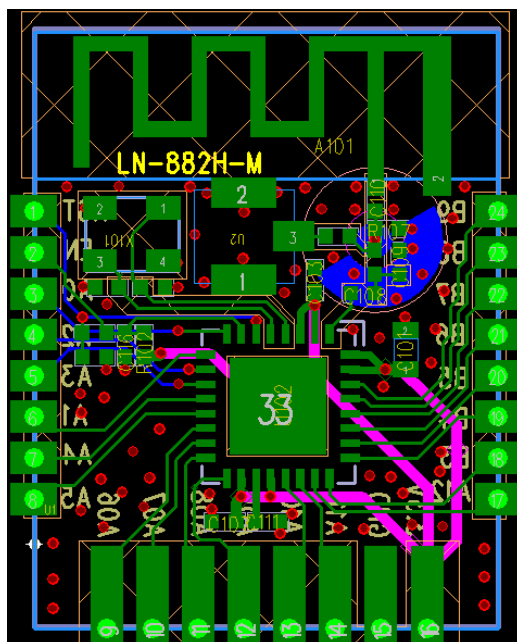
序号	名称	描述
Top层	器件层	主要摆放器件和走信号线
第二层	GND层	禁止走线，要保证一张完整的 GND 平面
第三层	GND层	GND平面、电源线和信号线
Bottom层	信号层	GND 和信号线

PCB每层的图如下：



### 3.1.2 布局

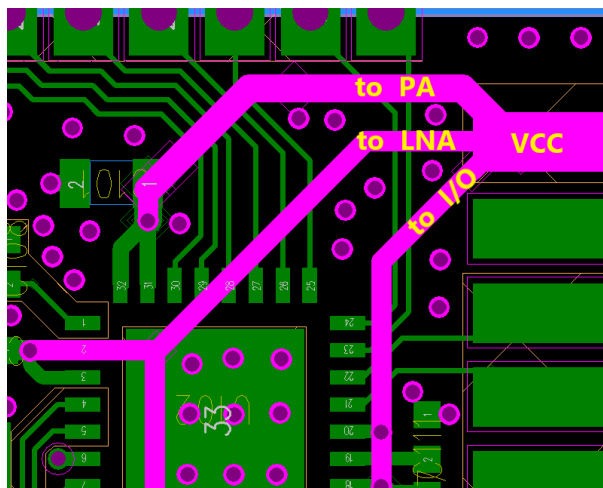
LN882H的PCB layout方案，建议采用4层通孔板，单面放置元器件。LN882H整体的布局如下图所示。



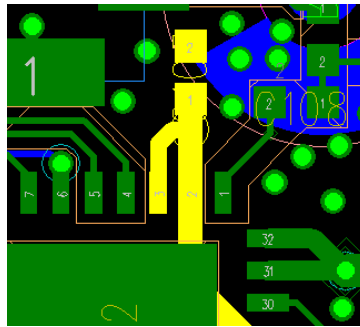
- 强烈建议使用屏蔽罩，把包括晶体、IC、RF、Flash、表层电源线等器件都放在屏蔽罩里；如果不采用屏蔽罩，晶体、RF、Flash、表层电源线等器件及相关走线都要尽量远离天线区域。
- 注意把天线放在完全净空的区域，不要与屏蔽罩等金属器件重合。
- 所有电源上的电容都要靠近相应的pin脚放置，有多个电容时值越小越优先靠近pin脚。

### 3.2 电源线的走线原则

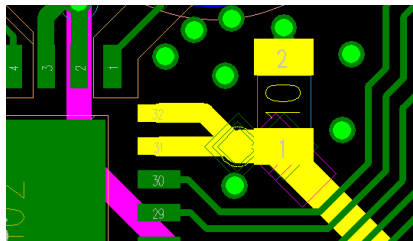
- 电源线必须在靠近VCC供电入口的位置进行分叉，并以星型的形状分别单独连接到PA，LNA，IO各功能的电源域输入pin。各个电源域所对应的pin脚，请参见本文档“电源”章节内容。



- LNA供电的滤波电容C103，要靠近芯片端pin2放置，电源线宽度尽量不小于12mil。



- PA供电的滤波电容C101，要靠近芯片端pin31和pin32放置，通路的载流能力不要低于500mA，线宽建议20mil，如果走线很短最低也不要低于15mil，如果需要打孔换层的话，过孔数量要足够。



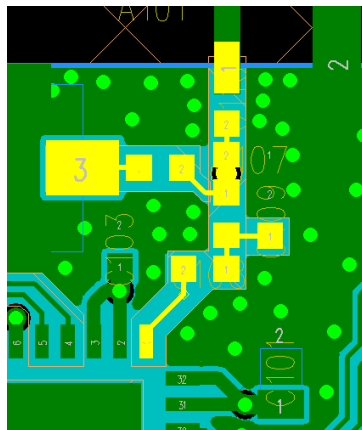
- VDD1V1的内部电源的去耦电容，要靠近芯片端pin19放置。
- 所有的电源线都要尽量走内层，少走表层，特别是不要走到天线旁边的表层。

## 3.3 射频阻抗线的控制

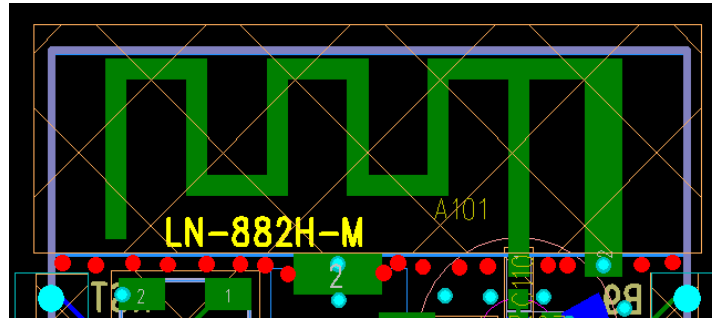
### 3.3.1 射频线走线原则

在 PCB中射频走线必须要注意下列事项：

- 射频信号传输线要走在 top 层，尽量不要穿层打孔。
- 射频的元器件和阻抗线，上下左右都要有完整的GND包着，正下方参考层的GND必须是完整的GND。射频线与同层两旁的GND之间的间距，至少要一倍阻抗线宽以上的间距。



- 天线和射频线旁边的地上要多打地孔。



- 射频阻抗线走线，要尽量避免锐角，要尽量使用钝角或圆弧。
- IC端的阻抗匹配元器件要靠近芯片放置，天线端的匹配元器件要靠近天线放置。
- 射频信号的元器件、走线以及天线，必须远离电源以及高速数据等的器件和走线，还需要有良好的地隔开，以免相互干扰。比如DCDC、晶体、Flash等器件及走线，以及LCD、摄像头、电源、PWM、UART、SDIO和USB等信号的走线。
- 射频阻抗线的线宽要求按50欧姆特性阻抗进行控制。

### 3.3.2 特性阻抗的控制

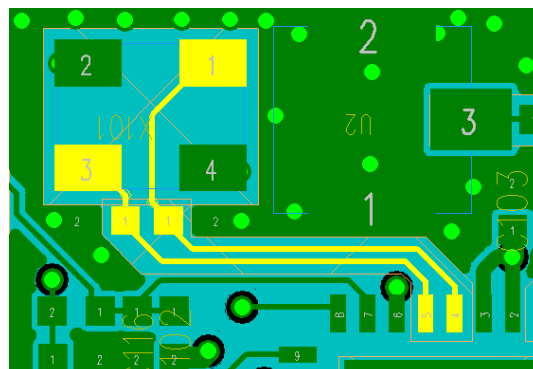
射频阻抗线必须按照50欧姆来控制，阻抗控制主要由到参考层的距离、线宽决定。到参考层的距离又与PCB板材的叠层结构有关。PCB叠层结构有很多种，如果需要知道使用的是哪种，可以向PCB板厂咨询。

把需要控制的阻抗线明示出来，并说明每条线的参考层，然后给到PCB厂商，PCB厂商会去计算并调整线宽。

## 3.4 晶体的处理

在 PCB中晶体必须要注意下列事项：

- 在晶体放置区域，表层需要净空，以减小干扰和分布电容。
- 在晶体正下方的第2层，GND要完整，晶体下面不可以走电源、射频、高速信号等干扰的走线。
- 晶体的时钟信号线的上下左右都要用完整的GND屏蔽，避免被其它信号干扰。
- 晶体的GND焊盘，应该直接打地孔到主地层，不要直接连到表层的地。

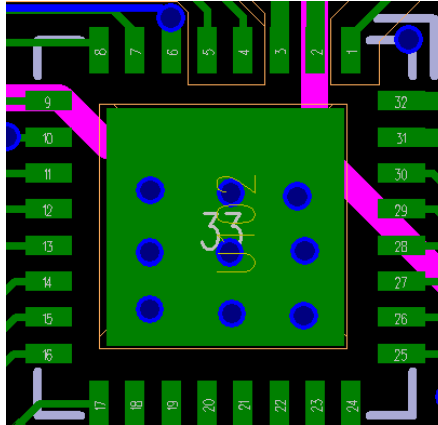




## 3.5 EPAD 的处理

发热量大的器件需要进行散热，LN882H的EPAD就是用来散热的。

- EPAD上需要添加VIA来增加散热，如果能同时在芯片背面的Bottom层设计漏铜，会更利于散热。
- EPAD需要在PCB的Top层中增加一个copper keepout，使EPAD和芯片PIN脚隔离开，避免短路。



## 3.6 Wi-Fi 天线或模组的放置区域

天线的性能受周围环境影响比较大，天线在不同的位置，性能会差别很大。无论是使用LN882H芯片，还是使用LN882H模组，都要注意Wi-Fi天线在大底板上的放置位置，以确保无线性能达到期望的效果。

### 3.6.1 Wi-Fi 天线放置原则

天线放置位置关键原则如下：

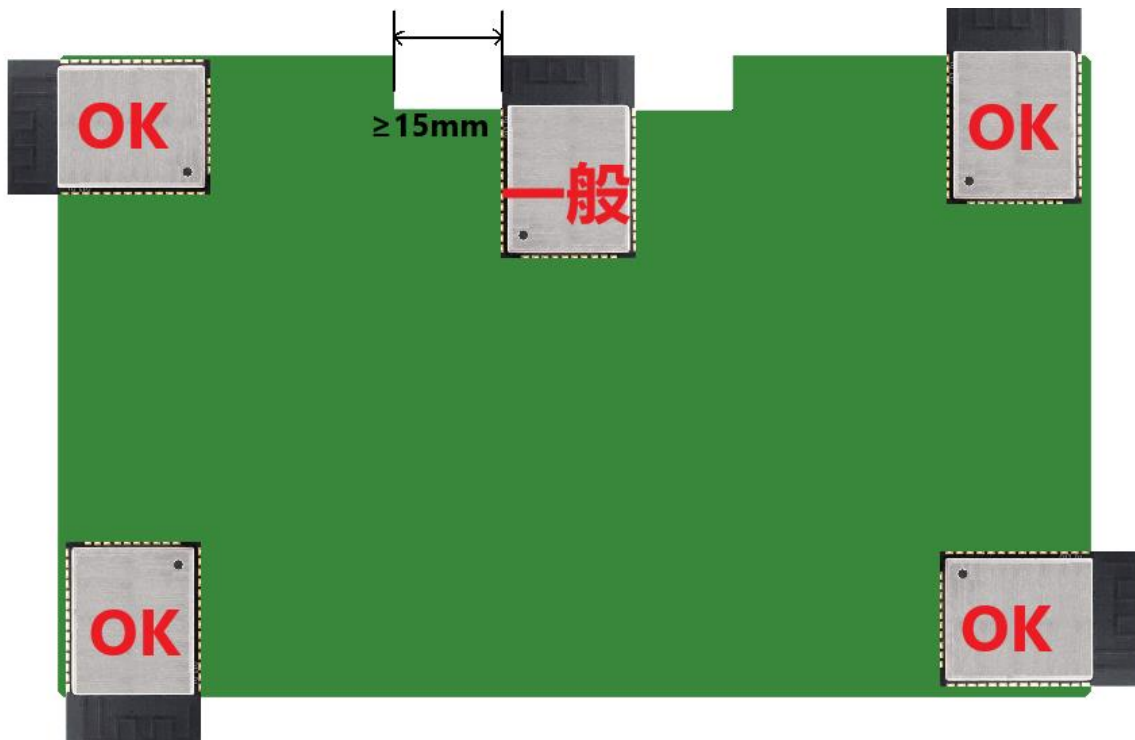
- 天线必须放在开阔的区域，必须放在边缘位置，最好是放在四角的位置，以便于更好的向空间辐射信号；
- 天线必须远离金属，天线旁边不能有比天线高的金属物体，以免被金属物体遮挡信号；
- 天线性能必须是调试过的，阻抗要是匹配的；
- 天线旁边不能有干扰源，天线要远离电源、其它天线、磁性器件、高速数据信号等，以免相互干扰；
- 天线属于强信号，旁边不能有敏感的弱信号，以免被天线干扰，比如晶体/时钟、重要信号等的器件和传输线等；

### 3.6.2 模组放置区域

如果把模组放到另一个大PCB板上，模组的放置区域，有以下几个方面需要特别注意：

- 模组的天线区域(包含模组上的整个天线净空区)必须完全超出PCB的金属区之外；
- 推荐把模组放在四个角落的位置，性能可达到最佳；
- 如果把模组放在板边的中部区域，那么性能不可避免要会偏差。这种情况下，请务必确保天线区域有足够的净空面积，要确保模组上的天线离两边PCB的金属之间的间距至少 $\geq 15\text{mm}$ ，即便按这样要求做，也是很勉强的性能，所以并不推荐。

示例如下图：

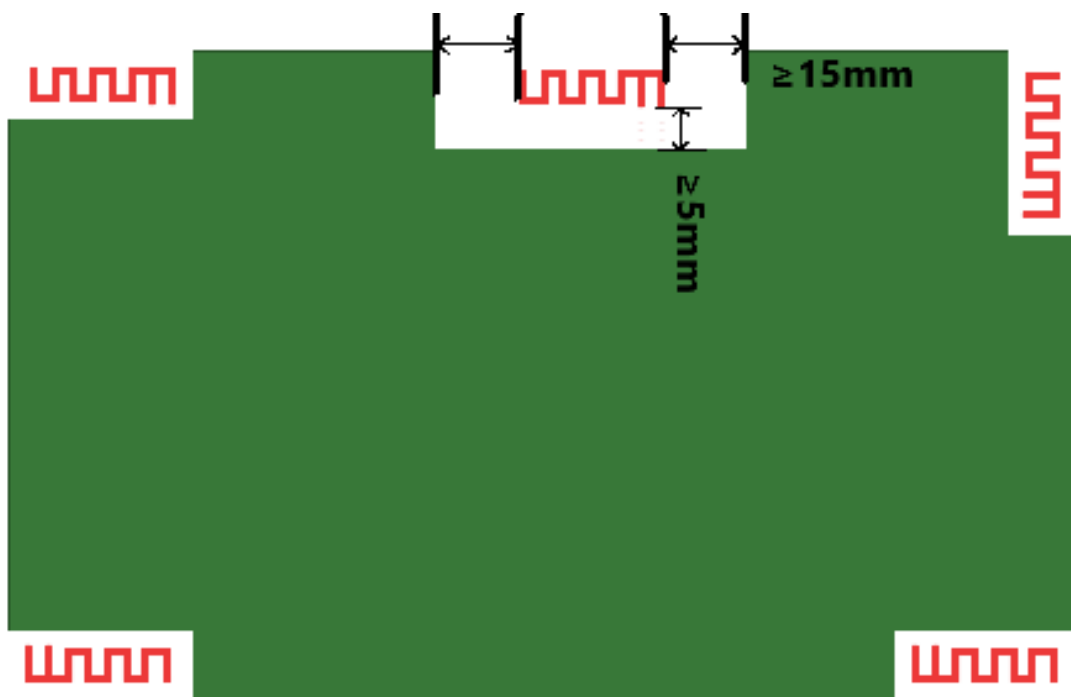


### 3.6.3 板载 PCB 天线放置区域

如果直接使用LN882H芯片设计到大PCB板上，并且Wi-Fi天线采用板载PCB天线的方式。板载PCB天线的注意事项与模组一样。

- 推荐把天线放在四个角落的位置，性能可达到最佳；
- 如果把天线放在板边的中部区域，那么性能不可避免要会偏差。这种情况下，请务必确保天线区域有足够的净空面积，要确保天线离两边PCB的金属之间的间距至少 $\geq 15\text{mm}$ ，离内测金属的间距至少要 $\geq 5\text{mm}$ 。即便按这样要求做，也是很勉强的性能，所以并不推荐。
- 通常芯片要靠近天线位置布局。

示例如下图：



### 3.6.4 板外天线(IPEX 等)的放置区域

如果天线采用IPEX座子的连接形式，比如采用FPC天线或者外置天线，也请务必确保天线是悬在远离金属的空间中，要确保旁边没有比较大、比较高的金属物体阻挡信号。

## 4. 常见问题

### 4.1 射频发射功率较低

原因分析：

1)，主板的传导阻抗不匹配，会导致主板的传导发射功率偏低。

阻抗不匹配会导致芯片内部的RF PA的增益下降，输出功率自然也会降低。阻抗不匹配有时还会使PA输出信号失真、线性变差，导致EVM变差。芯片输出端要预留一个 $\pi$ 型的匹配位置，一定要把主板传导的阻抗调试到尽量靠近50 $\Omega$ 。

2)，天线的阻抗不匹配，会导致天线的效率偏低，进而导致天线的发射功率也偏低。

要先确保主板传导的阻抗调试ok，然后再找天线厂调试天线的阻抗。建议天线端提前预留一个 $\pi$ 型匹配。

### 4.2 射频 TX 的 EVM、Frequency Error 较差

原因分析：

1)，电源纹波过大。

如果电源的源端的纹波就很大，可尝试在电源入口处增加10 $\mu$ F以上大电容。

如果电源的源端的纹波正常，在发射信号时纹波才变大，可以尝试在PA供电的pin31和pin32端添加一个10  $\mu$ F的滤波电容，电容必须靠近芯片管脚放置，否则改善效果不明显。一般情况下，发送MCS7@11n的包时，电源纹波峰峰值要<80 mV。发送11m@11b 时，电源纹波峰峰值要<120 mV。

如果pin2和pin3处的电源纹波也较大，还可以尝试把pin2和pin3管脚位置的电容值加大到10 $\mu$ F以上，看是否有改善。

2)，晶体或者时钟信号差。

如果晶体或者时钟信号的走线受到干扰，会影响到射频TX的性能。需要在PCB布局时让晶体尽量远离干扰器件，在走线时对时钟信号进行包地。具体可以参考前面的“晶体”章节。

如果晶体的本身质量不好、频偏过大，会影响到射频TX的调制指标的性能。可尝试更换其它型号的晶体，或者从OK的板子上对调下晶体。

### 4.3 射频接收灵敏度较差

原因分析：

1)，首先排除性能没有调试好。

首先要确保主板和天线的发射性能没有问题，包括发射功率、EVM、频率误差等指标都没有问题。如果有问题，请先调试匹配的阻抗。如果阻抗不匹配，接收链路的插损会偏大，进而降低灵敏度。

## 2)，外界噪声造成的干扰(desense)

主板传导方面。射频线要做好隔离，旁边不要走高频信号、电源等，详细要求可参考“射频线的控制”章节内容。

空间耦合方面。在天线旁边的PCB表层不能有其它走线，比如电源线、钟信信号的走线、UART等高速信号的走线，有可能相互耦合。另外，周边其它同频、同信道的发射设备太多，相互干扰。

## 关于本文档

《LN882H 硬件设计指南》主要提供了在使用 LN882H 进行电路设计和 PCB 布局时需注意的事项。本文还简要介绍了 LN882H 的硬件信息，包括 LN882H 芯片、模组、开发板以及典型应用方案等。

### 文档及证书

本文档的最新版本，请至亮牛官网 [www.lightningsemi.com](http://www.lightningsemi.com) 下载，或找 FAE 索取。

文档仅供参考，请联系技术支持人员。如有错漏之处，欢迎指正，请反馈至相关[邮箱](#)。

### 修订历史

Version	History	Name	Date
0.1	Draft	Lan	2021/11/11
0.2	PCB 优化	Lan	2021/12/13
0.3	XTAL 优化	Lan	2021/12/31
0.4	XTAL 优化, CHIPEN 更新	Lan	2022/06/30
0.5	CHIPEN 优化	Lan	2022/07/12
2.0	内容扩充	ys/Lan	2022/08/19
2.1	细节优化	ys	2022/10/20
2.2	删除未量产封装, 上电时序更新, 其它多处细节优化	ys	2023/07/25

## 免责声明和版权公告

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，亮牛半导体不对信息的准确性、真实性做任何保证。

亮牛半导体不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供对任何其它亮牛半导体的提案、规格书或在他处提到的样品的任何保证。

本文档中的所有信息，包括供参考的URL地址，如有变更，恕不另行通知。

亮牛半导体不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归Wi-Fi 联盟所有。蓝牙标志是Bluetooth SIG 的注册商标。文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

本文档中包含的信息为亮牛半导体的独有财产，未经亮牛半导体事先书面许可，不得对其全部或部分内容进行分发、复制或披露。

版权归© 2021 上海亮牛半导体科技有限公司。保留所有权利。

