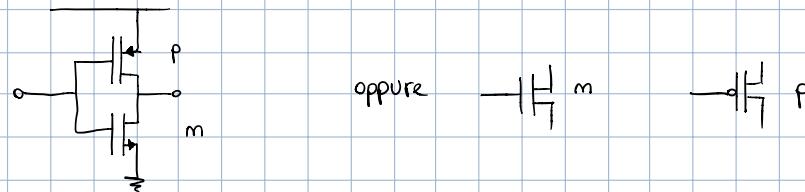


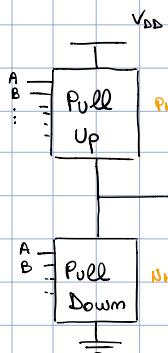
Logica CHOS

Notazione grafica



Porta NOT

Th. di De Morgan: $A \cdot B = \bar{A} + \bar{B}$



Nella logica CHOS la rete di pull-down è responsabile di portare l'uscita a "0", la rete pullup la porta ad "1".

In genere la pull-up è realizzata con i PMOS, la pull-down con gli NMOS

La porta AND



Tabella della verità:

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

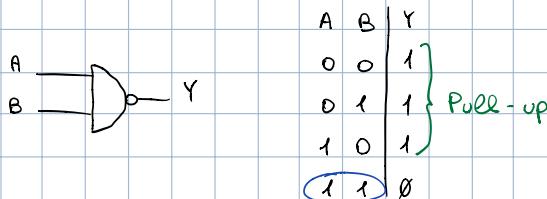
} Pull-down
} Pull-up

Condizione di accensione esclusiva: al più una tra le due reti deve essere accesa

Per accendere i P l'impianto deve essere basso, per gli N è il contrario

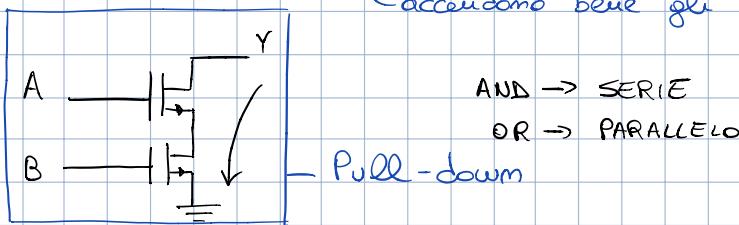
Ma se in A e B cade V_{DD} il P non si accende (ho 2 segnali alti); dovrà mettere degli inversori ma è preferibile non farla.

Provo con la NAND



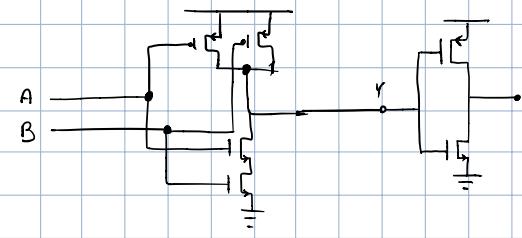
Ma entrambi gli impianti devono essere V_{DD} \Rightarrow collegamento in serie!

L'accendono bene gli NMOS

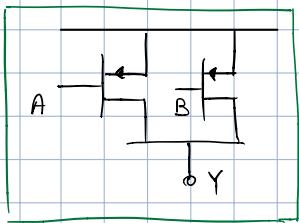


AND \rightarrow SERIE
OR \rightarrow PARALLELO

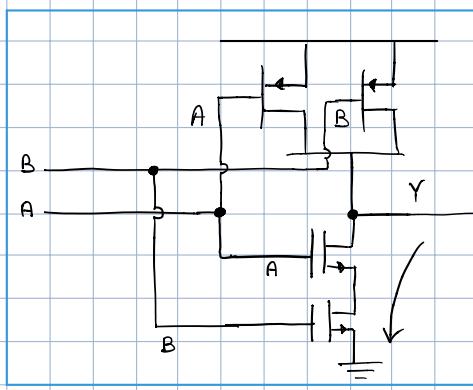
Pull-down



Per il pull-up un transistor im parallolo all'altro:



Pull-up



NAND

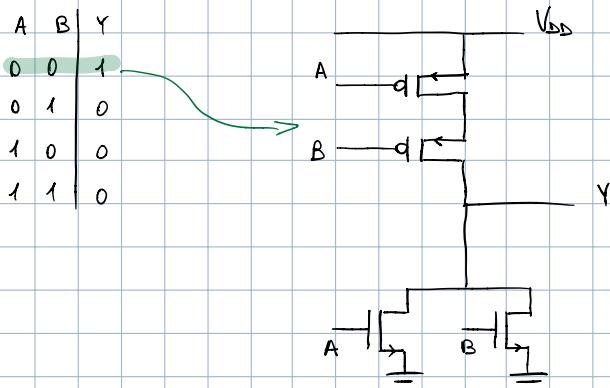
La porta OR

Il pull-down (NMOS) si accende con ingresso alto, ma qui non c'è

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1



Proviamo con la NOR, con pull-up dato da PMOS in serie e pull-down da NMOS im parallolo:



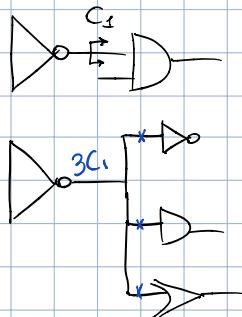
$$y = \overline{A+B} = \overline{A} \cdot \overline{B}$$

$$y = \overline{A \cdot B} = \overline{A} + \overline{B}$$

Negando gli ingressi il pull-down diventa pull-up e viceversa \Rightarrow la porta diventa una NAND. Quindi, i mattoni base sono la NAND e la NOR, che implementano il prodotto e la somma a minor costo di transistor.

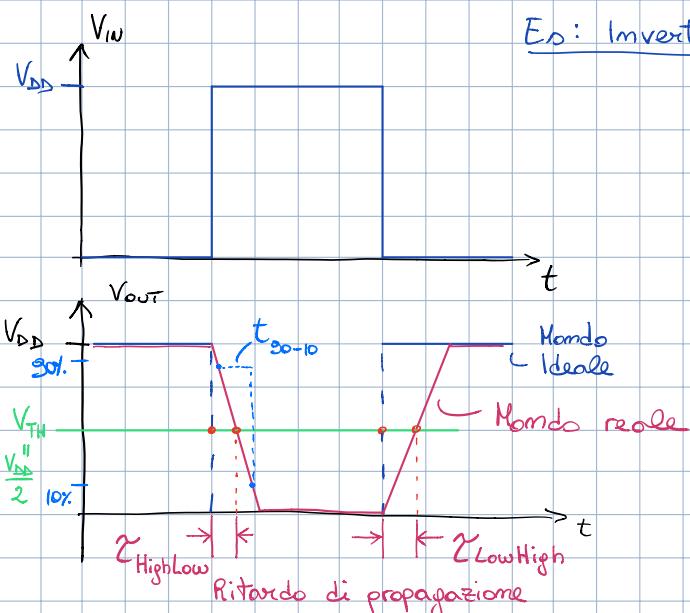
Calcolo del tempo di commutazione di una rete CHOS

Il tempo di commutazione è legato alla presenza di condensatori: modellizziamo la capacità dei gate e i collegamenti parassiti a valle come dei condensatori



FAN-OUT : # di porte all'uscita

Ha impatto sulla capacità totale



Nel mondo reale il segnale d'uscita avrà un certo transitorio, anche se l'impresario è un segnale ideale (a causa delle capacità totali).

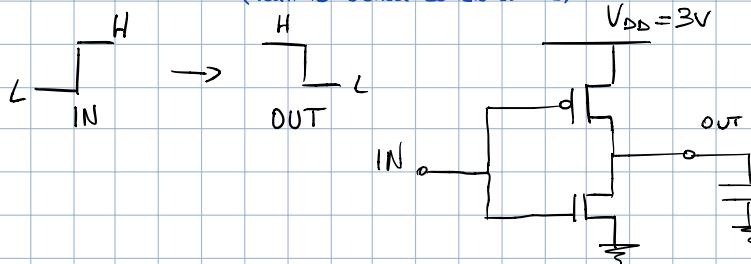
Considero il tempo in cui l'uscita comincia quando raggiunge la soglia logica. Il Δt tra ingresso e uscita è detto **ritardo di propagazione τ** .

Dato il singolo fronte (discesa/salita) si può anche calcolare τ prendendo il tempo che il segnale impiega nel passare dal 50% al 10% di V_{DD} ed è detto **tempo di commutazione**.

* In generale, $\tau_{HighLow} \neq \tau_{LowHigh}$ ma spesso si dà il valore medio negli esercizi

Quel che ci interessa è il tempo $0 \rightarrow 50\%$ di V_{DD} :

(scalmo senza condensatore)



10^{-12} ma valore non trascurabile per questo CHOS

P on, N off prima della commutazione ($t=0^-$)

P off, N on dopo ($t=0^+$)

$V_{IN} = V_{DD} \Rightarrow$ il condensatore è carico a V_{DD} e la carica, sui piedini di C , porta via corrente scaricandola verso il transistor NMOS. Esaurito il transitorio, $V_C = 0$.

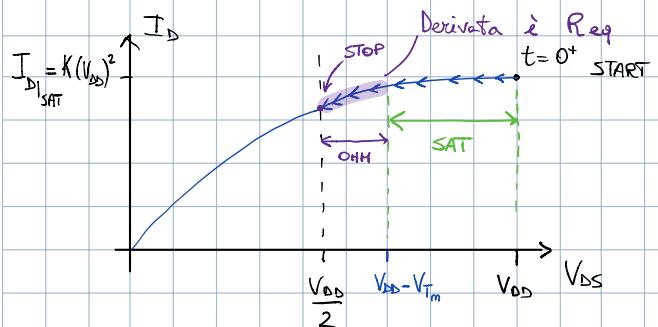
$$V_{Tm} = |V_{Tp}| = 1V$$

$$K_m = K_p = \frac{1mA}{V^2}$$



Per calcolare il tempo di scarica controlliamo se N è in ON o SAT

Com $V_G = 3V$ e $V_D = 3V$ $V_{GD} = \emptyset$ mom c'è canale $\Rightarrow \underline{\text{SAT}}$



$$\Delta t = t_{\text{START}} \rightarrow t_{\text{STOP}}$$

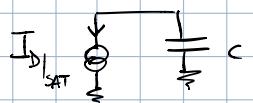
$$\Delta t_{\text{tot}} = t_1 + t_2$$

$$t_1 (I_{D1\text{SAT}}) V_D: 3 \rightarrow 2$$

$$t_2 (I_{D1\text{OHM}}) V_D: 2 \rightarrow 1,5$$

\uparrow Caratteristica statica, l'elemento dinamico è il condensatore

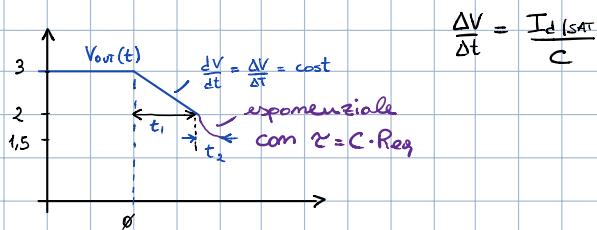
Calcolo t_1 : in SAT il T. è un gen. di corrente $I_{D1\text{SAT}}$



$$i(t) = C \frac{dV_C(t)}{dt}$$

com $I_{D1\text{SAT}}$ costante nel tempo \Rightarrow derivata costante

!!



$$\frac{\Delta V}{\Delta t} = \frac{I_{D1\text{SAT}}}{C}$$

andamento rettilineo,
derivata negativa ma costante

Per il calcolo di t_2 è possibile fare diverse approssimazioni, poiché è un'eq. diff. difficile

1^a approssimazione: Estendo la corrente $I_{D1\text{SAT}}$ anche nel calcolo di t_2
ma è una sorristima della corrente e sottostima del tempo

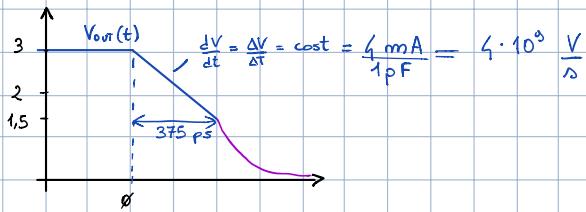
2^a approssimazione: Usare una R_{req} nella zona OHM data dalla pendenza della curva

Calcolo con la I approx:

$$i_{D1\text{SAT}} = K_m (V_{GS} - V_T)^2 = 4 \text{ mA}$$

$$i = C \frac{\Delta V}{\Delta t} \rightarrow \Delta t = C \frac{\Delta V}{i} = \frac{1 \text{ pF}}{4 \text{ mA}} \Delta V = \frac{10^{-12} \cdot 1,5}{4 \text{ mA}} = 375 \text{ ps}$$

$$\Delta V = V_{DS} - \frac{V_{DD}}{2} = \frac{V_{DD}}{2} = 1,5 \text{ V}$$



Approssimazione consigliata per esercizi

Se volessi velocizzare la porta logica per aumentare il numero di calcoli al secondo potrei:

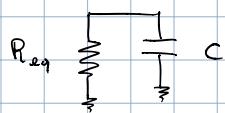
1) Ridurre la C a volte (ma dipende da altre parti)

2) $\Delta t = \frac{C(V_{DD} - V_{TH})}{K(V_{GS} - V_T)^2} \cdot \text{Cox} \cdot W \cdot L$ Non posso alzare molto la W al denominatore, abbassando V_{DD} la V_{GS} diminuisce $(\cdot)^2$,

$$\frac{1}{2} \mu \text{Cox} \frac{W}{L}$$

allora si tende a lavorare su μ

Con la II approssimazione (R costante):



$$\tau = C \cdot R_{eq}$$

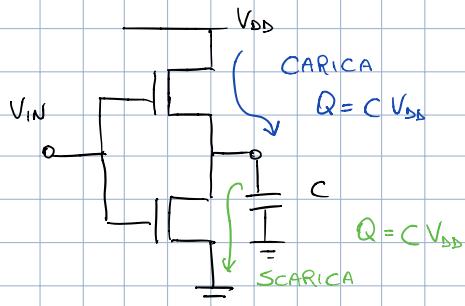
$$R_{eq} = \frac{V_{DD}}{I_{DSAT}}$$

Sostituisco tutto il transistor con una R_{eq}
e avrò un transitorio che tende a 0 con
una costante di tempo τ .

Calcolo della potenza dissipata

$$P_{\text{statica}} = 0$$

$$P_{\text{dinamica}} \neq 0$$

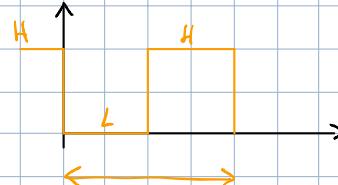


- 2 Fasi: 1) $Q = C \cdot V_{DD}$ da V_{DD} a C
2) Q da C a massa

Media

$$\bar{P} = V_{DD} \cdot \bar{I}$$

$$\bar{I} = \frac{Q}{T} = \frac{C V_{DD}}{T}$$

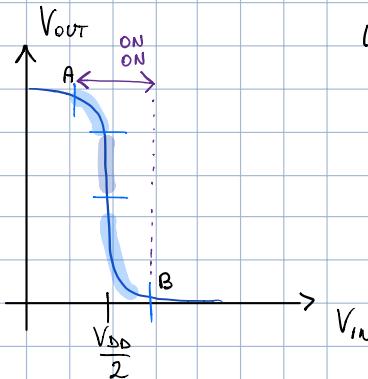


$$f = \frac{1}{T}$$

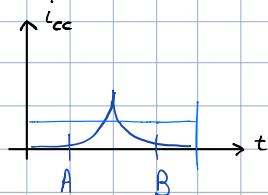
$$\Rightarrow \bar{P} = V_{DD} \cdot C \cdot \frac{V_{DD}}{T} = \boxed{V_{DD}^2 \cdot C \cdot f}$$

Penso lavorare su V_{DD} per
guadagnare sulla potenza
dissipata

Potenza di cross-conduzione



La corrente di crossconduzione
sarà 0 prima di A e dopo di B
ma non nulla nell'intervallo A-B.

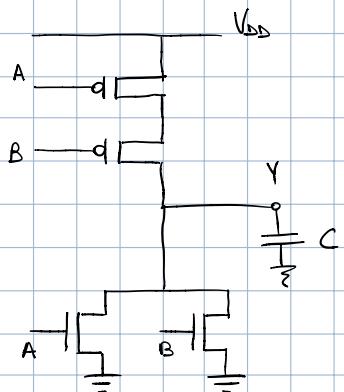


$$\int i_{cc}(t) dt = Q_{cc}$$

Nella zona verticale P e N sono entrambi accesi con uguale corrente.
Se il passaggio è istantaneo allora il contributo di potenza è nullo; ma se non lo
è allora vi è dissipazione di corrente, detta corrente di cross-conduzione.

Ogni volta che c'è una carica/scarica con condensatore in uscita, questo darà un
contributo importante alla potenza dinamica dissipata.

NOR

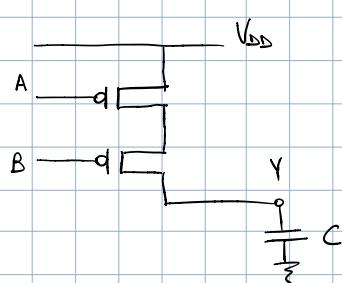


A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

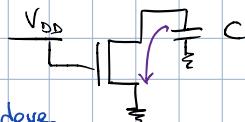
scarica più veloce: $00 \rightarrow 11$ perchè ho due canali (metà del tempo)

Transizione $H \rightarrow L$ della porta NOR: tempo non uguale per tutti gli ingressi

Il transitorio di carica è con i 2 PMOS accesi e t_{LH} unico, il transitorio di scarica più veloce è con entrambi gli NMOS accesi (metà del tempo di un solo condensatore).



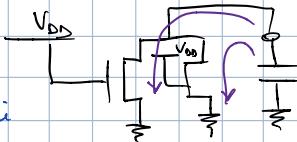
$00 \rightarrow 01$
 $00 \rightarrow 10$



$$\Delta t = \frac{C \Delta V}{I_{D, \text{SAT}}} = \frac{C V_{DD}/2}{K_m (V_{GS} - V_T)^2}$$

Singolo T. acceso che deve scaricare il condensatore

$00 \rightarrow 11$



Due transistor accesi, ho due percorsi ma ci sommano due $I_{D, \text{SAT}}$ di scarica

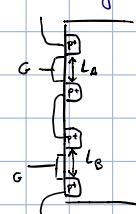
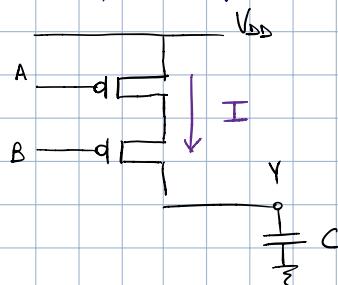
K sommano

$$I_{D, \text{SAT}} = I_{D, \text{SAT A}} + I_{D, \text{SAT B}}$$

$$t = \frac{C \Delta V}{K_m_A (V_{GS} - V_T)^2 + K_m_B (V_{GS} - V_T)^2} = \frac{C \Delta V}{(K_{mA} + K_{mB})(V_{GS} - V_T)^2}$$

$K_{eq} = K_A + K_B$ in serie

Anche nel caso di Transistor in parallelo posso calcolare un transistor equivalente con L equivalente, nell'ipotesi che W sia uguale per entrambi.



$$L_{eq} = L_A + L_B$$

$$I_{D, \text{SAT}} = \frac{1}{2} \mu_p C_{ox} \frac{W}{L_A + L_B} (V_{SG} - |V_{T_P}|)^2$$

$$= \frac{1}{\frac{1}{K_A} + \frac{1}{K_B}} (V_{overdrive})^2$$

$K_{eq} = K_A // K_B$