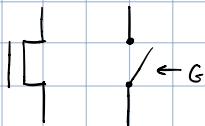
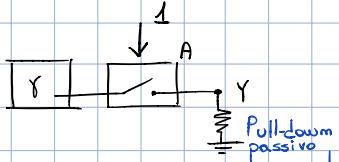


Circuiti logici a PASS TRANSISTOR



I transistor CMOS possono essere visti come interruttori verso 0 o V_{DD}

Transistor in serie al segnale: interruttori in serie controllati da un bit di attivazione

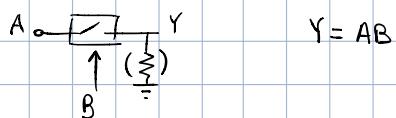


VANTAGGI

- meno transistor
- meno gate da pilotare \Rightarrow capacità di gate C_G minore
 \hookrightarrow velocità

\hookrightarrow c'è, per portare l'uscita a 0, ma normalmente non si scrive

(AND)



$$Y = AB$$

$$\begin{array}{ll} B = \emptyset & T. OFF \quad Y = 0 \\ B = 1 & T. ON \quad Y = A \end{array}$$

1 TRANSISTOR Vs. 6

↑

↳ NAND + 2 NOT

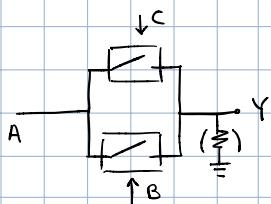
AND a 3 INGRESSI



$$Y = ABC$$

2 TRANSISTOR Vs. 8

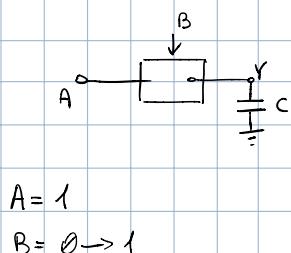
$$Y = A(B+C)$$



$$Y = A + B$$

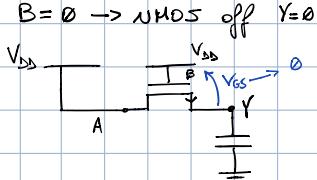


Capacità in uscita: porte a valle, parassitosi dei collegamenti

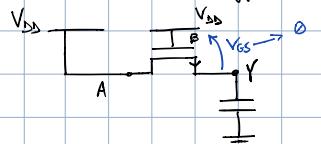


$$A = 1$$

$$B = 0 \rightarrow 1$$



$$B = 0 \rightarrow \text{NMOS off} \quad Y = 0$$

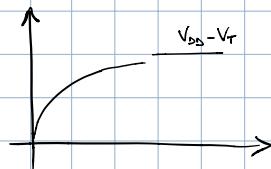


Nel CMOS il transistor ha il source sempre a massa e con V_G = V_{DD} si accende. Qui il source è l'uscita e se il gate tende a V_{DD}, la V_{GS} tende a 0 e il transistor si spegne a V_{DS} = V_T.

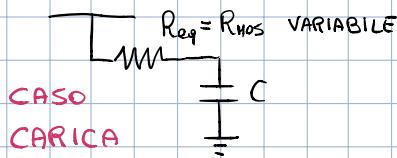
Perda di V_T per ogni transistor in cascata.

Perdita di $\frac{1}{2}V$ per transistor:
esempio $V_Y(\max) = V_{DD} - V_T = V_{DD} - \frac{1}{2}V$

NMOS trasferisce bene gli "0" e male gli "1"
 \hookrightarrow perdo V_T



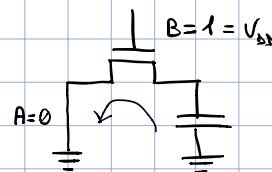
Il secondo problema è l'aumento in transitorio, descritto con una $\gamma = R_{\text{eq}} \cdot C$, ma in questo caso la R_{eq} non è costante perché V_{DS} cambia nella carica del condensatore.



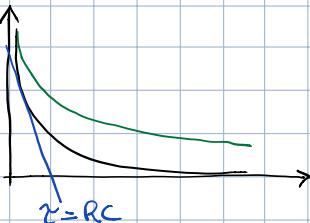
CASO CARICA



CASO SCARICA



Studio la resistenza di carica nella scarica che varia secondo V_{DS}

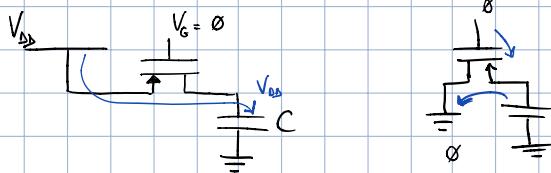


$\gamma = RC$
su questa curva la derivata diminuisce e la Resistenza di carica tende a infinito

$$R_{CH} = \left[\frac{\partial I_{DS}}{\partial V_{DS}} \right]^{-1}$$

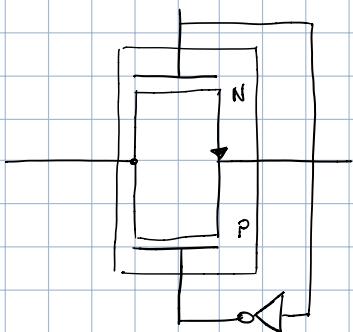
2 svantaggi: 1) Uscita monomodulo arriva a V_{DD} ; 2) Carica/Scarica lente \Rightarrow LO IMPLEMENTO CON 2 TRANSISTORI:

NMOS e PMOS in parallelo

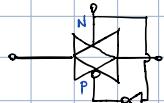


C da caricare a V_{DD} , P avrà G a zero e la V_{GS} è fissa da 0 a V_{DD} (P è complementare a N per come tratta l'uscita); sulla transizione opposta quando il source scende si spegne.

N passa bene gli "0" ma non gli "1", P è il complementare; allora li faccio lavorare in P



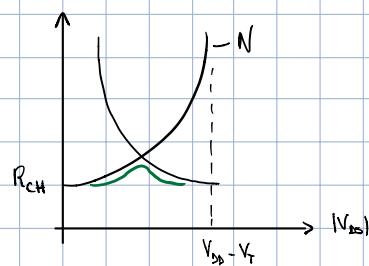
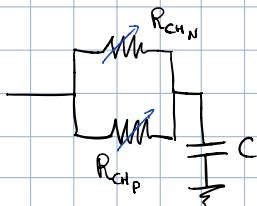
TRANSMISSION GATE: me uso 2 di segno opposto messi in parallelo, entrambi accesi o entrambi spenti



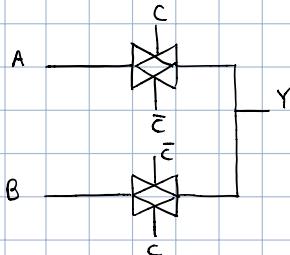
Nella logica PASS TRANSISTOR, per avere buoni "1" e "0" devo usare tutti transistor doppi.

Questi oggetti aiuta anche nella R_{CH} in fase di carica/scarica dei condensatori, entrambe sono variabili ma in modo opposto \Rightarrow il parallelo di queste 2 resistenze è sempre più basso della più bassa e quindi il transitorio è più veloce.

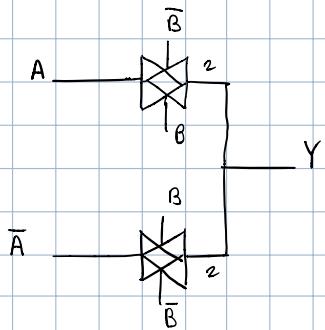
Condensatore + 2 R_{CH} variabili



Esempio: $Y = A \cdot C + B \cdot \bar{C}$

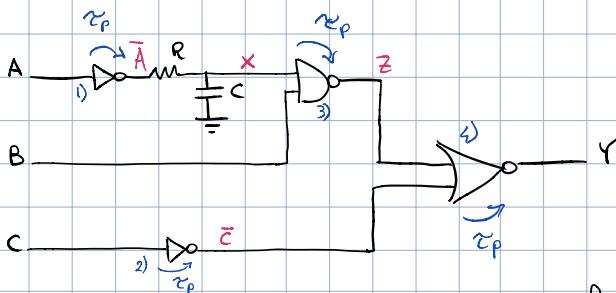


Esempio: XOR: $Y = A\bar{B} + \bar{A}B$



8 transistori vs. 16 del CMOS
 $2+2+2imv+2imv$

Tempo di propagazione delle porte in una rete complessa



$$V_{DD} = +5V$$

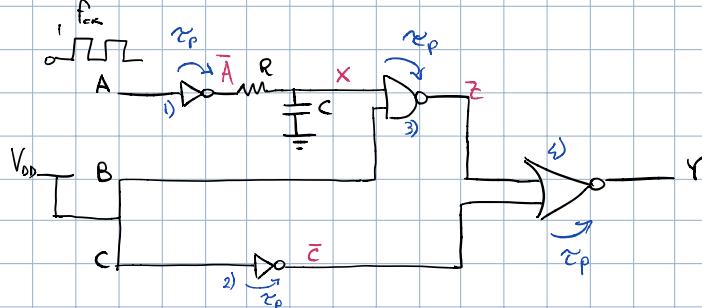
$$R = 200 \Omega$$

$$C = 100 \text{ pF}$$

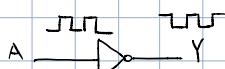
- a) Tabella verità
 b) $f_{CK}/f_{MAX} = 20 \text{ ms}$ con
 B e C cortocircuitati a V_{DD} e A sollecitato a f_{CK}

A	B	C	Y	\bar{AB}
0	0	0	0	1
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	0	1
1	0	1	0	1
1	1	0	0	1
1	1	1	0	1

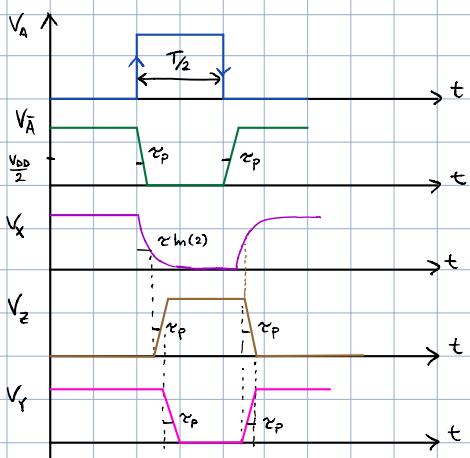
b)



Consideriamo le righe con B e C a "1" con A che commuta da "0" a "1". Il circuito è diventato un inverter controllato da A



Voglio evitare gli sfavillamenti IN-OUT: studio dinamico plottando gli impressi: 5 grafici



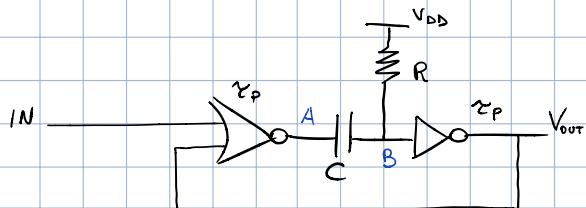
$$T = \frac{1}{f}$$

Tra \bar{A} e X considero il ritardo dell'exp 63% di τ è il tempo per raggiungere metà V_{DD}
 $\tau_{lu(2)}$

$$\text{Condizione } \sum \tau_p < T/2 \Rightarrow 3\tau_p + \tau_{lu(2)} = \underbrace{3 \cdot 20 \text{ ms}}_{60 \text{ ms}} + 200 \Omega \cdot 100 \text{ pF} \cdot 0,63 < \frac{T}{2} \Rightarrow 13,8 \text{ ms} < \frac{T}{2} \Rightarrow T > 26 \text{ ms}$$

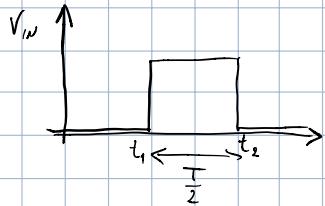
Allora $f_{MAX} < \frac{1}{T_{min}} = 6,7 \text{ MHz}$

Esercizio 2

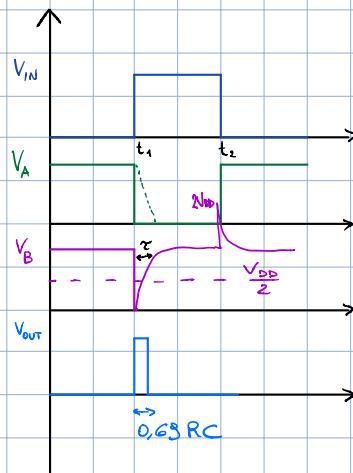


La particolarità è che l'uscita torna indietro all'ingresso \Rightarrow è un circuito sequenziale con retroazione dell'uscita (per via dei ritardi l'uscita si aggiorna)

date la commutazione dell'ingresso, fare calcolo f_{MAX} considerando i ritardi



In condizioni stazionarie C è CA \Rightarrow Vout è a 0 perché B è a V_{DD}, scatta il NOT e porta Vout a 0 e $OUT_{NOR} = 1$ prima di t_1 .



Homostabile : unico stato stabile (oo o)