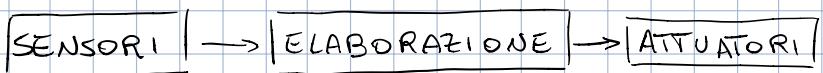


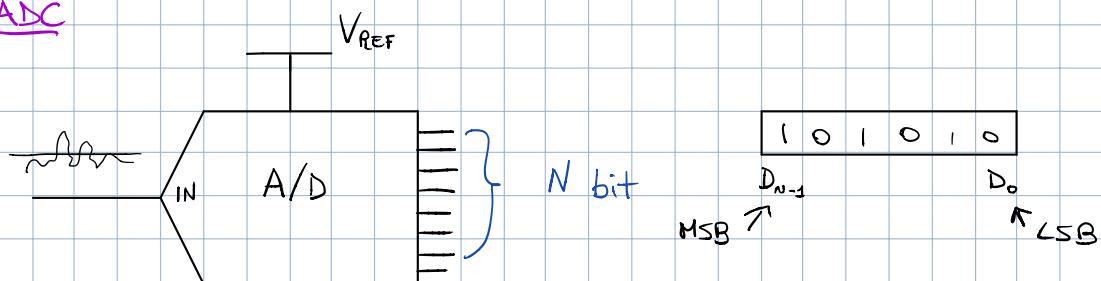
## Conversione Analogico/Digitale



Il sensore traduce una grandezza fisica in corrente/carica/tensione, amplificata analogicamente, questo segnale viene convertito in digitale, elaborato, riconvertito in analogico e passato all'attuatore.



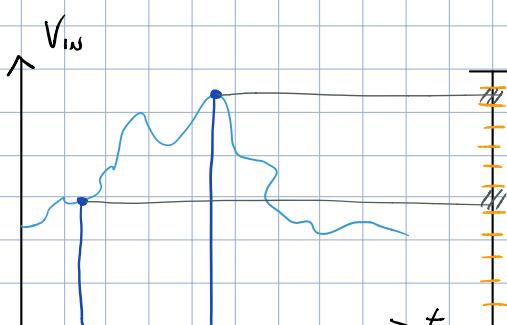
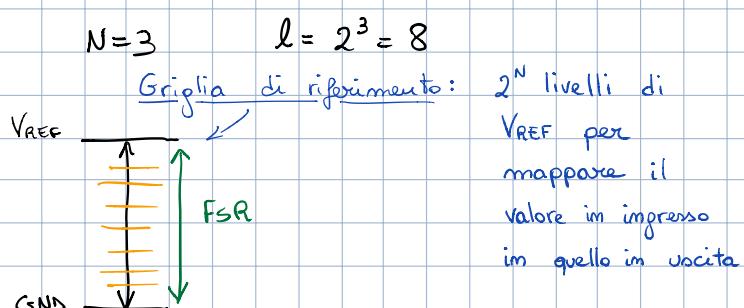
### ADC



Il convertitore ADC, preso il valore analogico in ingresso, lo discretizza in una parola digitale di N bit, che è il valore analogico discretizzato che più si avvicina al valore in ingresso.

Per fare questo il ADC ha bisogno di una tensione V<sub>REF</sub> di riferimento (possono esserne due); legge la  $V_{IN}$ , la confronta con la  $V_{REF}$  e manda in uscita una parola digitale che indica in quale dei  $2^N$  intervalli di  $V_{REF}$  casca il valore analogico.

ES 3 bit



ADC converte dopo aver letto il segnale "start of conversion"

### 2 tipi di discretizzazioni

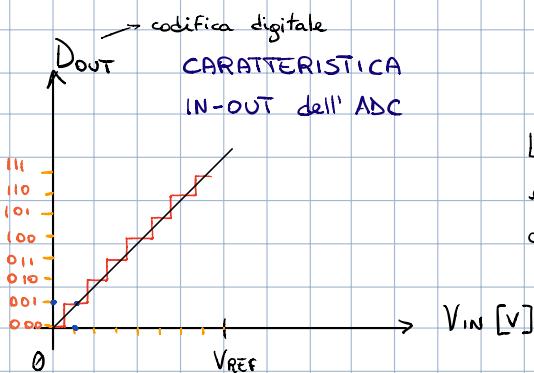
- Campionamento: avviene ad un intervallo  $\Delta t$  generalmente costante e consiste in una discretizzazione sull'asse dei tempi;
- nelle ampiezze: l'infinità dei valori di tensione, con granularità infinita, è confrontata con una griglia a valori finiti rappresentanti gli intervalli di tensione e cade nell'intervalllo corrispondente.

E' errore di quantizzazione: ciascun intervallo è grande 1 LSB (peso del bit meno significativo), l'errore è (alla peggio) più o meno mezzo LSB

FSR := full scale range

$$LSB = \frac{FSR}{2^n}, \text{ allora com}$$

$$\begin{array}{c} \uparrow \\ \text{LSB} \\ \downarrow \end{array} \quad E = \pm \frac{1}{2} LSB$$



La tensione va da 0V a V<sub>REF</sub> e gli intervalli sono limitati dal # di bit

Se voglio un convertitore a una granularità migliore avrà bisogno di più bit (il n° di bit determina la risoluzione)

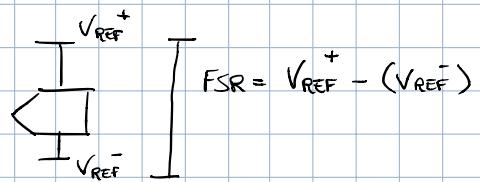
La cosa più semplice è far corrispondere la codifica 000 allo 0 del segnale analogico.

Codifica  $0 < V_{IN} < \frac{1}{8} V_{REF}$  : 001

L'errore di quantizzazione vale:

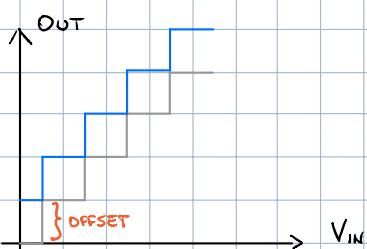


Non sempre FSR è positivo da 0 a V<sub>REF</sub>: in un generico convertitore potrei avere due V<sub>REF</sub>: V<sub>REF</sub><sup>+</sup> e V<sub>REF</sub><sup>-</sup>.



NON IDEALITÀ:

#### •) OFFSET



Errore in cui lo zero è rappresentato con un LSB diverso da 000, così ogni codifica è affetta da un errore che si somma algebricamente

#### •) GUADAGNO

Invece di mantenere la caratteristica sulla bisettrice (45°), i gradini descrivono un andamento a pendente maggiore: i circuiti interni avranno degli errori sul guadagno. La calibrazione va fatta con due valori, da confrontare.



## DIFFERENZIALE (DNL)

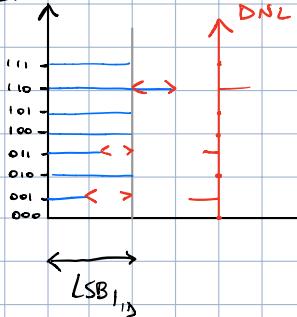
### •) ERRORI DI LINEARITÀ

#### INTEGRALE (INL)

Nel caso ideale l'ampiezza dev'essere un LSB, se non è così ho un errore di non linearità che, nel caso differenziale, guardo gradino per gradino e l'errore è la differenza tra valore ideale e reale.

### DNL

ES.



$$\varepsilon = \Delta_{LSB, ID} - \Delta_{LSB, REALE}$$

Traccio, per ogni codifica, l'andamento della tensione differenziale; si cerca una ampiezza del DNL che è frazione piccola di LSB.

Indica quanto è buono e lineare il convertitore

### INL

Nella INL, quel che interessa è lo scostamento assoluto tra l'andamento ideale e la curva es. se un gradino è più corto di quello ideale, scatterà prima. Nella DNL interessa il simbolo gradino, mentre qui quel è la distanza tra il centro di ogni gradino e la bisettrice di riferimento. L'errore INL è la somma di tutti gli errori differenziali.

Il sommavvi degli errori porta a una divergenza tra il centro dei gradini e la bisettrice. Integrale perché l'errore su un gradino è figlio della somma di tutti i precedenti.



Con entrambi gli errori di non linearità posso avere una visione completa dei gradini reali.

## CARATTERISTICHE ADC

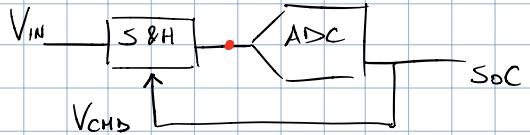
- Risoluzione - dipende dal numero di bit
- Linearità - dipende da come è fatto il convertitore e dalla linearità dei gradini
- Consumo / Area / Potenza
- Tempo di conversione, che ha impatto sulla velocità di campionamento



T<sub>CONV</sub> → limita la frequenza di campionamento,  $f_{c_{MAX}} = \frac{1}{T_{CONV}}$ , rappresenta il minimo periodo di campionamento durante il quale si può usare il convertitore.

Durante la conversione, per garantire che la V<sub>IN</sub> sia costante, si aggiunge il S&H

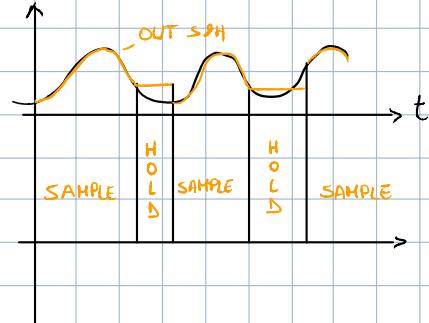
## SAMPLE & HOLD (S&H)



Quando non serve campionare il blocco è trasparente e il segnale arriva al convertitore. Quando, invece, arriva il segnale di Start of Conversion, prende il valore impresso, lo "fissa" e lo presenta costante all'ADC, anche se l'impresario vero continua a muoversi.

2 fasi: sample, campiona, è la fase in cui è trasparente e  $ext = IN$

hold, mantiene

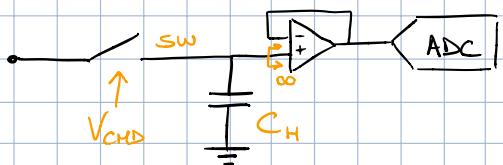


$$T_{CONV} < T_{HOLD} \quad \text{limitazione necessaria}$$

Tipicamente il S&H è interno al convertitore ed è anche conosciuto come campionatore, con il periodo tra 2 fasi di hold chiamato periodo di campionamento

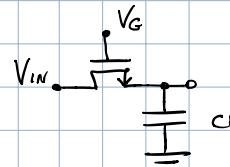
## Realizzazione del sample & hold

- Con un condensatore come memoria analogica



- sample: SW chiuso
- hold: SW aperto

Switch con MOSFET



S e D dipendono dal verso della corrente

Per chiudere lo switch occorre accendere il transistor, quindi

$$V_G > V_T + V_{IN, MAX} \quad \text{in fase di SAMPLE}$$

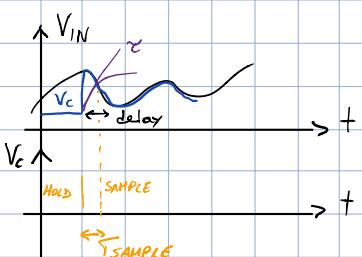
$$V_G < V_{IN, MIN} + V_T \quad \text{in fase di HOLD (MOS OFF)}$$

Ma il MOS, per costruzione, ha bisogno di  $V_T$  e mi fa perdere una soglia. Questo problema lo supero aumentando la  $V_G$  con un'alimentazione.

Il problema fondamentale è la  $R_{CH}$  resistenza di canale che rende il pass-transistor non un corto circuito.

$$\frac{1}{R_{CH}} = \frac{1}{2K V_{DD}}$$

In fase di sample voglio  $V_{IN}$  ai capi del condensatore. La resistenza di canale introduce, però, una costante di tempo.



Per minimizzare il ritardo devo minimizzare la  $R_{CH}$  e cambia la minima durata del tempo di sample

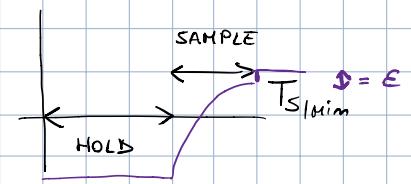
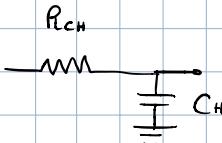
### ES. ADC

$$\text{ADC} \begin{cases} V_{REF}^+ = +5 \text{ V} \\ V_{REF}^- = -5 \text{ V} \\ N = 16 \text{ bit} \end{cases}$$

$$S&H \begin{cases} R_{CH} = 100 \Omega \\ C_H = 100 \text{ pF} \end{cases}$$

Quanto vale  $T_{S,MIN} \rightarrow \epsilon < \frac{1}{2} \text{ LSB}$  ?

$$\text{LSB} = \frac{F_{SR}}{2^{16}}$$



L'errore massimo è dato dal tempo massimo tollerabile

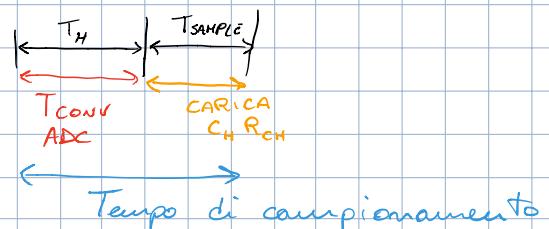
$$\epsilon = |V_{IN}(\bar{t}) - V_C(\bar{t})| < \frac{1}{2} \text{ LSB}$$

$$V_C(t) = V_0 + \Delta V (1 - e^{-t/\tau}), \quad (\Delta V = V_\infty - V_0)$$

$$\left| V_\infty - \left[ V_0 + (V_\infty - V_0) (1 - e^{-\bar{t}/\tau}) \right] \right| = \frac{1}{2} \frac{F_{SR}}{2^N} = \frac{10 \text{ V}}{2^{17}}$$

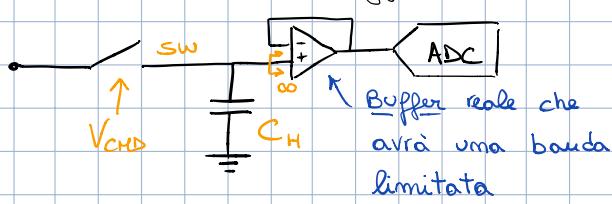
$$\left| V_\infty - V_0 - V_\infty + V_0 + (V_\infty - V_0) e^{-\bar{t}/\tau} \right|$$

$$(V_\infty - V_0) e^{-\bar{t}/\tau} = \frac{10 \text{ V}}{2^{17}} \rightarrow -\frac{\bar{t}}{\tau} = \ln\left(\frac{1}{2^{17}}\right) \rightarrow \bar{t} = \tau \ln(2^{17}) = R_{CH} C_H \ln(2^{17}) = 111 \text{ ms}$$



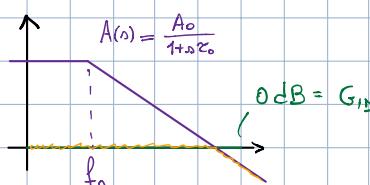
### Altre non idealità

#### Banda del buffer



$$\text{BW}_{\text{buffer-reale}} : f^* = \frac{\text{GBWP}}{\text{banda passante}} \quad \omega_0 = \frac{1}{2\pi \text{GBWP}}$$

$$G_{ID} = 1 = 0 \text{ dB}$$



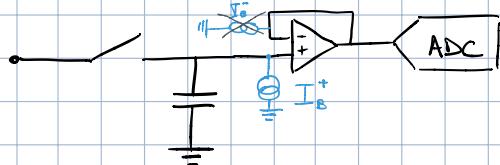
$$G_{open} = -G_{ID} \cdot G_{loop}$$

$$G_{loop} = -A(s)$$



### • Fase di HOLD

Tutto ciò che può scaricare il condensatore è un rischio

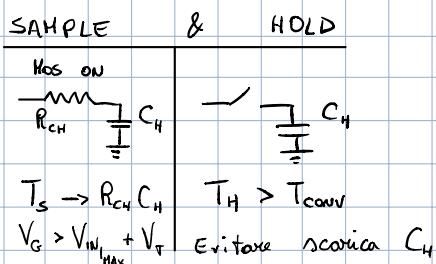


•)  $I_{BIAS}$

•)  $R_{IN}$  capacità scaricata tra  $C$  di hold e  $R$  di ingresso del buffer

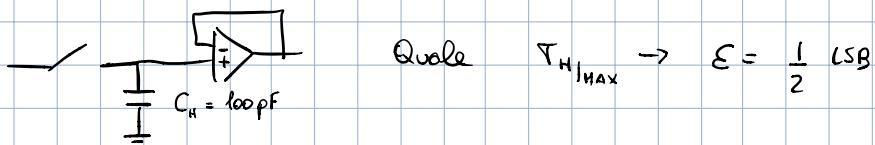
Il  $T_{HOLD}$  ha un valore minimo dettato dal tempo di conversione dell'ADC e un tempo massimo oltre il quale la capacità si scarica.

Riepilogo sul funzionamento di S & H:



$$R_{CH} = \frac{1}{2k(V_G - V_T)}$$

$$R_{CH} = R(V_G)$$



Quale  $T_{H|_{MAX}} \rightarrow \Delta t = \frac{1}{2} LSB$

•)  $I_{BIAS} = 1mA$

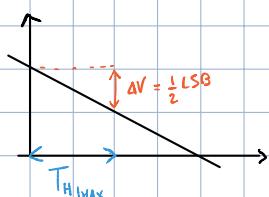
•)  $R_{IN} = 100 G\Omega$

$V_{FSR} = 10V$

$N = 16$  bit

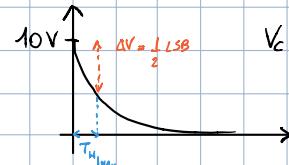
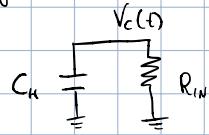
$$C_H \frac{1}{R_{CH}} \otimes I_B \quad i = C \frac{dV}{dt} \quad \Delta V = \frac{i}{C_H} \Delta t = \frac{1}{2} LSB$$

$$\Delta t = T_{H|_{MAX}} = \frac{C_H}{I_B} \cdot \frac{1}{2} \underbrace{\frac{FSR}{2^n}}_{LSB} = 7,6 \mu s$$



Questo tipo di errore, dovuto alla scarica del condensatore di hold tramite una corrente costante si chiama DROOP (calo lineare della tensione)

•)  $R_{IN}$



$$V_c(t) = 10V - \frac{1}{2} LSB$$

Stesso effetto del DROOP ma il calcolo non è lineare ma esponenziale

$$V_c(t) = V_0 + (V_\infty - V_0) (1 - e^{-t/\tau})$$

$$V_c(t) = 10V + (0 - 10V) (1 - e^{-t/\tau}) = 10V - \frac{10V}{2^{17}}$$

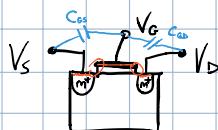
$$10V - 10V + 10e^{-t/\tau} = 10 - \frac{10}{2^{17}}$$

$$e^{-t/\tau} = 1 - \frac{1}{2^{17}}$$

$$\tau = \approx \ln\left(\left(1 - \frac{1}{2^{17}}\right)^{-1}\right) = 8\mu s$$

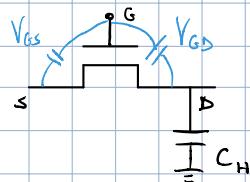
$\uparrow R_{CH} \cdot C_H$

### •) ERRORE DI INIEZIONE DI CARICA



Capacità tra GATE-SOURCE e GATE-DRAIN

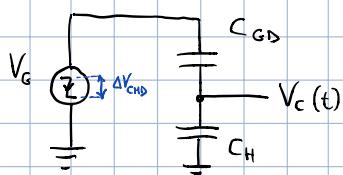
Pertanto, un modello più dettagliato di transistore è:



con capacità parassite che danno fastidio a frequenze alte

Sul fronte di spegnimento del transistor, a causa di  $C_{GD}$  il salto di tensione inietta della carica anche in  $C_H$

partitore capacitivo



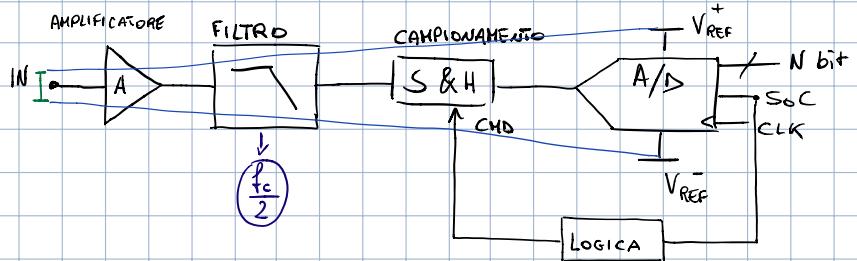
$$\Delta V_c = \Delta V_{CHD} \frac{\frac{1}{\gamma C_H}}{\frac{1}{\gamma C_H} + \frac{1}{\gamma C_{GD}}} = \frac{C_{GD}}{C_{GD} + C_H} \cdot \Delta V_{CHD}$$

la tensione di controllo del MOSFET deve essere grande abbastanza da ridurre la  $R_{CH}$ , ma una tensione troppo alta allo spegnimento inietta un errore positivo/negativo dovuto all'iniezione di carica tramite il partitore capacitivo.

Allora fisso  $C_{GD}$  del MOS e faccio grande  $C_H$ , ma poi  $\gamma = R_{CH} \cdot C_H$  è grande

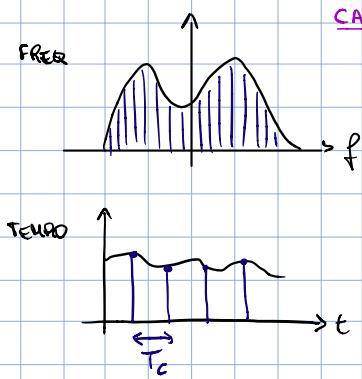
$\Rightarrow$  Guadagno da una parte e perdo dall'altra

## Considerazioni sul dimensionamento

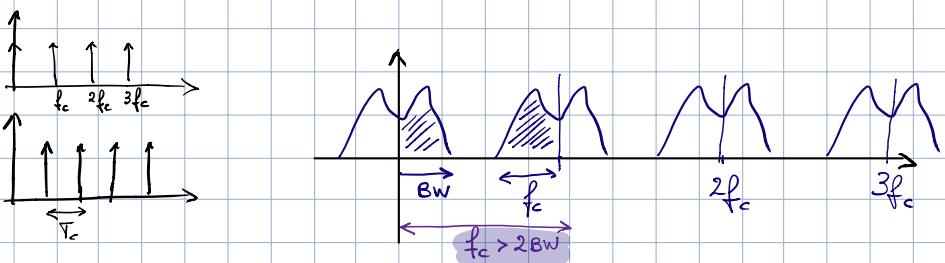


Un segnale analogico, quindi, va amplificato, filtrato, campionato e convertito

### ANTI-ALIASING



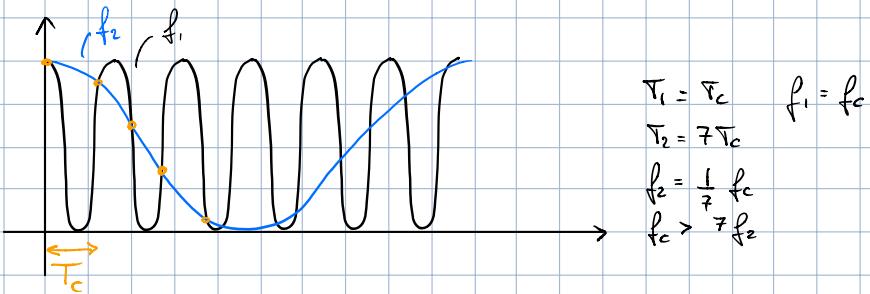
CAMPIONAMENTO: Nel dominio del tempo si moltiplica il segnale per un treno di δ per fare il campionamento.  
Nel dominio di Fourier è la convoluzione



Il problema è legato alla larghezza dello spettro (banda) rispetto alla distanza tra due spettri adiacenti: se gli spettri sono vicini ci saranno delle sovrapposizioni di spettri che caratterizzano l'ALIASING (perdita d'informazione perché il segnale non è più ricostruibile).



TEOREMA DI SHANNON:  $f_c > 2 f_{MAX}$



$$\begin{aligned} T_1 &= T_c \quad f_1 = f_c \\ T_2 &= 7T_c \\ f_2 &= \frac{1}{7} f_c \\ f_c &> 7 f_2 \end{aligned}$$

SOLUZIONE ALL'ALIASING: Non potendo controllare la  $f_{MAX}$  d'ingresso, posso mettere un filtro anti-aliasing per cui se anche in ingresso ci fossero frequenze superiori, sarebbero tagliate alla metà della frequenza di campionamento.

### AMPLIFICATORE

Il suo compito è di adattare  $\Delta V_{IN}$  all' $FSR_{ADC}$



Senza amplificare il segnale, il numero di livelli per rappresentarlo in digitale diminuirebbe di molto!

La larghezza dei livelli si è compressa ed i 16 bit vengono mappati sul segnale amplificato

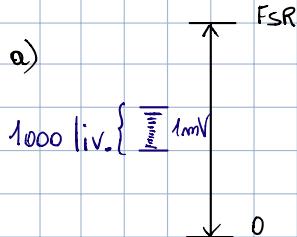
Quindi l'amplificatore mi garantisce alta risoluzione nel campionamento

ES.  $\Delta V_{IN} = 1\text{mV}$   $V_{FSR,ADC} = 10\text{V}$

Risoluzione 1 parte su 1000

Quanti bit ADC

a) Senza guadagno b) Con guadagno?

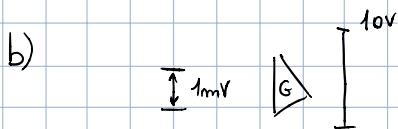


$$LSB_{I_{IN}} = \frac{1\text{mV}}{1000} = 1\mu\text{V}$$

$$LSB_{I_{ADC}} = LSB_{I_{IN}} = 1\mu\text{V}$$

$$LSB_{I_{ADC}} = \frac{10\text{V}}{2^N} = 1\mu\text{V} \rightarrow 2^N = \frac{10\text{V}}{1\mu\text{V}}$$

$$N = \log_2(10^7) \rightarrow N = \frac{\log_{10}(10^7)}{\log_{10}(2)} = \lceil 23,25 \rceil = 24 \text{ bit}$$



$$G = \frac{10\text{V}}{1\text{mV}} = 10000$$

$$LSB_{I_{ADC}} = LSB_{I_{IN}} \cdot G$$

$\frac{1}{1000}$  del valore in ingresso

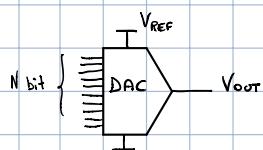
i livelli che volevo su 1mV diventano i

1000 livelli mappati su 10V

$$= 1\mu\text{V} \cdot 10000 = \frac{10\text{V}}{2^N} \rightarrow 2^N = 1000$$

$$N = \frac{\lceil \log_{10}(100) \rceil}{\log_{10}(2)} = \lceil 9,9 \rceil = 10 \text{ bit (1024 livelli)}$$

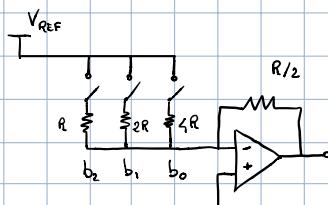
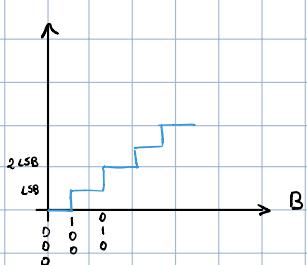
## Convertitore D/A - DAC



$V_{out}$  come combinazione lineare dei bit pesati

$$V_{out} = LSB \left[ b_{N-1} 2^{N-1} + \dots + b_2 2^2 + b_1 2 + b_0 \right]$$

È un DAC a resistori pesati



$b=0$  OPEN  $i=0$   
 $b=1$  closed

$$\begin{aligned} &-\frac{V_{REF}}{4R} \\ &b_0 \\ &-\frac{V_{REF}}{2R} \\ &b_1 \\ &-\frac{V_{REF}}{R} \\ &b_2 \end{aligned}$$

$$V_{out} = -\frac{R}{2} \left( -\frac{V_{REF}}{4R} b_0 - \frac{V_{REF}}{2R} b_1 - \frac{V_{REF}}{R} b_2 \right)$$

$$= \frac{V_{REF}}{8} \left( b_2 \cdot 4 + b_1 \cdot 2 + b_0 \cdot 1 \right)$$

LSB

$$ES. -V_{REF} = -10V$$

$$LSB = \frac{V_{REF}}{8} = 1,25V$$

Il valore massimo non è  $V_{REF}$  ma 8,75 V perché la codifica massima è  $10V - LSB$  (però un LSB con la codifica di 0 V)

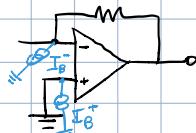
$b_2$	$b_1$	$b_0$	$V_{out}$
0	0	0	0 V
0	0	1	1,25V
0	1	0	2,5V
0	1	1	3,75V
1	0	0	5V
1	0	1	6,25V
1	1	0	7,5V
1	1	1	8,75V

DML = 0 errore di non linearità differenziale è zero (in prima approssimazione) perchè sono tutti di uguale ampiezza

Incrementando il #bit dovrà avere multipli di R in potenze di 2 e questo è un problema implementativo

Con l'OPAMP, le sue molte idealità si tramutano in problemi di conversione:

) Correnti di bias: la  $I_B^-$  va nel ramo di feedback

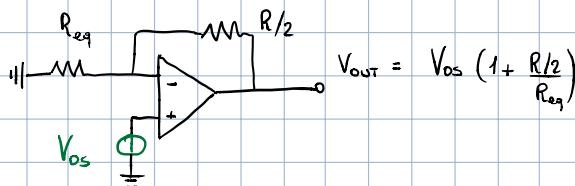


$$\Delta V_{out} |_{I_B^-} = \frac{R}{2} I_B^-$$

Errore costante indipendente dalla codifica  $\rightarrow$  errore di offset

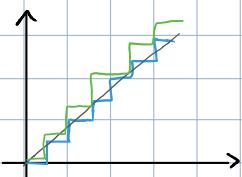
Errore di R ma almeno è costante con la codifica

) Tensioni di offset: al variare della codifica varia il guadagno con cui la tensione di offset viene riportata all'uscita

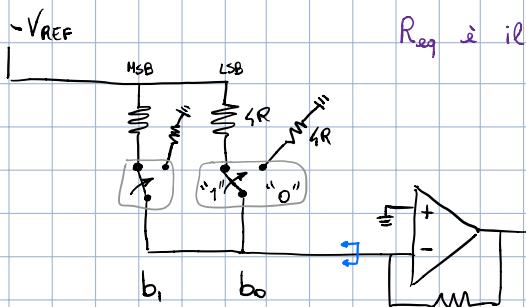


$R_{req}$	$R_{req}(B)$	Varia con la codifica
000	00	
001	4R	
010	2R	
100	R	
011	2R//4R	

Il guadagno varia con la codifica e crea errori tutti diversi



C'è una soluzione molto semplice ed è quella di mettere un commutatore a 2 vie in modo da avere sempre la stessa  $R_{req}$  vista dall'OPAMP: "1" logico col commutatore chiuso sull'OPAMP, "0" logico col commutatore chiuso verso massa.



$R_{req}$  è il parallelo di tutte  $\Rightarrow$  ho un unico  $G_{loop}$

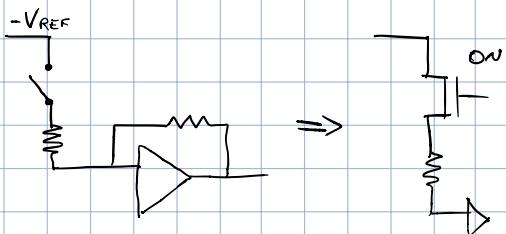
$$A_o = G_o = \text{finito}$$

$$G_{real} \neq G_o$$

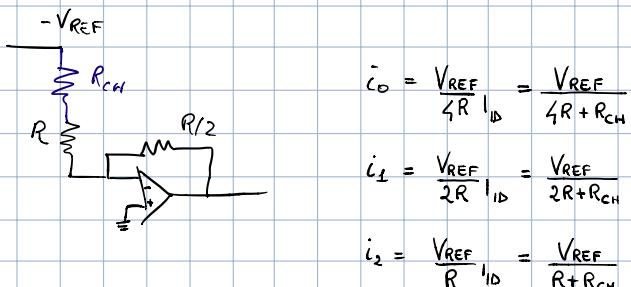
caso in DC

$$V_{out} |_{\text{Reale}} = V_{out} |_{ID} \cdot \frac{-G_{loop}(\omega)}{1 - G_{loop}(\omega)}$$

•) Errore che affligge gli switch

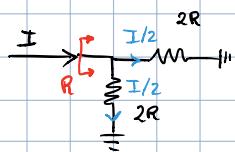


Quando implementiamo lo switch con un transistor, il problema è la resistenza di canale non nulla in serie alla R pesata.



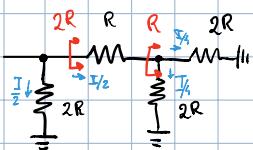
La  $R_{CH}$  altera la corrente e, insieme alla resistenza pesata, aggiunge un errore variabile in funzione della conversione  $\Rightarrow$  errore di non linearità

Soluzione per generare correnti scalate senza usare  $2^n \cdot R$



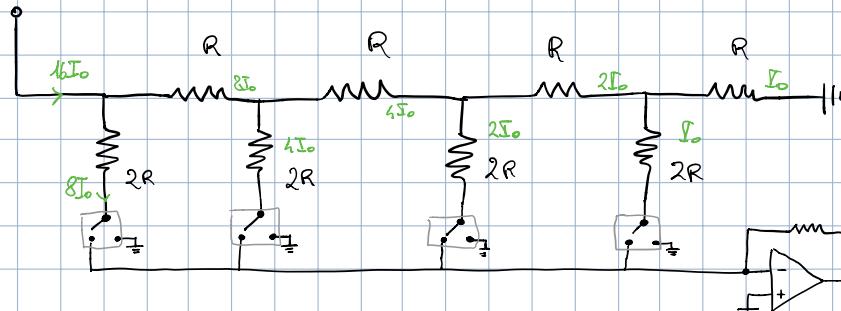
Soluzione che risolve il problema della crescita esponenziale dei valori delle resistenze, pur mantenendo la filosofia del sommatore

Rete a scala R-2R

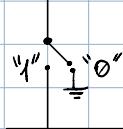


La corrente si ripartisce a metà e la rete è scalabile all'infinito. Ad ogni bivio la corrente si divide per un fattore 2

DAC con una rete a scala R-2R: genera 4 correnti pesate come  $i, 2i, 4i, 8i \dots$



Quando il bit di controllo è alto la corrente va nel commutatore, quando è basso va a massa in modo che la  $R_{eq}$  sia sempre la stessa



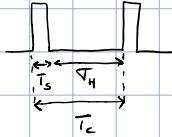
$$V_{out} = -R (I_o b_0 + 2I_o b_1 + 4I_o b_2 + 8I_o b_3)$$

LIMITI MAX FREQ. CAMPIONAMENTO

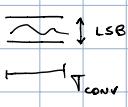
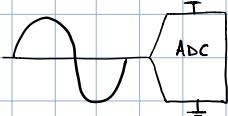
- con S&H

$$f_{IN,MAX} = \frac{f_c}{2} = \frac{1}{T_c/2}$$

$$T_c = T_s + T_H$$

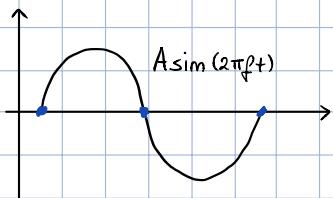


- senza S&H



Nell'intervallo  $T_{conv}$ , dal punto di vista dell'ADC il segnale deve variare meno di 1 LSB o almeno stare dentro un LSB

es. com simusoide



$$\frac{dV}{dt} \Big|_{\max}$$

scrivo LSB come full scale range:  $A \cdot 2\pi f_{\text{max}} T_{\text{conv}} = \frac{V_{\text{REF}}}{2^N}$ ,  $A = \frac{V_{\text{REF}}}{2^N}$

nell' intervallo di campionamento

$$2\pi Af$$

✓ la variazione deve essere

mimore di LSB

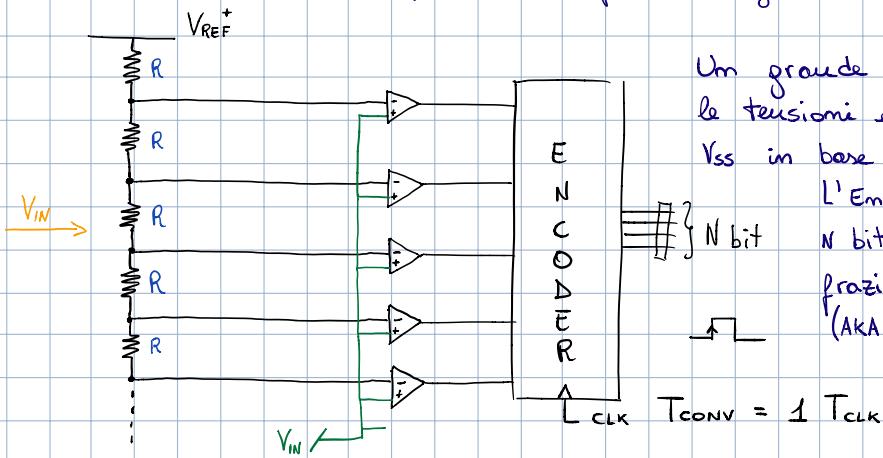
Se ho un valore  $0 < V < V_{\text{REF}}$ , coprirà tutta la dinamica del convertitore.

$$\frac{V_{\text{REF}}}{2^N} f_{\text{MAX}} T_{\text{conv}} = \frac{V_{\text{REF}}}{2^N}$$

$$f_{\text{MAX}} = \frac{1}{2^N \pi T_{\text{conv}}}$$

limite più stringente della soluzione con S&H

CONVERTITORE FLASH (ah-ah) abbiamo bisogno di discriminare  $2^N$  livelli: me li genero analogicamente  $2^N$  tensioni e confronto la tensione da convertire con tutte le  $2^N$ ; il valore sarà  $\geq 0 <$  e con tutti i comparatori avrà l'informazione digitale con "1" se è sopra e "0" viceversa.



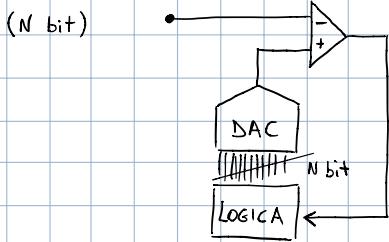
Un grande partitore di R tutte uguali genera le tensioni e l'OPAMP in quello aperto satura a  $V_{\text{DD}}$  o  $V_{\text{SS}}$  in base alla tensione differenziale.

L'Encoder prende  $2^N$  ingressi e li trasforma in  $N$  bit che corrispondono alla codifica della frazione di FSR corrispondente.  
(AKA encoder termometrico)

PRO: Velocità

CON: Costo —  $2^N$  resistenze  
—  $2^N$  comparatori

### FEEDBACK-TYPE ADC

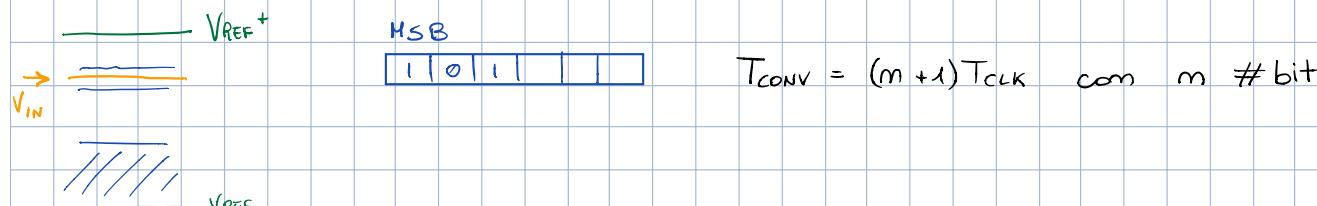


Vedremo ora una famiglia di convertitori "feedback type" con, all'interno, un DAC che genera una tensione che va confrontata.

Il DAC avrà gli stessi  $N$  bit dell'ADC. Una logica scandisce i bit del DAC e legge l'uscita del convertitore, confrontata col valore impresso per avvicinarsi al meglio alla codifica.

### SAR (approssimazioni successive)

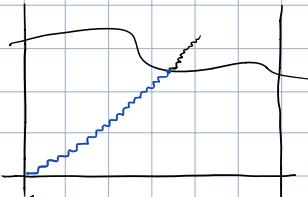
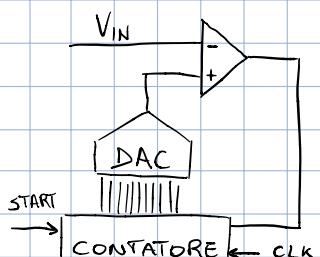
Parte dal bit più significativo (che pera metà FSR), controlla se è sopra o sotto la  $V_{\text{IN}}$  (regola logica), se sotto pone a 1, se sopra a 0 il bit nel registro corrispondente



$$T_{\text{conv}} = (m+1) T_{\text{clk}}$$

### CONVERTITORE A GRADINATA

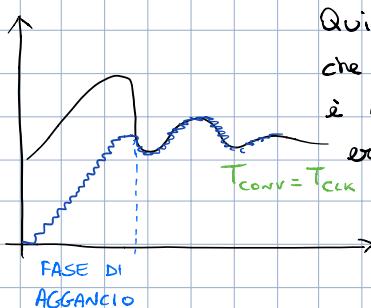
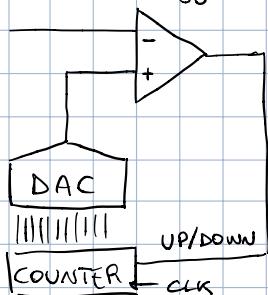
Invece di avere una logica che implementa la ricerca binaria, qui il confronto  $V_{\text{IN}} - V_{\text{out}, \text{DAC}}$  è ad opera di una logica a contatore che, dopo SoC, incrementa di un LSB ad ogni  $T_{\text{clk}}$ .



$$T_{\text{Conv}} = (2^N + 1) T_{\text{clk}} \text{ nel caso pessimo (codifica dell'FSR)}$$

### TRACKING

la codifica parte da zero e fa la gradinata per agganciare il segnale. Una volta agganciato, incrementando o decrementando di 1 LSB, segue il segnale.

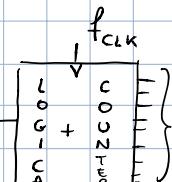
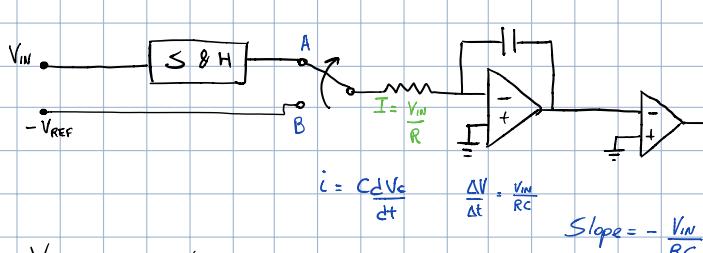


Quindi  $T_{\text{Conv}} = T_{\text{clk}}$  ma lo svantaggio è che se la variazione nel periodo di clock è maggiore di 1 LSB allora si aggiunge un errore nella codifica.

Questo convertitore è ideale per i segnali lenti.

### CONVERTITORE A DOPPIA RAMPA

L'idea è quella di convertire l'ampiezza analogica in un tempo, multiplo della  $f_{\text{clk}}$ ; l'uscita corrisponde alla codifica analogica del segnale analogico



C'è un contatore controllato da un comparatore che composta, rispetto a GND, l'uscita di un integratore, il quale può integrare o la  $V_{\text{IN}}$  (del S&H) o la  $V_{\text{REF}}$ .

ES.  $V_{\text{REF}} = +3V$

$V_{\text{IN}} \in [0, 3V]$

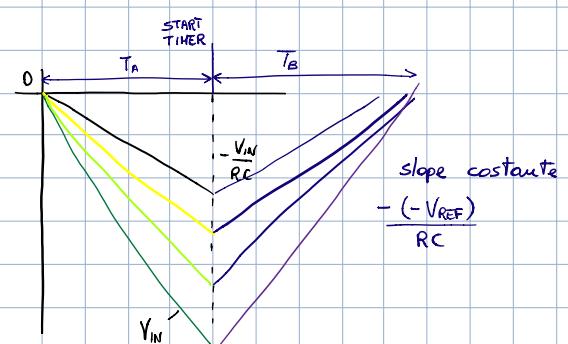
OPAMP tra  $+5V$  e  $-5V$

$f_{\text{clk}} = 1 \text{ MHz}$

a) Durata di  $T_{\text{Conv}}$ : il convertitore opera in 2 fasi

FASE A: integratore ha come ingresso la  $V_{\text{IN}}$  e scorre una  $i = V_{\text{IN}}/R$ , integrata e in uscita avrà una rampa la cui pendenza è  $-1/RC$ . Partendo da 0V sul condensatore avrà una retta; ne fisso il tempo di integrazione ( $T_A$ ), a seconda della  $V_{\text{IN}}$ , maggiore è, maggiore è la pendenza. Alla fine dell'integrazione mi sono portato a diverse quote che dipendono dalla  $V_{\text{IN}}$ .  $T_A$  è costante e  $T_A = 2^N \cdot T_{\text{clk}}$

FASE B: non ho un tempo fisso e in questo istante parte il cronometro e conta quanto tempo impiega il segnale per arrivare a zero. Il comparatore segnala quando il segnale arriva a 0. Come tensione ho  $-V_{\text{REF}}$  e qui la pendenza è costante per la retta: inizia la scarica e torna verso 0. Il tempo  $T_B$  contiene l'informazione sull'ampiezza del segnale, codificata dal contatore. Quindi  $T_B = 2^N \cdot T_{\text{clk}}$  ma è variabile.



$$T_{\text{Conv}, \text{MAX}} = T_A + T_B, \text{MAX} = 2 \cdot 2^N \cdot T_{\text{clk}} + 1$$

$$\text{es. } N=8, f_{\text{clk}} = 1 \text{ MHz} \Rightarrow T_{\text{Conv}} = 2 \cdot 2^8 \cdot T_{\text{clk}} = 512 \mu\text{s}$$

Dimensioniamo il tempo di hold:  $T_H \geq T_{conv}$   
 $= \underline{520 \mu s}$

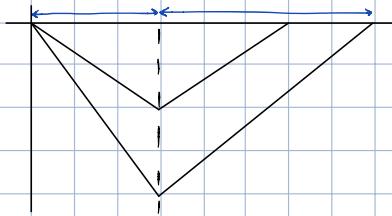
Fissando  $T_H$ , posso dimensionare  $R$  e  $C$  dell'integratore che scaricheranno  $C_H$

$$V_{CH} = 3V \cdot e^{-t/R} = 3 - E_{max} \quad \text{considero l'errore massimo che posso tollerare come } \frac{1}{2} \text{ LSB}$$

$$\beta V e^{-t/R} = \beta V - \frac{1}{2} \frac{\beta V}{2^N} \rightarrow e^{-t/R} = 1 - \frac{1}{2^{N-1}}$$

$$-\frac{t}{\tau} = \ln\left(1 - \frac{1}{2^{N-1}}\right), \quad t_H = 520 \mu s \Rightarrow \tau = \frac{520}{\ln(\dots)} \Rightarrow R = \frac{\tau}{C_H} = \frac{266 \text{ ms}}{1000 \text{ nF}} = 2,6 \text{ M}\Omega$$

Ora dimensioniamo la  $C$  dell'integratore: l'OPAMP ha una  $V_{SS}$  a  $-5V$  ma non conviene far saturare l'uscita, quindi fissiamo un margine di  $30\%$ . vogliamo che la tensione al minimo raggiunga  $-4,5V$ .



$$-\frac{V_{IN}|_{MAX}}{RC} \cdot T_A = V_{IN}|_{MAX} = -4,5V \quad \text{con } C \text{ incognita}$$

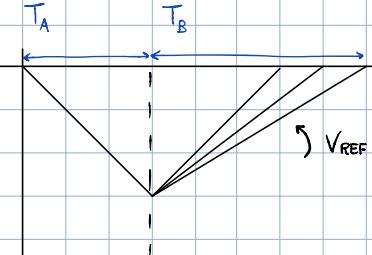
$$\frac{3V}{2,6M\Omega} \cdot \frac{1}{C} \cdot 2^8 \mu s = 4,5V$$

$$C = 64 \text{ pF}$$

### Effetto di mancata idealità

#### ERRORE DOVUTO ALLA VARIAZIONE DI VREF

- $V_{REF}$  varia  $0,5\%$ .
- FASE A mancata cambia.
- nella fase B cambia la pendenza di scarica



$$-\frac{V_{IN}}{RC} T_A + T_B \cdot \frac{V_{REF}}{RC} = 0 \quad \text{cioè } \Delta V \text{ della fase A è uguale a } \Delta V \text{ della fase B}$$

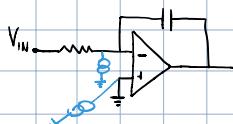
$$\begin{aligned} \text{è il tempo} \rightarrow T_B &= T_A \cdot \frac{V_{IN}}{V_{REF}} & T'_B &= T_B (1+0,005) & \Delta V_{REF} &= -0,5\% \\ \text{per convertire un'} && T'_B &= T_B (1-0,005) & \Delta V_{REF} &= +0,5\% \\ \text{ampiezza in tensione} && && \nearrow 2^N \cdot T_{conv} & \\ \text{in un tempo} && && & = 256 \mu s (1-0,005) = 251,7 \mu s \end{aligned}$$

$$f = 1 \text{ LSB}$$

#### VARIAZIONE DELLA RESISTENZA

La variazione di  $R$  non ha impatto su  $T_B$  perché le  $R$  si semplificano e  $T_B$  dipende solo dal rapporto di  $V_{IN}$  e  $V_{REF}$ .

#### CORRENTI DI BIAS



La corrente  $I_B$  non impatta perché è a massa, mentre quella sul nodo di massa virtuale sì:  $\frac{V_{IN}}{R} + I_B^-$  entrano nel condensatore

$$V_{\text{OUT}} = - \left( \frac{V_{\text{IN}}}{R} + I_B^- \right) \cdot \frac{1}{C} \cdot T_A \quad \text{e la retta scende}$$

Su  $T_B$ , la corrente  $I_B^-$  si sottrae e comporta una parziale compensazione:

$$V_{\text{OUT}} = \left( \frac{V_{\text{REF}}}{R} - I_B^- \right) \cdot \frac{1}{C}$$

