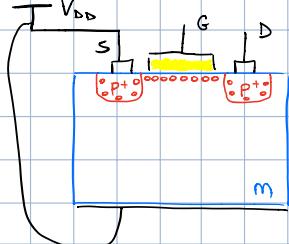


Voglio che ? si comporti in maniera complementare all'NMOS cioè quando è acceso tiri su bene l'uscita a 1, quando è spento abbassi l'uscita a 0.

Il Transistor PHOS



Il substrato è di tipo N e le impiantazioni di source e drain sono fortemente drogati di tipo P: abbassando la V_G rispetto al V_S richiamo le lacune e manda via gli elettroni. Le equazioni sono identiche ma cambiano verso e mobilità (lacune hanno $\mu_p < \mu_m$).

$$\begin{aligned} K &= \frac{1}{2} \mu_m C_{ox} \\ \text{NMOS} &\quad \text{PHOS} \\ K_m &= \frac{1}{2} \mu_m C_{ox} \\ K_p &= \frac{1}{2} \mu_p C_{ox} \end{aligned}$$

$$\begin{array}{c} \text{NMOS } V_T \\ V_{T_m} \end{array} \quad \begin{array}{c} \text{PHOS } V_T \\ V_{T_P} \end{array}$$

Simbolo:



Si distingue dal verso della freccia (corrente positiva entrante)

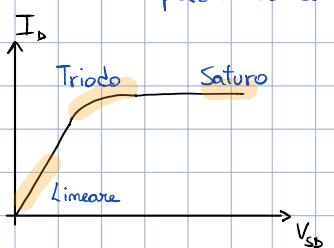
per la convenzione autoreferenziale :



$V_{GS} < V_{T_P} < 0$ La V Gate-Source diventa < 0 per avere canale e diventa tutto simmetrico rispetto a NMOS (dove la V_{GS} doveva essere maggiore di un positivo V_{T_m})

$$I_{D_{SAT}} = K_p \left(\underbrace{V_{SG}}_{> 0} - |V_{T_P}| \right)^2$$

perchè dovrei fare $(V_{GS} - V_T)$ differenza tra negativi

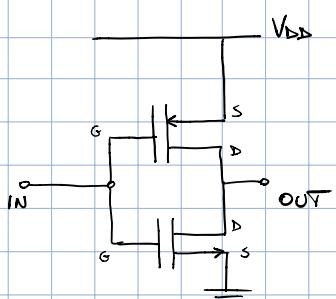


$$I_{D_{OHD}} = 2K_p \cdot \underbrace{(V_{SG} - |V_{T_P}|)}_{> 0} \cdot V_{SD}$$

← la curva caratteristica è sempre la stessa

per non sbagliare, la corrente è sempre > 0 nel verso della freccia, quindi giro tutti i segni per avere risultati positivi

Inverter con NMOS e PHOS => CMOS (complementare)



Analisi del circuito inverter CMOS:

1) Tabella della verità

$$1.1 \quad V_{IN} = 0 \Rightarrow V_{GS1_m} = 0 \rightarrow m \text{ OFF} \quad [V_{DD} = 3V]$$

$$V_{SG1_p} > |V_{T_P}| \rightarrow p \text{ ON} \quad \rightarrow V_{OUT} = V_{DD}$$

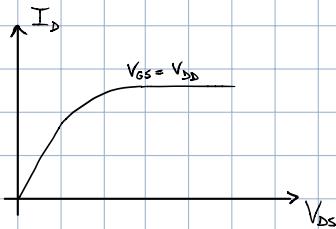
$$1.2 \quad V_{IN} = V_{DD} \Rightarrow V_{GS1_m} = V_{DD} > V_{T_m} \rightarrow m \text{ ON}$$

$$V_{SG1_p} = 0 \rightarrow p \text{ OFF} \quad \rightarrow V_{OUT} = 0$$

Per evitare la dissipazione di potenza statica dovuta a un consumo di corrente continuo si usa la logica CMOS: quando uno è acceso l'altro è spento.

L'uscita è trascinata verso il source del T acceso.

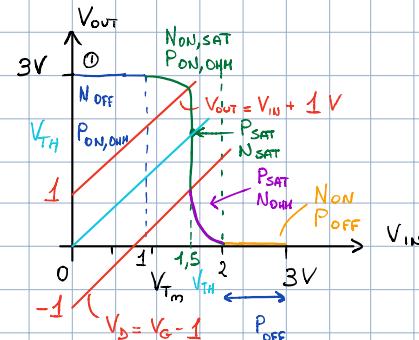
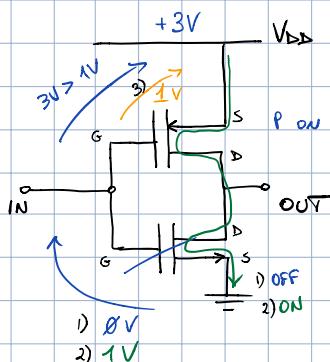
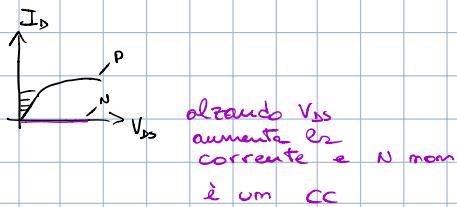
$$\Rightarrow P_{\text{statica}} = 0$$



V _{IN}	V _{OUT}
0	3V
3V	0

2) Caratteristica statica

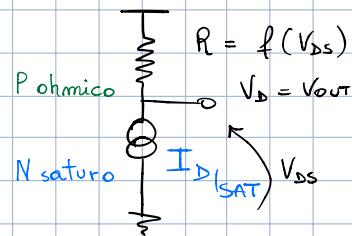
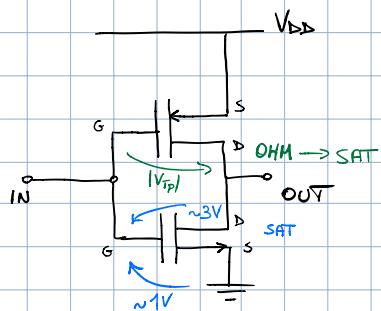
$$\begin{cases} V_{DD} = 3V \\ K_m = K_p = 5 \frac{\mu A}{V^2} \\ V_{Tm} = |V_{Tp}| = 1V \end{cases}$$



Quando sono accesi entrambi, $I_P = I_m$

Quando uno è on e l'altro è off, $I = \emptyset$ perché OUT avrà un ca ai capi

Corrente $I_P = I_m$: il gate lo impone V_{IN} , i T sono in OHM o SAT in base al drain quando N è spento il D è a 3V \Rightarrow P ON OHM, si accende N a 1V ed è SAT

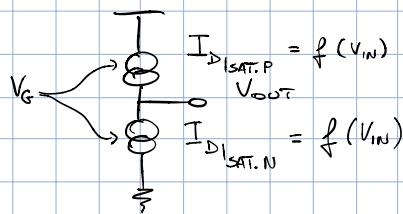


Faccio il sistema per il P in OHMICO e N in SATURO e imposto $I_P = I_m$

Incrementando il gate la V_D scende

Quando il gate del P sale, il suo drain scende, quando tra di loro cade il modulo della soplia, lui passa da OHMICO a SATURO: $V_D = V_G + 1V$

Entrambi sono due geni di corrente ideali in funzione della V_{IN}



Voglio ricavare la V_{IN} in cui entrambi sono in SAT:

$$I_{D_{SAT,N}} = K_m (V_{GS} - V_T)^2 = K_p (V_{SG} - |V_{Tp}|)^2 = I_{D_{SAT,P}}$$

$$(V_G - V_S - 1)^2 = (3 - V_G - 1)^2$$

$$\sqrt{(V_G - 1)^2} = \sqrt{(2 - V_G)^2}$$

$$V_G - 1 = 2 - V_G \rightarrow V_G = \frac{3}{2}$$

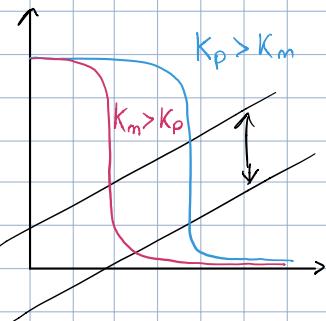
$$V_D = V_G - 1$$

La situazione in cui sono entrambi saturi è valida solo per un valore di V_{IN} , poi N-MOS esce dalla zona SAT passando per la condizione di PINCHOFF; i valori di I_D sono multipli per quella V_{IN} perché la condizione è soddisfatta per più valori di V_D .

3) Tensione di soglia logica

$V_{IN} = V_{OUT}$ $V_{TH} = 1,5$ perché $K_m = K_p$, $V_{Tm} = |V_{Tp}|$ $V_G = 1,5 \text{ V}$ consente ai due transistori di portare la stessa corrente

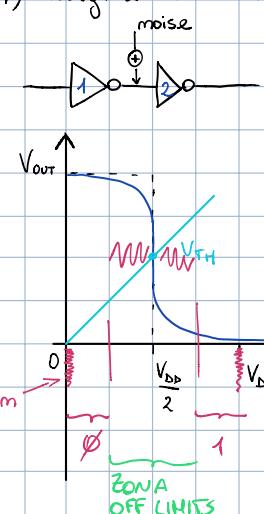
Se $K_m \neq K_p$, la soglia P_{SAT}, N_{SAT} sarà ampia $|V_{Tm}| + |V_{Tp}|$



Se aumenta K_m , avrò bisogno di un overdrive più basso

Se $K_p \uparrow$ l'overdrive dovrà essere maggiore

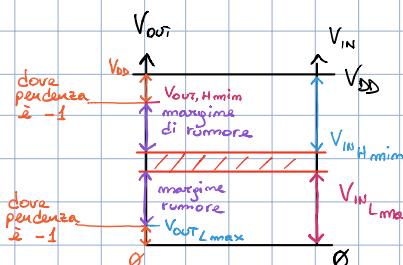
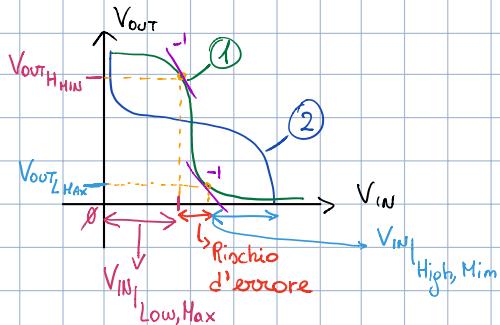
4) Margini di rumore



Vogliamo valutare la possibilità che una fluttuazione influenzi uno "0" o "1". Potrebbe farci sbagliare l'uscita?

Nell'intorno della soglia un'eventuale fluttuazione fa interferenza nella soglia logica \Rightarrow Non deve esserci!

Voglio che il transistor non accetti la "zona grigia" dei segnali che possono impattare l'inverter



Il punto critico è quello che ha pendenza -1 per convenzione, oltre questo punto la pendenza è maggiore e a seguito di una piccola variazione dell'ingresso seguirà una brusca variazione di V_out.