

Tecniche di sintesi di reti logiche

Pull-up PU $Y = f(\text{impressi negati})$

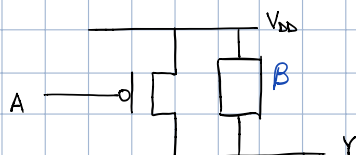
Pull-down PD $\bar{Y} = f(\text{impressi "1"})$

Esempio: $Y = \overline{A(B+CD)} = f(\bar{A}, \bar{B}, \bar{C}, \bar{D})$

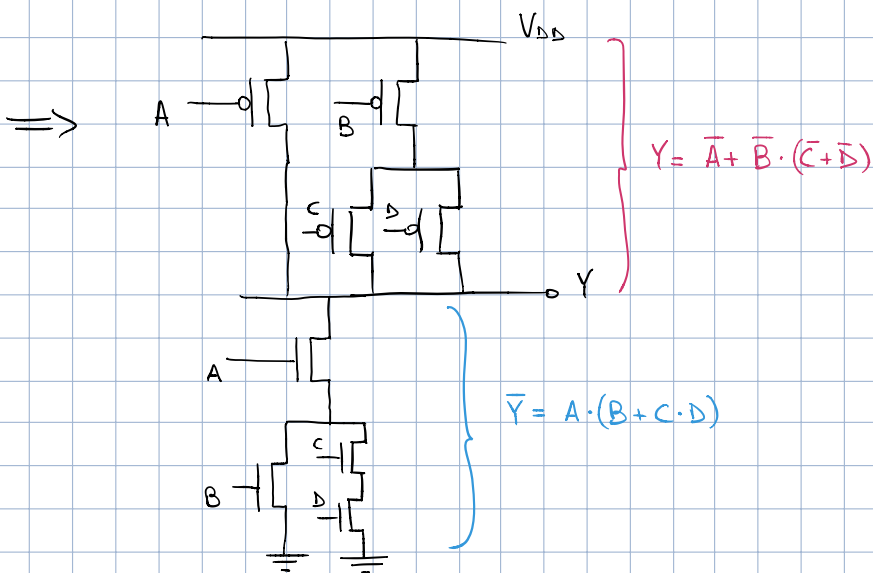
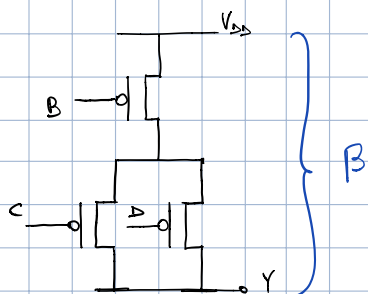
per De Morgan: $Y = \bar{A} + \overline{(B+CD)} = \bar{A} + \bar{B} \cdot \bar{C} \cdot \bar{D} = \bar{A} + \bar{B} \cdot (\bar{C} + \bar{D})$, $\bar{Y} = A \cdot (B + C \cdot D)$

↑ parallelo
↓ serie

Possiamo sintetizzare la rete di pull-up e spezzettiamo dall'esterno: la OR sarà il parallelo



Blocco β : $\bar{B} \cdot (\bar{C} + \bar{D})$



La porta XOR (OR esclusivo)

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



A livello hardware può essere usata per un rapido confronto tra bit \Rightarrow l'uscita è 1 se sono diversi

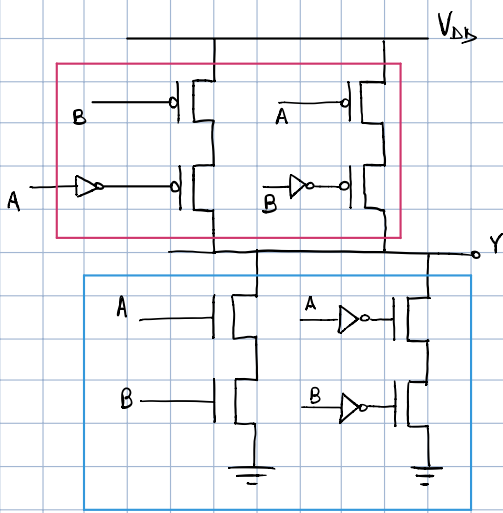
Espressione logica $Y = A \cdot \bar{B} + \bar{A} \cdot B$

Sintesi CMOS: il problema è che non riesco a riscrivere la funzione in due separate (una con gli ingressi alti, l'altra complementare). Uso la logica CMOS.

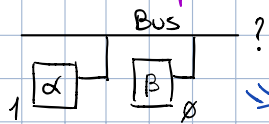
Pull-up, quando l'uscita è alta: parallelo di due cammino in serie

Pull-down, quando l'uscita è bassa: uso De Morgan

$$\begin{aligned} \bar{Y} &= \overline{A \cdot \bar{B} + \bar{A} \cdot B} = \overline{A \cdot \bar{B}} \cdot \overline{\bar{A} \cdot B} = (\bar{A} + B) \cdot (A + \bar{B}) \\ &= \bar{A}A + \bar{A}\bar{B} + AB + \bar{B}\bar{B} = \bar{A} \cdot \bar{B} + A \cdot B \end{aligned}$$

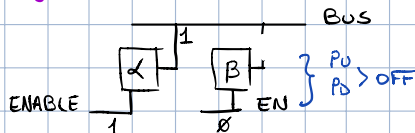


Alta impedenza

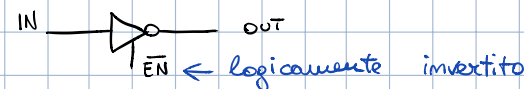


Nella logica digitale esistono solo 2 stati: "0" e "1", ma nel mondo fisico è utile avere un terzo stato non ben definito, ad alta impedenza. Nel caso di un bus su cui sono collegate due porte logiche α e β , se una porta "1" e l'altra "0", la OUT dipenderà dai transistor col K più alto. Per evitare questa situazione, introduciamo lo stato ad alta impedenza e, nella pratica, un comando di ENABLE per abilitare/disabilitare le porte collegate al bus.

Logica TRISTATE: 3 stati, "1" - "0" - "ALTA IMPEDENZA"



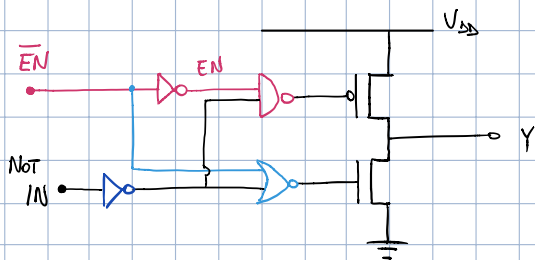
Inverter TRISTATE



$EN=1 \rightarrow \text{HIGH-Z}$

$EN=0 \rightarrow \text{NOT}$

Il modo più compatto per realizzarlo è aggiungere una NAND e una NOR, che sono delle porte compatte



EN		NOR	IN	Y
0	0	1		
0	1	0		
1	0	0		
1	1	0		

mi mega gli ingressi

↓ NMOS OFF

EN		NAND	IN	Y
0	0	1		
0	1	1		
1	0	1		
1	1	0		

PMOS OFF

inverter

Muovendo EN voglio che con $EN=1$ i transistor siano spenti

1 metto a monte un inverter sull'ingresso