

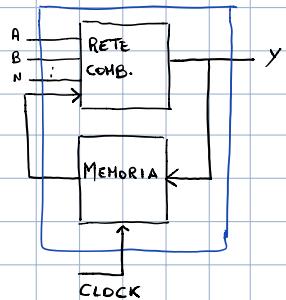
Elementi di memoria

- 2 funzioni fondamentali: 1) immagazzinare l'informazione
2) elaborare l'informazione



RETE COMBINATORIA ASINCRONA: appena uno o più ingressi cambiano, l'uscita cambia

Un altro tipo di rete è:



È chiamata rete sequenziale, dove c'è un elemento di memoria che cambia l'uscita. In più non è asincrona ma c'è, di solito, un segnale periodico di sincronismo chiamato CLOCK che scandisce i tempi di lettura e memorizzazione dell'informazione.

Classificazione di memorie:

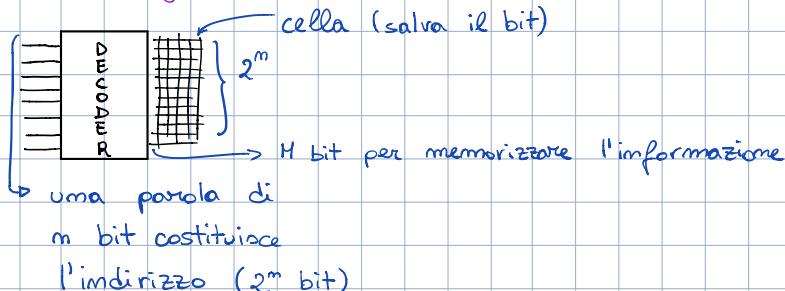
- Tipo di accesso

- Casuale: è possibile accedere a qualsiasi cella di memoria direttamente (es. indirizzo) (RANDOM ACCESS MEMORY)
- Sequentiale: senza indirizzamento, scansione dell'intera memoria

- Memorizzazione

- Volatili: memoria termima allo spegnimento del circuito (RAM)
- Non volatili: alterazione fisica permanente del mezzo per la persistenza dei dati (riscrivibile) (FLASH/EPROF)
- * Riprogrammabili: read & write
- * OTP: one-time programmable (a fusibile, prima delle flash)

Architettura generale della memoria

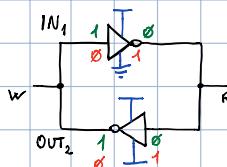


Come memorizzare l'informazione con i transistori:

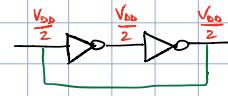
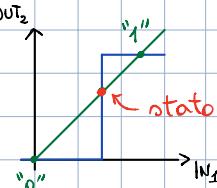
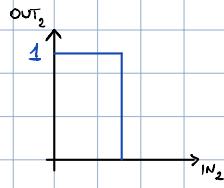
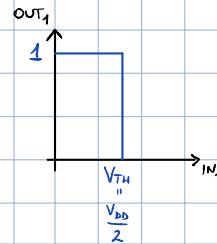
- 1) circuiti con la retroazione (SRAM)
- 2) circuiti con capacità (DRAM)

Circuiti con retroazione

Il blocco fondamentale che immagazzina il singolo bit si chiama LATCH ed è retroazionato.



2 stati stabili: è chiamato BISTABILE



tutti gli inverter "non scattati" ma all'equilibrio $\frac{V_{DD}}{2}$; la retroazione crea un equilibrio instabile

La cascata dei due inverter, a livello logico, è trasparente.

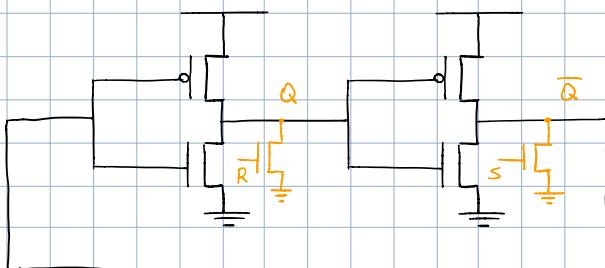


È una memoria volatile: allo spegnimento del circuito perde l'informazione

In lettura è facile distinguere tra 0 e 1.

Numero di cicli di riscrittura è un parametro importante delle memorie, oltre quello c'è un meccanismo di invecchiamento

Scrittura nel LATCH

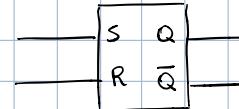


All'accensione "forzo" Q a 0, è un reset, mentre è un set a 1 di \bar{Q} .

Set e Reset sono impulsi, spegnendoli il valore viene memorizzato e permane nei due inverter.

SET RESET	Q	\bar{Q}
0	0	\bar{Q}_{m-1}
1	1	0
0	1	0
1	1	No!

Di solito si disegna:



ed è detto

LATCH SET/RESET

Qui non c'è un segnale di clock, il latch è, di natura, asincrono.

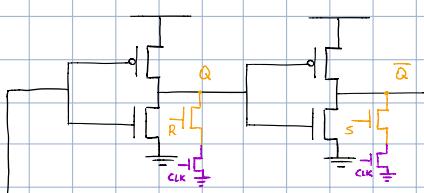
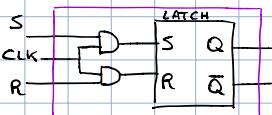
Esiste anche il corrispettivo sincrono



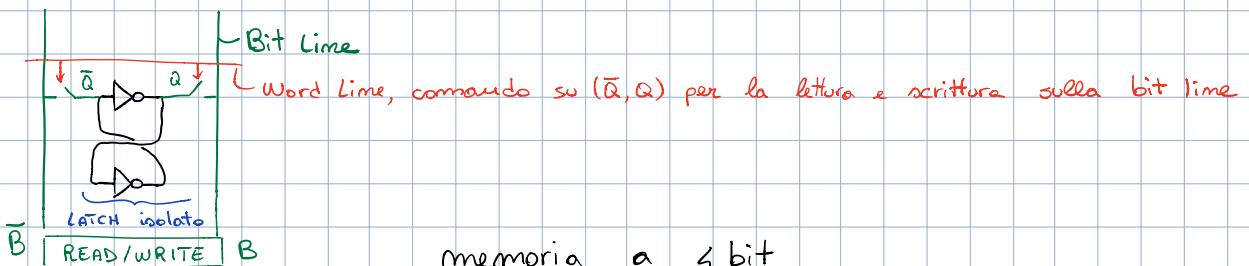
e l'effetto del set/reset non si manifesta se il clock non è alto

$CLK = 0$ memoria
 $CLK = 1$ scrive S/R

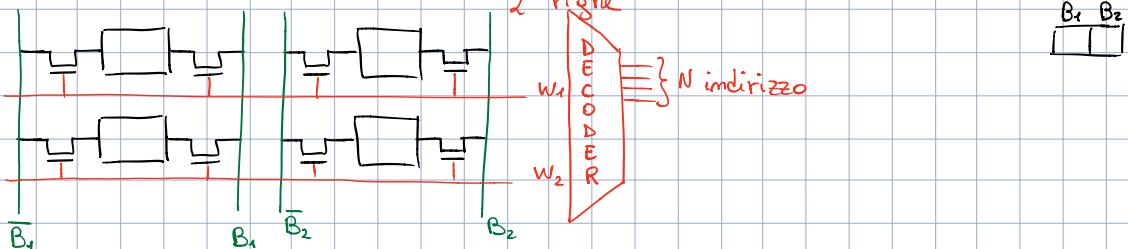
concretamente:



Come salvare questo LATCH in un ARRAY per fare un banco di memoria: devo poter indirizzare le varie celle, cambia l'interfaccia. 2 switch che portano \bar{Q} e Q per l'accesso con indirizzamento

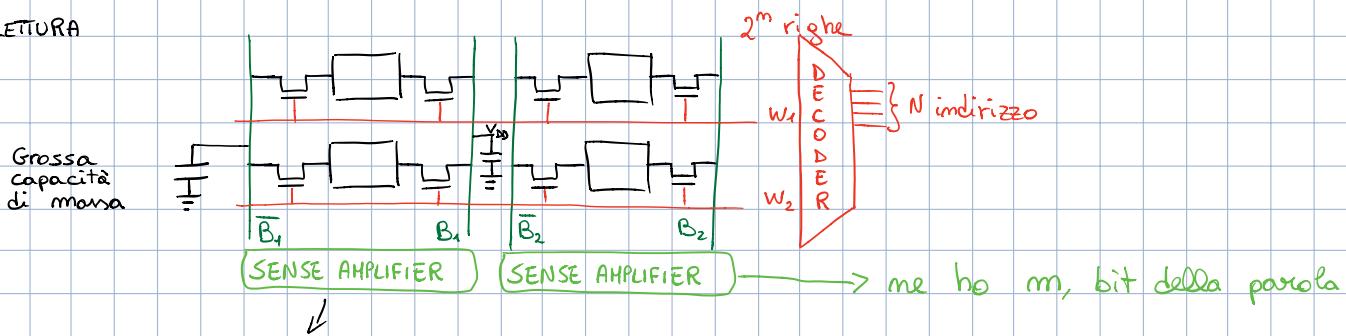


4 celle:



Quando la word line è bassa il LATCH è isolato, quando il decoder alza la WL il latch è disponibile per la lettura o scrittura.

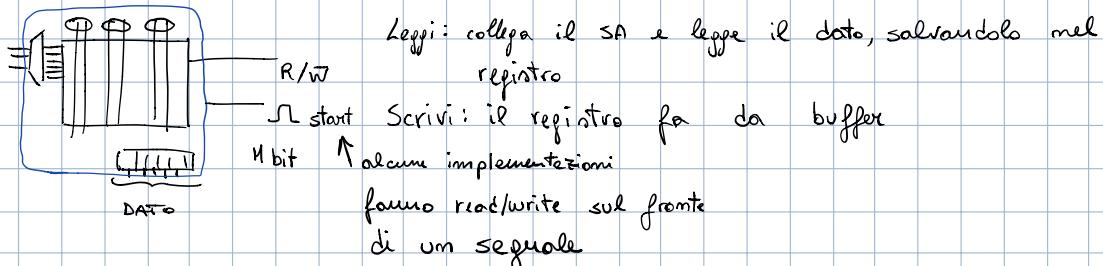
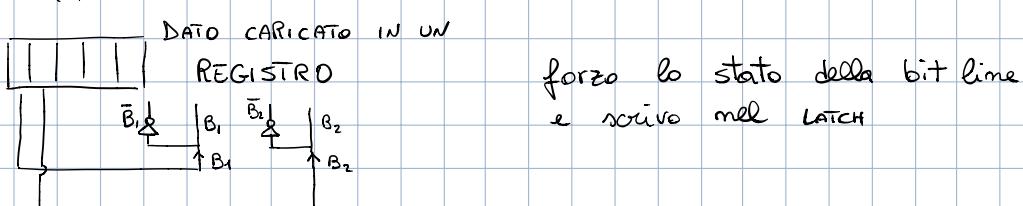
LETTURA



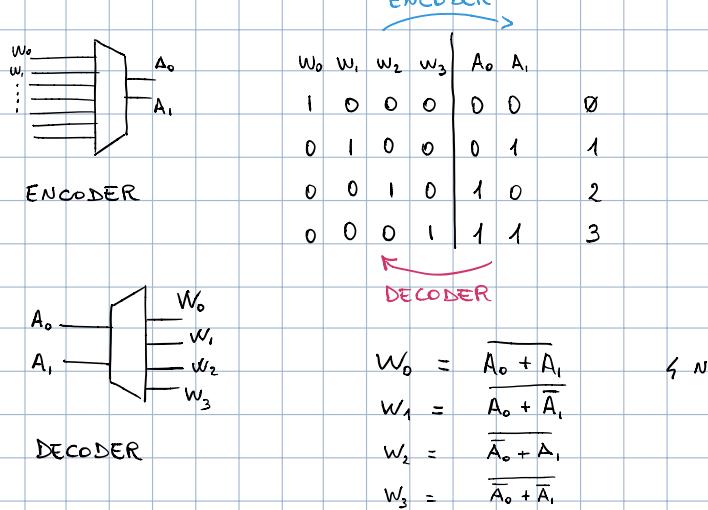
legge in maniera veloce lo sbilanciamento
verso 1 o 0 delle capacità

All'inizio, prima di leggere o scrivere, il sense amplifier **PRECARICA** le linee di un $\Delta = \frac{V_{DD}}{2}$, fa il sensing del valore della linea e con la retroazione legge velocemente il valore logico (appena supera $\frac{V_{DD}}{2}$ o viceversa).

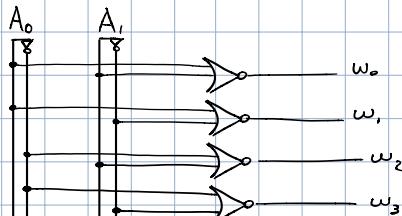
SCRITTURA



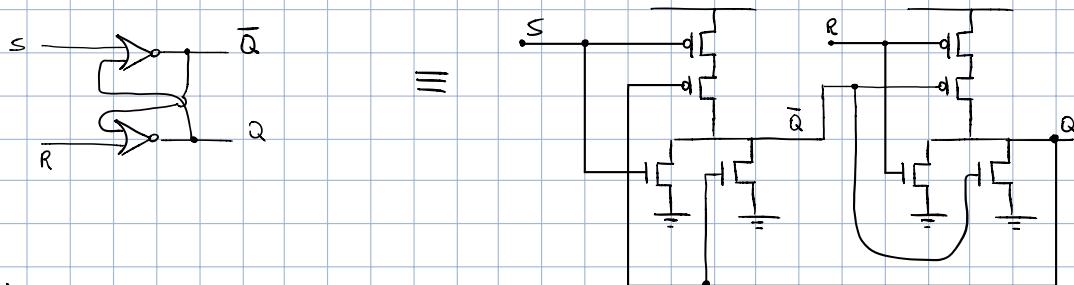
Il decoder/encoder



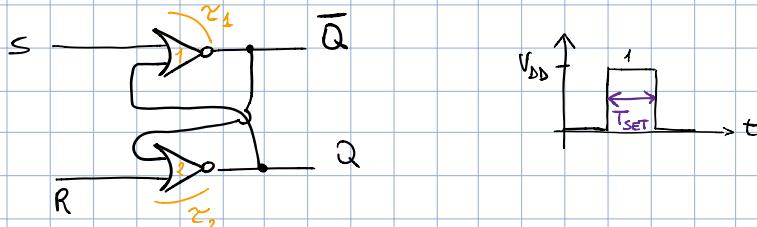
i casi possibili per gli ingressi W sono solo 4, ci si aspetta solo uno alto



LATCH S/R con le NOR

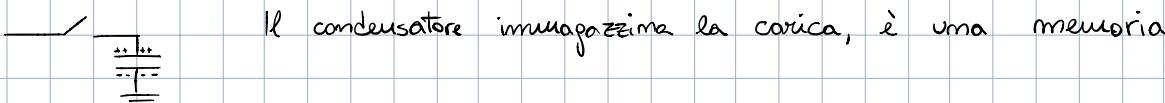


Tempi: qual è la durata minima del segnale S/R ?

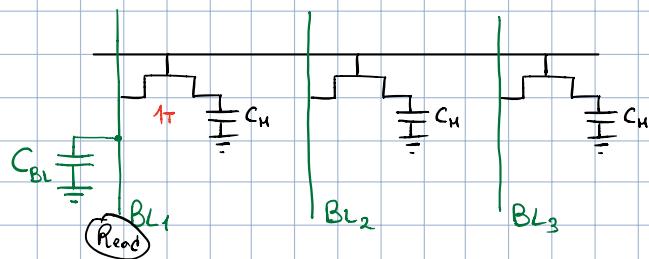


Entrano in gioco le capacità e i tempi di propagazione delle porte: $t_{SET} > z_1 + z_2$

Memorie con condensatore



Capacità di memoria C_H + interruttore (word line) \Rightarrow uscita letta dalla bit-line



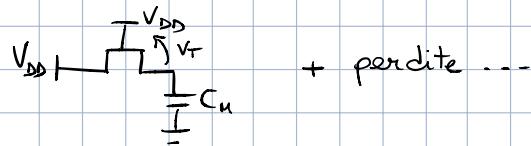
Vantaggio: compattezza, densità maggiore

Svantaggi: es. $C_H = 10 fF$, $C_{BL} = 1 pF$
allora $C_{BL} \gg C_H$

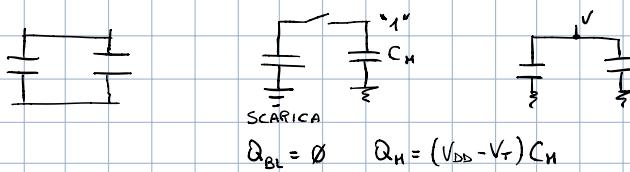
1° svantaggio: la lettura è distruttiva, appena chiudo il circuito la carica si muove \Rightarrow devo riscrivere il dato dopo ogni lettura

2) Si presenta quindi il problema delle correnti di perdita, il transistor quando è OFF non è un vero C.A. ma passa una corrente microscopica che a lungo andare scarica la capacità \rightarrow perdita del dato \rightarrow conosco quanto tempo serve per perdere il dato \rightarrow un circuito temporizzato fa un REFRESH PERIODICO, legge e riscrive tutto

In scrittura, immaginando di voler scrivere "1" ho V_{DD} a G e D, il modo a SOURCE arriva al massimo a $V_{DD} - V_T$ (perché è un PNP Transistor)



3) ΔV da leggere è piccolo, la C_{BL} è grande \Rightarrow fenomeno di Charge sharing. Due condensatori prima scollegati e poi messi in \parallel hanno una ridistribuzione di carica



$$\text{La carica finale } Q_{\text{finale}} = V(C_H + C_{BL}) = \frac{1}{1} Q_H = (V_{DD} - V_T) C_H$$

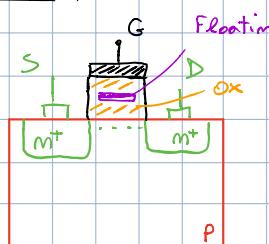
$$C_H (V_{DD} - V_T) = V (C_H + C_{BL})$$

$$V = (V_{DD} - V_T) \left(\frac{C_H}{C_H + C_{BL}} \right) \xrightarrow{\text{partitore che è } \approx 1\%} \approx 10 \text{ mV}$$

La bit line fa fatica a leggere la tensione molto bassa e alzare la C_H comporterebbe ad avere tempi di carica/scarica più lunghi

Principio di funzionamento della memoria FLASH

Basata su un T. MOSFET, substrato P e giunzioni N ma l'ossido è più sottile, c'è il contatto di Gate e l'idea è di avere nell'ox un gate nascosto, pezzo di metallo annegato nell'ox, detto FLOATING GATE, alzando il GATE oltre una certa tensione si manifesta un effetto quantistico



detto TUNNELING: l'è nel canale salta nel gate flottante e rimane intrappolato. Se non c'è l'è nel floating gate allora in lettura avrà una corrente I corrispondente allo "0" (per una certa V_G), ma se c'è la I sarà influenzata dall'elettrone che influenza le linee di campo e varia la corrente, associata a "1". Tutto questo è non volatile.

\Rightarrow Dualismo onda-particella funziona!

