

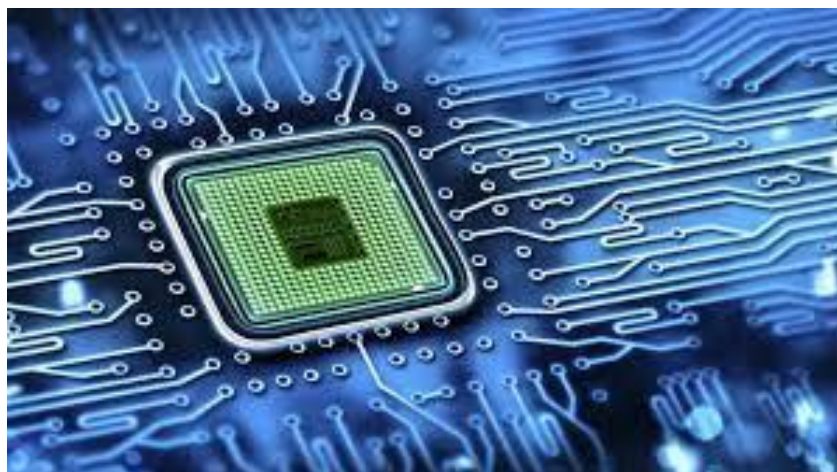
**ΕΘΝΙΚΟ ΜΕΤΣΟΒΙΟ
ΠΟΛΥΤΕΧΝΕΙΟ**

ΣΧΟΛΗ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ ΚΑΙ

7^ο Εξάμηνο – Ποή Η

Εισαγωγή στη Σχεδίαση Συστημάτων VLSI

5^η Εργαστηριακή Αναφορά



Σκόρδα Στεφανία, Α.Μ: 03118852

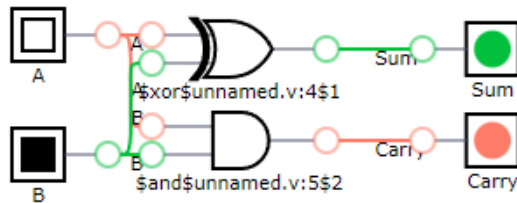
Παπαδημητρίου Κωνσταντίνος, Α.Μ: 03118133

Δεκέμβριος 2021

Άσκηση 1

Τα ζητούμενα κυκλώματα γράφηκαν σε γλώσσα Verilog στο προγραμματιστικό περιβάλλον του Visual Studio Code και έγιναν compile και στην ιστοσελίδα [DigitalJS Online](https://www.digitaljs.org/), εκτός του προγράμματος Microwind.

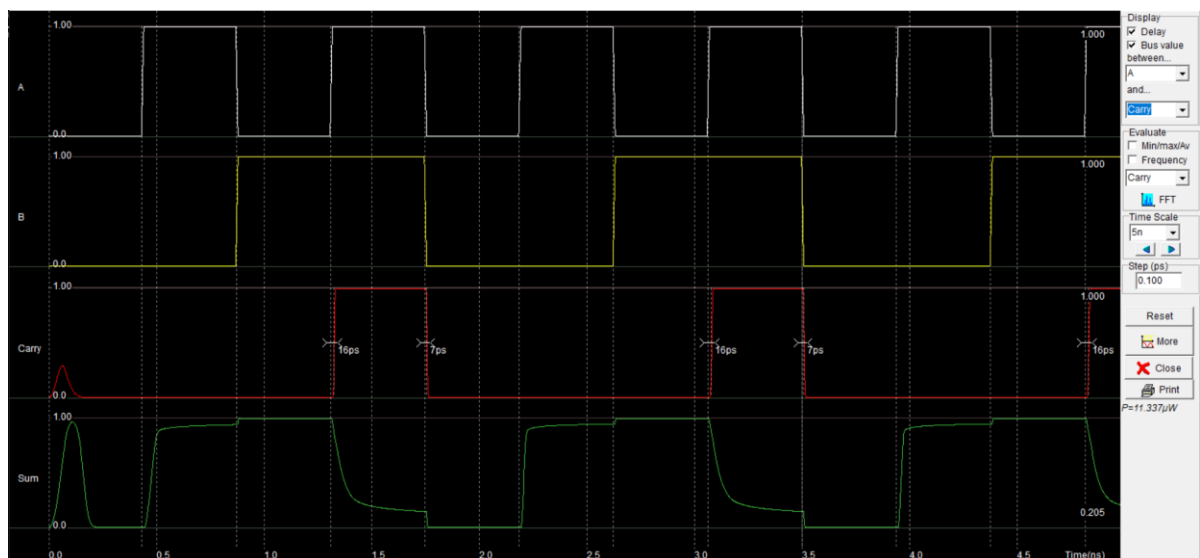
Half Adder:



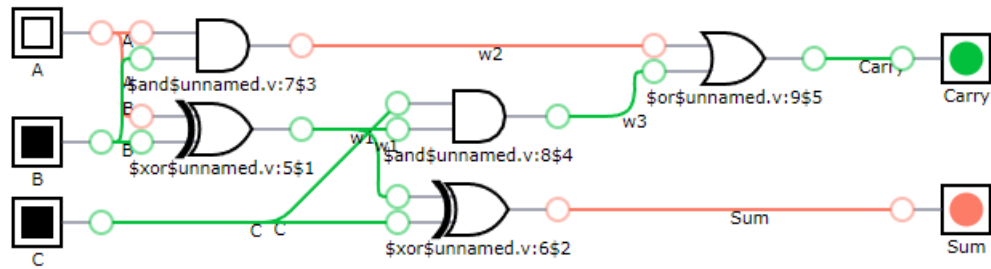
Verilog:

```
module halfadder(A,B,Carry,Sum);  
  input A,B;  
  output Sum,Carry;  
  xor(Sum,A,B);  
  and(Carry,A,B);  
endmodule
```

Microwind:



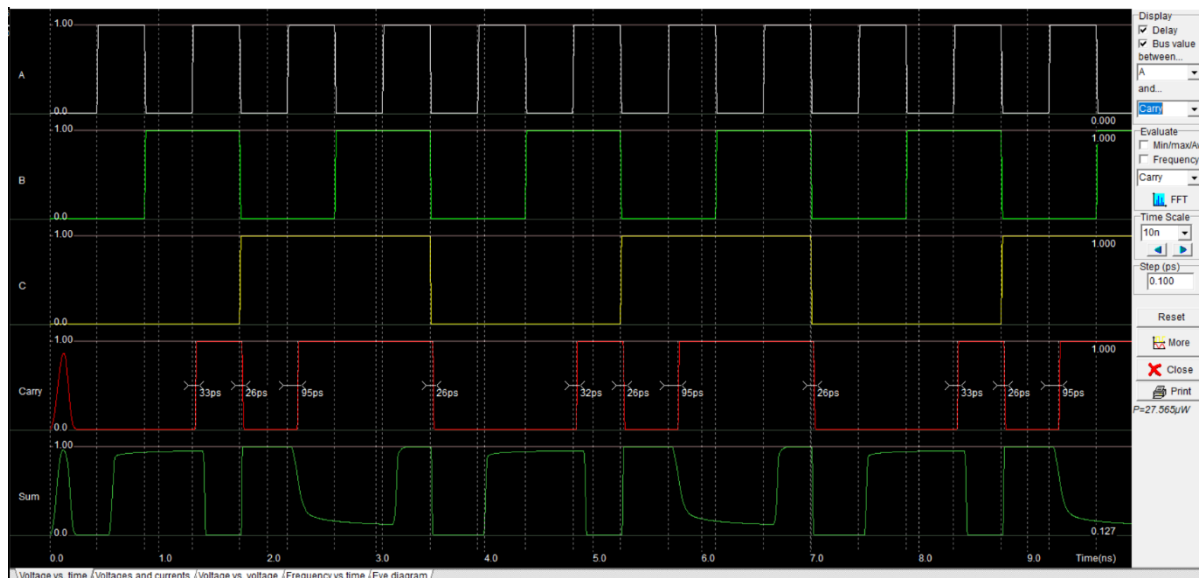
Full Adder:



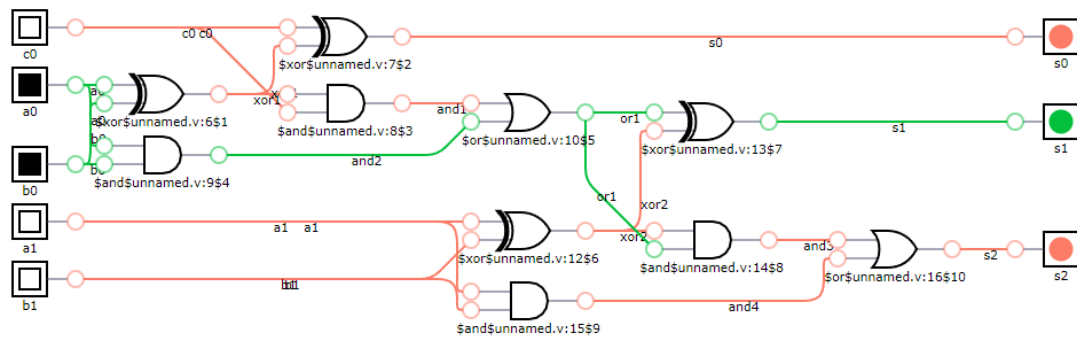
Verilog:

```
module fadd(Sum,Carry,A,B,C);  
  input A,B,C;  
  output Sum,Carry;  
  wire w1,w2,w3;  
  xor(w1,A,B);  
  xor(Sum,w1,C);  
  and(w2,A,B);  
  and(w3,C,w1);  
  or(Carry,w2,w3);  
endmodule
```

Microwind:



Two bit Adder:



Verilog:

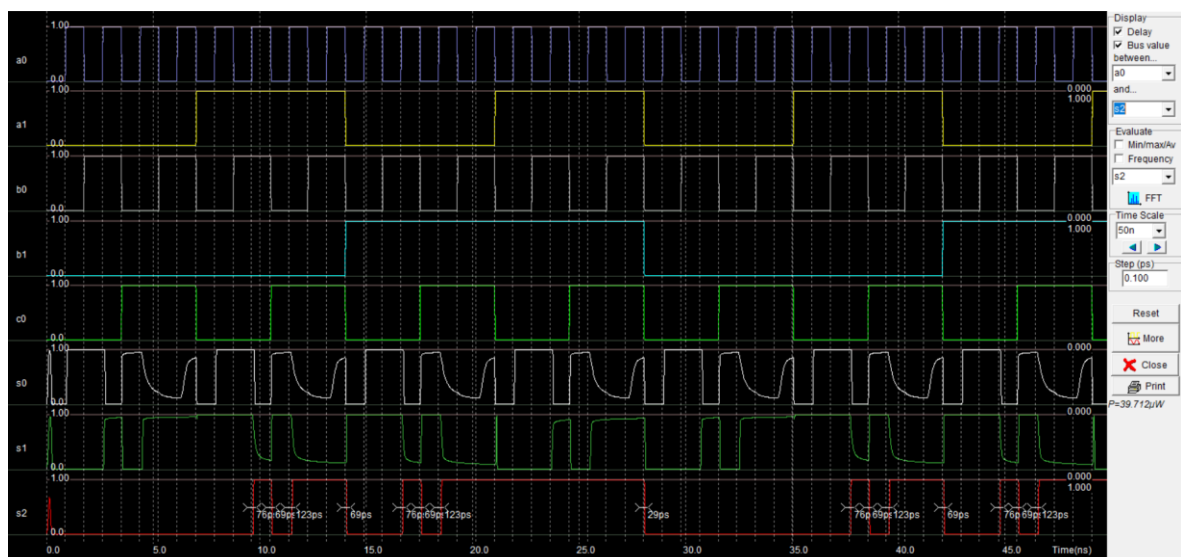
```
module twobitadder(s0,s1,s2,a0,a1,b0,b1,c0);
    input a0,b0,a1,b1,c0;
    output s0,s1,s2;
    wire xor1,xor2,or1,and1,and2,and3,and4;

    xor(xor1,a0,b0);
    xor(s0,c0,xor1);
    and(and1,xor1,c0);
    and(and2,a0,b0);
    or(or1,and1,and2);

    xor(xor2,a1,b1);
    xor(s1,or1,xor2);
    and(and3,xor2,or1);
    and(and4,a1,b1);
    or(s2,and3,and4);

endmodule
```

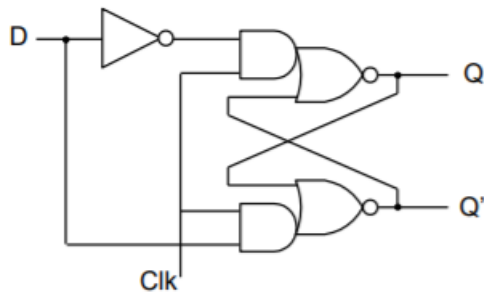
Microwind:



Παρατηρώντας τις κυματομορφές που εξάγονται από τις προσομοιώσεις του Microwind για τα τρία παραπάνω layouts, βλέπουμε πως η έξοδος δεν προλαβαίνει να πάρει την σωστή τιμή αν η είσοδος είναι πολύ γρήγορη (δηλ. έχει μεγάλη συχνότητα). Αυτό οφείλεται στις καθυστερήσεις που εμφανίζουν αυτά τα κυκλώματα και αντιμετωπίζεται θέτοντας ένα “όριο ταχύτητας” στις εισόδους ώστε να έχουμε ορθή λειτουργία.

Άσκηση 2

Μανδαλωτής D με βάση το παρακάτω σχήμα:



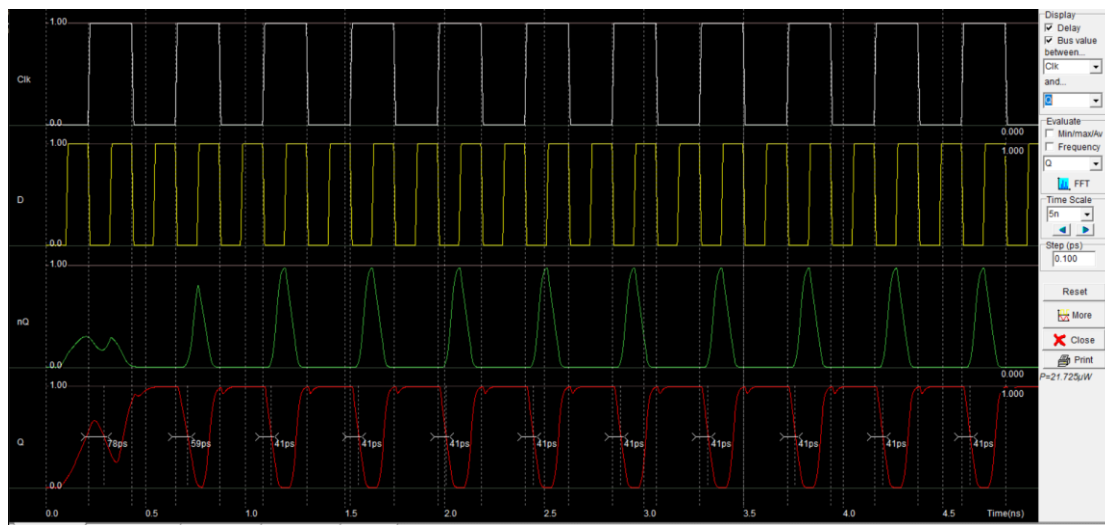
Verilog:

```
module Dlatch(Q, nQ, D, Clk);
    input D, Clk;
    output Q, nQ;
    wire notD, X1, X2, Y1, Y2;
    not (notD,D);

    pmos p1(X1,VDD,D);
    pmos p2(X1,VDD,Clk);
    pmos p3(nQ,X1,Q);
    nmos n1(nQ,Y1,D);
    nmos n2(Y1,VSS,Clk);
    nmos n3(nQ,VSS,Q);

    pmos p4(X2,VDD,notD);
    pmos p5(X2,VDD,Clk);
    pmos p6(Q,X2,nQ);
    nmos n4(Q,Y2,notD);
    nmos n5(Y2,VSS,Clk);
    nmos n6(Q,VSS,nQ);
endmodule
```

Microwind:



Latch:

```
module latch(Q, D, Clk);
    input D, Clk;
    output Q;
    wire nQ, nClk, QM, QM2, nQM, nQ2;

    not (nClk, Clk);
    not (nQM, QM);

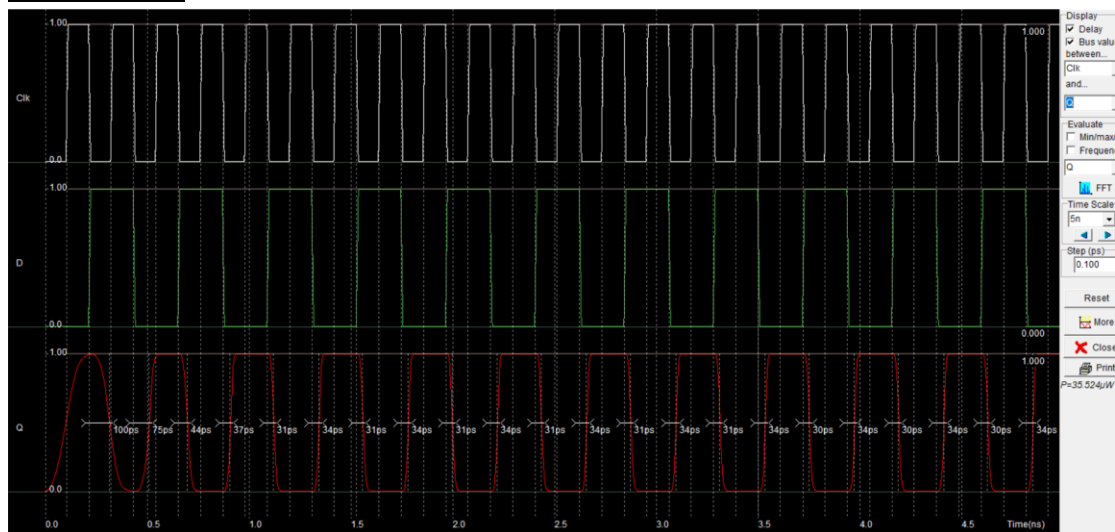
    pmos p1(QM2, QM, Clk);
    nmos n1(QM, QM2, nClk);
    pmos p2(D, QM, nClk);
    nmos n2(QM, D, Clk);

    not (QM2, nQM);

    pmos p3(nQ2, nQ, nClk);
    nmos n3(nQ, nQ2, Clk);
    pmos p4(nQM, nQ, Clk);
    nmos n4(nQ, nQM, nClk);

    not (Q, nQ);
    not (nQ2, Q);
endmodule
```

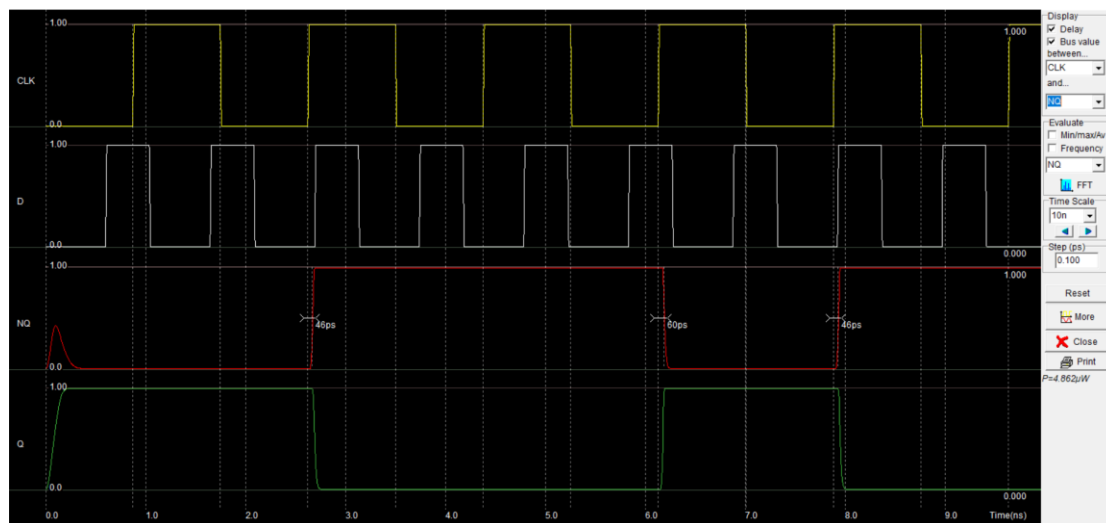
Microwind:



Positive Edge Register:

```
module posregister (CLK,D,Q,NQ);  
  
    input CLK,D;  
    output Q,NQ;  
    wire a,b,c,d;  
  
    nand (a,d,D);  
    nand (b,a,c);  
    nand (c,b,CLK);  
    nand (d,CLK,c,a);  
  
    nand (Q,c,NQ);  
    nand (NQ,Q,d);  
  
endmodule
```

Microwind:



Άσκηση 3

Λειτουργία Κυκλώματος Εκφώνησης:

Το συγκεκριμένο κύκλωμα ισοδυναμεί με ένα T Flip-Flop, όπου η είσοδος του T είναι μονίμως στο 1. Δηλαδή, κάθε φορά που τελειώνει ένας παλμός, η έξοδος του κυκλώματος αλλάζει. Πιο συγκεκριμένα συμπληρώνεται κάθε φορά η έξοδος του Q.

Με βάση το σχήμα 5.4 και αρχικά $Clk=0$, $T=0$ έχουμε $Clk'=1 \Rightarrow QM'=T'=1$. Όταν γίνεται $Clk=1$, το T διατηρεί την τιμή του όπως φαίνεται από την διάταξη του δεύτερου πολυπλέκτη, ενώ το QM' αντιστρέφεται, δηλ. $QM'=T=0$, όπως προκύπτει από τον πρώτο πολυπλέκτη σε συνδυασμό με τον αντιστροφέα στην έξοδό του. Μόλις γίνει $Clk=0$, τότε περνά από τον δεύτερο πολυπλέκτη η τιμή του QM' και αντιστρέφεται, με αποτέλεσμα το T να γίνεται τελικά $T=QM=1$, δηλ. να αντιστρέφεται. Αυτή η τιμή θα διατηρηθεί στην έξοδο για έναν κύκλο ρολογιού. Έτσι προκύπτει πως η έξοδος T έχει διπλάσια περίοδο (ή μισή συχνότητα) σε σχέση με την είσοδο Clk.

T Flip-Flop

Verilog:

```
module Tff(T, Clk);
    input Clk;
    output T;
    wire nT, nClk, QM, QM2, nQM, nT2;

    not (nClk, Clk);
    not (nQM, QM);

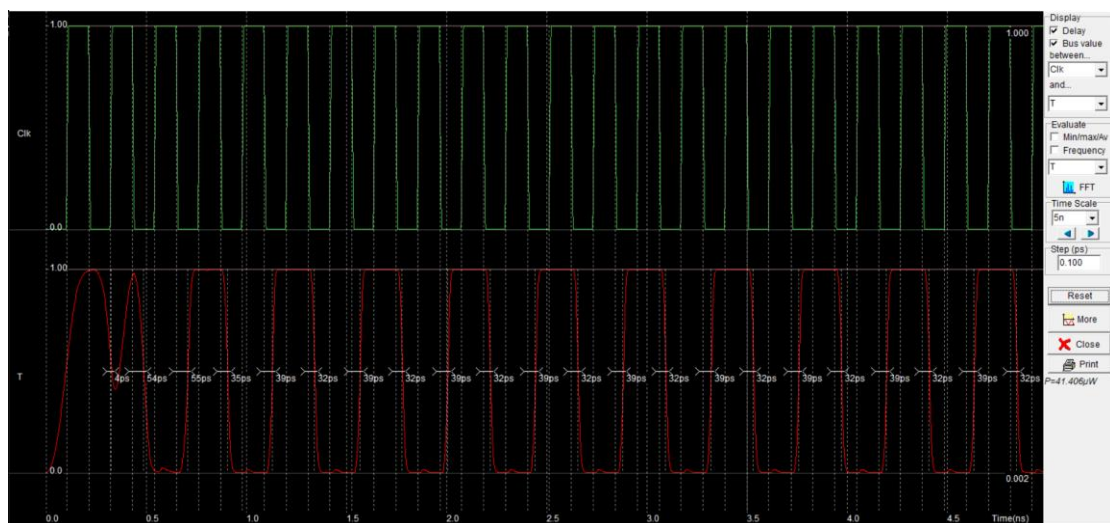
    pmos p1(QM2, QM, Clk);
    nmos n1(QM, QM2, nClk);
    pmos p2(nT, QM, nClk);
    nmos n2(QM, nT, Clk);

    not (QM2, nQM);

    pmos p3(nT2, nT, nClk);
    nmos n3(nT, nT2, Clk);
    pmos p4(nQM, nT, Clk);
    nmos n4(nT, nQM, nClk);

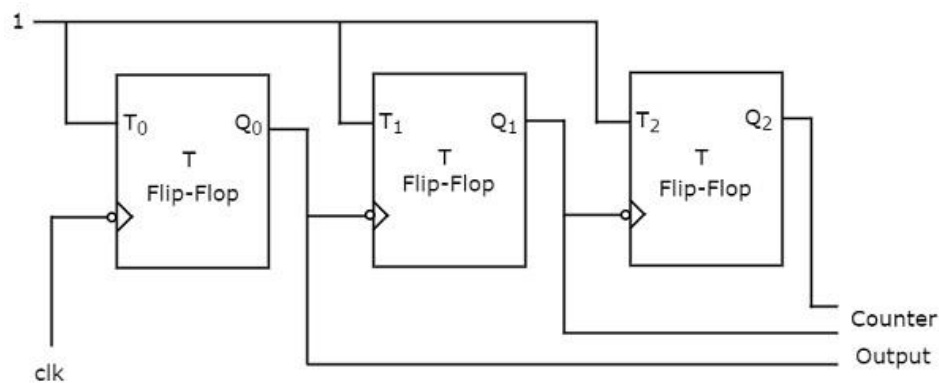
    not (T, nT);
    not (nT2, T);
endmodule
```

Microwind:



3 Bit Counter

Αξιοποιώντας την ιδιότητα του T flip-flop του σχ. 5.4 να δίνει στην έξοδο μισή συχνότητα σε σχέση με την είσοδό του μπορεί να σχεδιαστεί η παρακάτω διάταξη του 3-bit μετρητή ριπής:



Verilog:

```
module threebitcounter(T0, T1, T2, Clk);
    input Clk;
    output T0, T1, T2;
    wire nT0, nClk, QM0, QM0b, nQM0, nT0b;

    not (nClk, Clk);
    not (nQM0, QM0);

    pmos p1(QM0b, QM0, Clk);
    nmos n1(QM0, QM0b, nClk);
    pmos p2(nT0, QM0, nClk);
    nmos n2(QM0, nT0, Clk);

    not (QM0b, nQM0);

    pmos p3(nT0b, nT0, nClk);
    nmos n3(nT0, nT0b, Clk);
    pmos p4(nQM0, nT0, Clk);
    nmos n4(nT0, nQM0, nClk);

    not (T0, nT0);
    not (nT0b, T0);

    wire nT1, QM1, QM1b, nQM1, nT1b;

    not (nQM1, QM1);

    pmos p5(QM1b, QM1, T0);
    nmos n5(QM1, QM1b, nT0);
```

```
pmos p6(nT1,QM1,nT0);
nmos n6(QM1,nT1,T0);

not (QM1b,nQM1);

pmos p7(nT1b,nT1,nT0);
nmos n7(nT1,nT1b,T0);
pmos p8(nQM1,nT1,T0);
nmos n8(nT1,nQM1,nT0);

not (T1,nT1);
not (nT1b,T1);

wire nT2, QM2, QM2b, nQM2, nT2b;

not (nQM2,QM2);

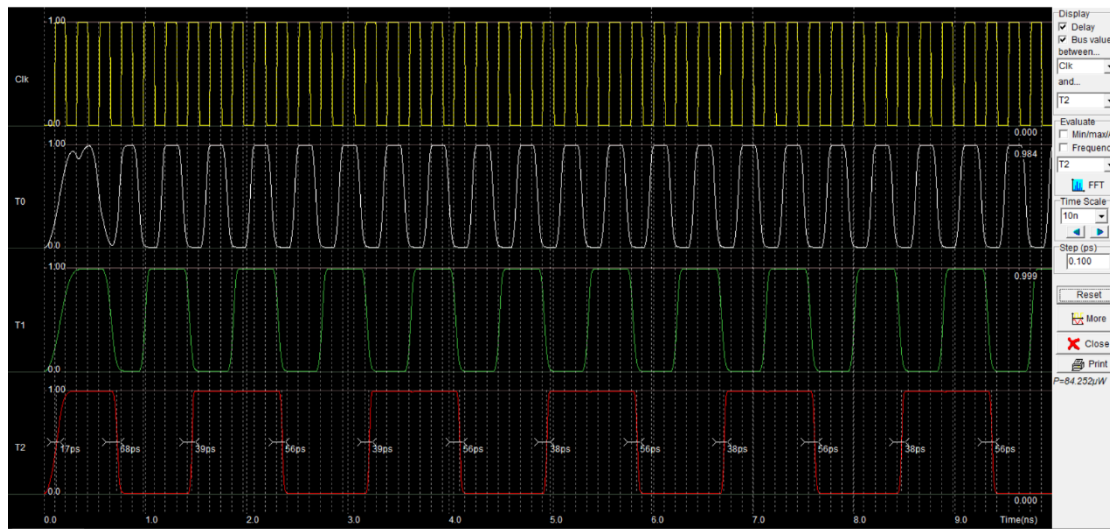
pmos p9(QM2b,QM2,T1);
nmos n9(QM2,QM2b,nT1);
pmos p10(nT2,QM2,nT1);
nmos n10(QM2,nT2,T1);

not (QM2b,nQM2);

pmos p11(nT2b,nT2,nT1);
nmos n11(nT2,nT2b,T1);
pmos p12(nQM2,nT2,T1);
nmos n12(nT2,nQM2,nT1);

not (T2,nT2);
not (nT2b,T2);
endmodule
```

Microwind:



Η ανώτερη συχνότητα παλμών που μπορεί να απαριθμεί με το κύκλωμα αυτό των T flip-flop υπολογίζεται στα $F_{max} = 7.143\text{GHz}$ (ή περίοδος $T_{max} = 0.14\text{ns}$). Ο υπολογισμός έγινε με δοκιμές στην συχνότητα του Clk έως ότου το κύκλωμα να μην λειτουργεί πλέον σωστά.

Άσκηση 4

Πίνακας Αληθείας για το output F με εισόδους τις εισόδους των τριών T flip-flops:

T_2	T_1	T_0	F(output)
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

Πίνακας Karnaugh:

$T_2 \backslash T_1 T_0$	00	01	11	10
0	0	1	0	0
1	1	1	1	0

Άρα, $F = T_2 T_1' + T_2 T_0 + T_1' T_0$

Κώδικας σε Verilog:

```
module exer4(pulse, ss, Clk);
    input ss, Clk; //ss -> start/stop
    output pulse;
    wire cnt_clk;
    and (cnt_clk, Clk, w5);
    not (cnt_nclk, cnt_clk);

    // 3-bit counter
    wire T0, nT0, nClk, QM0, QM0b, nQM0, nT0b;

    not (nClk, Clk);
    not (nQM0, QM0);

    pmos p1(QM0b, QM0, cnt_clk);
    nmos n1(QM0, QM0b, cnt_nclk);
    pmos p2(nT0, QM0, cnt_nclk);
    nmos n2(QM0, nT0, cnt_clk);

    not (QM0b, nQM0);

    pmos p3(nT0b, nT0, cnt_nclk);
    nmos n3(nT0, nT0b, cnt_clk);
    pmos p4(nQM0, nT0, cnt_clk);
    nmos n4(nT0, nQM0, cnt_nclk);

    not (T0, nT0);
    not (nT0b, T0);

    wire T1, nT1, QM1, QM1b, nQM1, nT1b;

    not (nQM1, QM1);
```

```

pmos p5(QM1b,QM1,T0);
nmos n5(QM1,QM1b,nT0);
pmos p6(nT1,QM1,nT0);
nmos n6(QM1,nT1,T0);

not (QM1b,nQM1);

pmos p7(nT1b,nT1,nT0);
nmos n7(nT1,nT1b,T0);
pmos p8(nQM1,nT1,T0);
nmos n8(nT1,nQM1,nT0);

not (T1,nT1);
not (nT1b,T1);

wire T2, nT2, QM2, QM2b, nQM2, nT2b;

not (nQM2,QM2);

pmos p9(QM2b,QM2,T1);
nmos n9(QM2,QM2b,nT1);
pmos p10(nT2,QM2,nT1);
nmos n10(QM2,nT2,T1);

not (QM2b,nQM2);

pmos p11(nT2b,nT2,nT1);
nmos n11(nT2,nT2b,T1);
pmos p12(nQM2,nT2,T1);
nmos n12(nT2,nQM2,nT1);

not (T2,nT2);
not (nT2b,T2);

// start/stop latch sx.5.3

wire ss_new, nss_new, a, b, c, d;

nand (a,d,ss);
nand (b,a,c);
nand (c,b,Clk);
nand (d,Clk,c,a);

nand (ss_new,c,nss_new);
nand (nss_new,ss_new,d);

// creation of output pulse

```

```

wire w1, w2, w3, w4, w5;

and (w1,T2,nT1);
and (w2,T2,T0);
and (w3,nT1,T0);
or (w4,T0,T1,T2);
or (w5,w4,ss_new);

or (pulse,w1,w2,w3);

endmodule

```

Ο χειρισμός του σήματος start/stop (το οποίο αποθηκεύουμε σε ένα θετικά ακμοπυροδότητο καταχωρητή όπως του σχήματος 5.3) γίνεται με βάση την μέθοδο παρεμπόδισης ή μη του ρολογιού που συνδέεται με τον μετρητή. Πιο συγκεκριμένα, στην είσοδο του μετρητή συνδέεται η έξοδος μιας πύλης and με 2 εισόδους: το Clk και την έξοδο μιας or με εισόδους το σήμα start/stop και τις τρεις εξόδους του μετρητή.

Μέσω των παρακάτω προσομοιώσεων από το Microwind (για $T(\text{start/stop})=7\text{ns}$ και $T(\text{start/stop})=14\text{ns}$) βλέπουμε ότι παράγεται η ζητούμενη κυματομορφή και το σήμα start/stop ελέγχει ορθά την λειτουργία (ή μη) του κυκλώματος:

