

EsD1: Porte Logiche

Gruppo 1G.BM

Gabriele Astorino, Stefano Romboni, Matteo Morresi

31 Marzo 2022

Indice

1	Parte A: Caratteristiche fisiche delle porte logiche	2
1.1	Tensioni di operazione e misura del Noise Margin	2
1.2	Misura (statica) del fan-out della porta	3
2	Parte B: Costruzione di circuiti logici elementari	3
2.1	Tabella di verità porta NAND	3
2.2	Costruzione porta OR tramite porte NAND	4
2.3	Costruzione selettore a due vie (multiplexer)	5
3	Parte C: Costruzione di circuiti logici complessi	7

1 Parte A: Caratteristiche fisiche delle porte logiche

In questa parte dell'esperienza si vogliono misurare le caratteristiche fisiche delle porte NOT TTL contenute nell'integrato SN7404 (figura 1), per verificare che rientrino o meno nelle specifiche del Data-Sheet. Si collega l'integrato SN7404 sulla basetta in una zona centrale e lo si alimenta connettendo tensioni di 0 [V] e 5 [V] generate con la funzione Supplies dell'AD2.

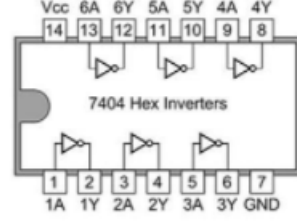


Figura 1: Integrato SN7404

1.1 Tensioni di operazione e misura del Noise Margin

Si connette il canale 1 del Wavegen all'ingresso di una delle porte NOT e si invia una rampa che vari nell'intervallo di tensioni 0-5 [V]. Con i canali 1 e 2 dell'oscilloscopio dell'AD2 si misurano rispettivamente i segnali in ingresso V_{IN} e in uscita V_{OUT} dalla porta NOT scelta. Riportiamo di seguito quanto si visualizza tramite la modalità XY dell'oscilloscopio con V_{IN} sulle ascisse e V_{OUT} sulle ordinate.

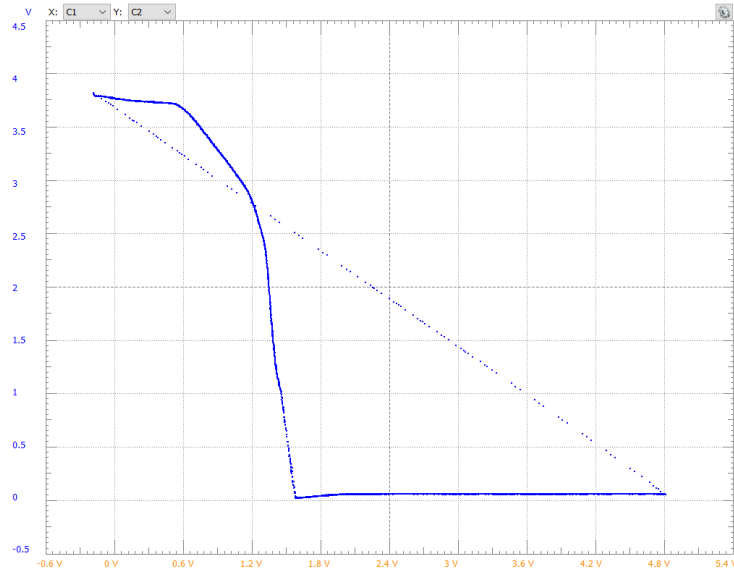


Figura 2: Rappresentazione in modalità XY dei segnali in ingresso e in uscita dalla porta NOT utilizzata.

Dai dati acquisiti sull'oscilloscopio si misurano quindi con i cursori le tensioni di interesse: $V_{OH,min}$, $V_{IH,min}$, $V_{IL,max}$, $V_{OL,max}$, da cui si ottengono i Noise Margin High e Low tramite le espressioni:

$$NM_H = V_{OH,min} - V_{IH,min}$$

$$NM_L = V_{IL,max} - V_{OL,max}$$

Riportiamo in tabella 1 i valori specificati nel Data-Sheet e i risultati delle misure per i tre circuiti realizzati con i corrispondenti Noise Margin High e Low.

	$V_{OH,min}$ [V]	$V_{IH,min}$ [V]	$V_{IL,max}$ [V]	$V_{OL,max}$ [V]	NM_H [V]	NM_L [V]
DS	2.4	2	0.8	0.4	0.4	0.4
Circuito 1	2.7	1.5	1.4	0.1	1.2	1.3
Circuito 2	2.5	1.60	1.2	0.1	0.9	1.1
Circuito 3	2.7	1.83	1.5	0.4	0.87	1.1

Tabella 1: Misure e valori riportati nel DS di V_{OUT} e V_{IN} , con associati NM_H e NM_L .

I Noise Margin ottenuti dalle misure sono maggiori di quelli ottenuti con le tensioni di ingresso e uscita riportate nel Data-Sheet. Le porte impiegate rientrano allora nelle specifiche del Data-Sheet, in quanto quest'ultimo riporta dei valori garantiti per tutte le porte prodotte ed è quindi normale (sperabile) ottenere caratteristiche di funzionamento migliori.

1.2 Misura (statica) del fan-out della porta

Si vuole ora misurare il valore del fan-out della porta per un valore logico alto. A tale scopo è necessario misurare le correnti in ingresso I_{IH} e in uscita I_{OH} dalla porta. Per misurare la corrente I_{IH} si inserisce il multimetro digitale impiegato come amperometro in serie all'ingresso del circuito. Per misurare la corrente I_{OH} si collega in serie all'uscita della porta il multimetro e un potenziometro da 10 [k Ω], che ha lo scopo di simulare la resistenza di carico che si avrebbe collegando altre porte all'uscita. Si varia la posizione del potenziometro fino a far scendere a circa 3.4 [V] il valore di V_{OUT} (valore tipico di V_{OH} riportato nel Data-Sheet della porta) e si misura quindi il valore di I_{OH} . Infine, riducendo ulteriormente la resistenza del potenziometro, si misura la corrente in uscita anche per il valore $V_{OH,min}$ misurato nel punto precedente, per stimare il massimo valore di corrente $I_{OH,max}$ che si riesce ad avere in uscita dalla porta.

Dalle misure di I_{OH} e I_{IH} effettuate con il multimetro digitale si calcola il fan-out (high) della porta, ricordando che:

$$(\text{fan-out})_H = \frac{I_{OH}}{I_{IH}}.$$

Riportiamo in tabella 2 le misure, le specifiche del Data-Sheet e i fan-out calcolati per entrambi i casi. Le incertezze sul fan-out sono state arrotondate all'intero più vicino in accordo con la definizione di fan-out. Dai valori di fan-out

	I_{IH} [μ A]	I_{OH} [μ A]	$I_{OH,max}$ [mA]	fan-out (a 3.4 [V])	fan-out (a $V_{OH,min}$)
DS	40	-400	/	10	/
Circuito 1	15.0 \pm 0.3	-360 \pm 4	-5.33 \pm 0.05	24 \pm 1	355 \pm 8
Circuito 2	18.0 \pm 0.4	-567 \pm 6	-5.67 \pm 0.06	31 \pm 1	311 \pm 8
Circuito 3	16.0 \pm 0.3	-411 \pm 4	-5.76 \pm 0.06	26 \pm 1	360 \pm 8

Tabella 2: Misure di corrente e calcolo del fan-out delle porte. Sono definite positive le correnti entranti nella porta.

ottenuti si può dire che le porte impiegate rientrano nelle specifiche del Data-Sheet. In particolare si osserva che il fan-out ottenuto a $V_{OH,min}$ con la misura di $I_{OH,max}$ è molto maggiore di quello riportato nel Data-Sheet e si può interpretare come una stima del limite massimo di porte che possono essere collegate in uscita ad una porta NOT dell'integrato SN7404 riuscendo comunque a mantenere uno stato logico alto di V_{OUT} .

2 Parte B: Costruzione di circuiti logici elementari

Per questa parte si utilizza il circuito integrato SN74LS00, contenente 4 porte NAND a due ingressi.

2.1 Tabella di verità porta NAND

Per prima cosa si verifica il funzionamento di una singola porta NAND inviando in ingresso tutte le possibili combinazioni di stati alti e bassi tramite Pattern e tramite Logic si misurano i valori e si esportano su file .CSV. Si sono successivamente graficate le acquisizioni con python riportate in figura (4).

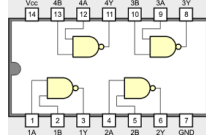


Figura 3: Integrato SN74LS00

Input (DIO0)	Input (DIO1)	Output (DIO2)
0	0	1
0	1	1
1	0	1
1	1	0

Tabella 3: Tabella di verità porta NAND

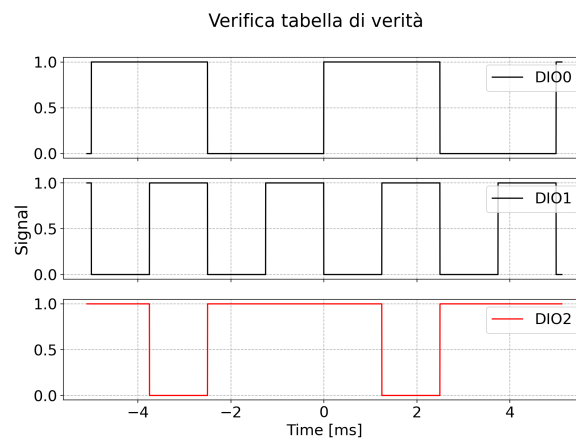


Figura 4: Plot segnali per la verifica della tabella di verità

2.2 Costruzione porta OR tramite porte NAND

Si parte dalla tabella di verità per una porta OR (4). L'espressione Booleana di una porta OR a due ingressi è la seguente: $A+B=X$. Per realizzare questa espressione utilizzando solo porte NAND, tramite le leggi di De Morgan si ricava la seguente catena di uguaglianze:

$$A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

A(DIO0)	B(DIO1)	X(DIO2)
0	0	0
0	1	1
1	0	1
1	1	1

Tabella 4: Tabella di verità porta OR

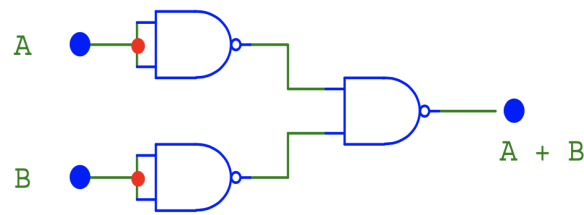
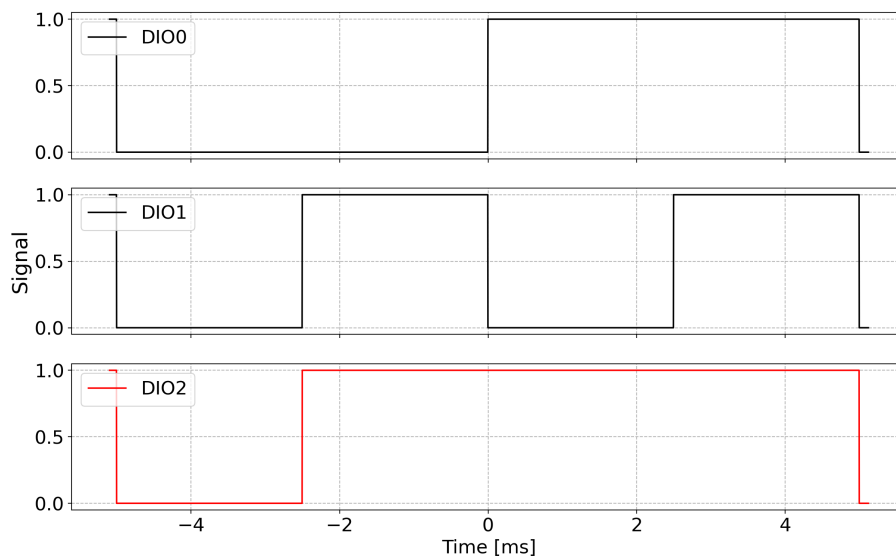


Figura 5: Circuito porta OR

Verifica tabella di verità porta OR



2.3 Costruzione selettore a due vie (multiplexer)

C (DIO0)	A (DIO1)	B (DIO2)	OUT (DIO3)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Tabella 5: Tabella di verità circuito selettore a due vie

Tramite il valore dell'ingresso C, si sceglie se avere in uscita OUT il valore dell'ingresso A oppure quello dell'ingresso B. Se C è alto (i.e. 1) allora in uscita avremo B, se è basso allora in uscita avremo A. Dalla tabella di verità si passa alla tabella di Karnaugh e tramite quest'ultima, individuando gli 1 adiacenti si scrive la funzione caratteristica del circuito.

$C \backslash AB$	00	01	11	10
0	0	0	1	1
1	0	1	1	0

Tabella 6: Tabella di Karnaugh per il circuito selettore

Si ottiene dunque la funzione caratteristica per il selettore come

$$OUT = A\bar{C} + BC$$

e applicando le leggi di De Morgan, la funzione in termini di soli NAND:

$$OUT = A\bar{C} + BC = \overline{\overline{A\bar{C}} + \overline{BC}} = \overline{\overline{A\bar{C}} \cdot \overline{BC}}.$$

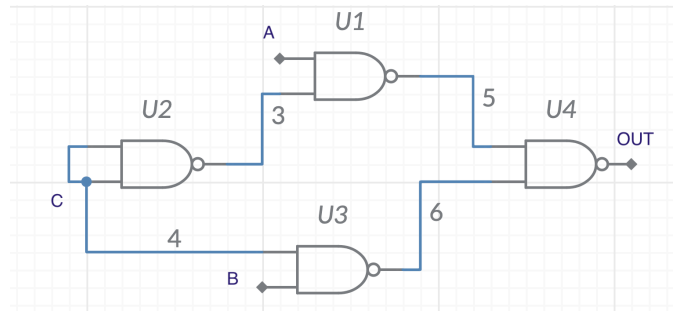
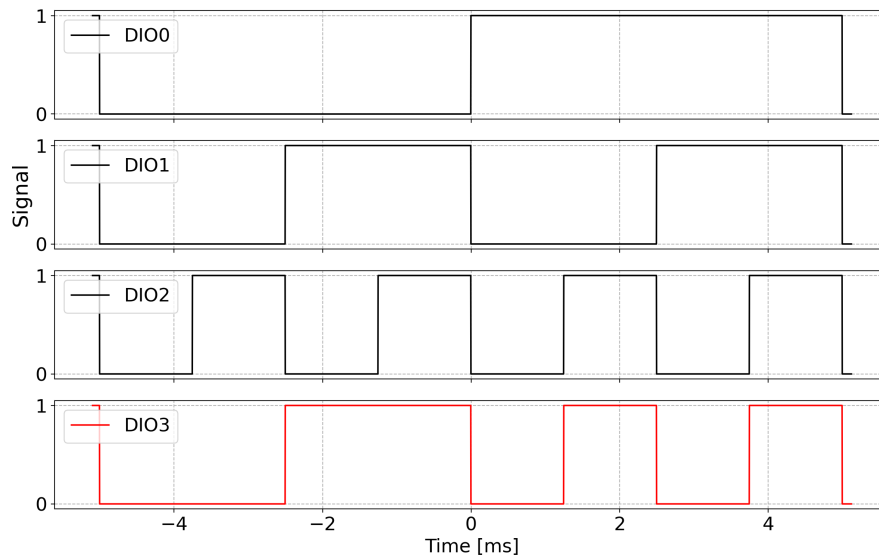


Figura 6: Schema circuitale del multiplexer con porte NAND

Tramite le funzioni Patterns e Logic di Wavegen si è quindi verificata la funzionalità del circuito inviando agli ingressi tutte le combinazioni possibili. Riportiamo di seguito i dati acquisiti, graficati in Python.

Verifica tabella di verità selettore a due ingressi



3 Parte C: Costruzione di circuiti logici complessi

In questa ultima parte si vuole costruire un convertitore Gray-Binario con l'utilizzo di porte XOR. Si riportano lo schema circuitale e la schematizzazione dell'integrato SN74LS86 in Figura 7. Per facilitare la lettura delle tabelle e

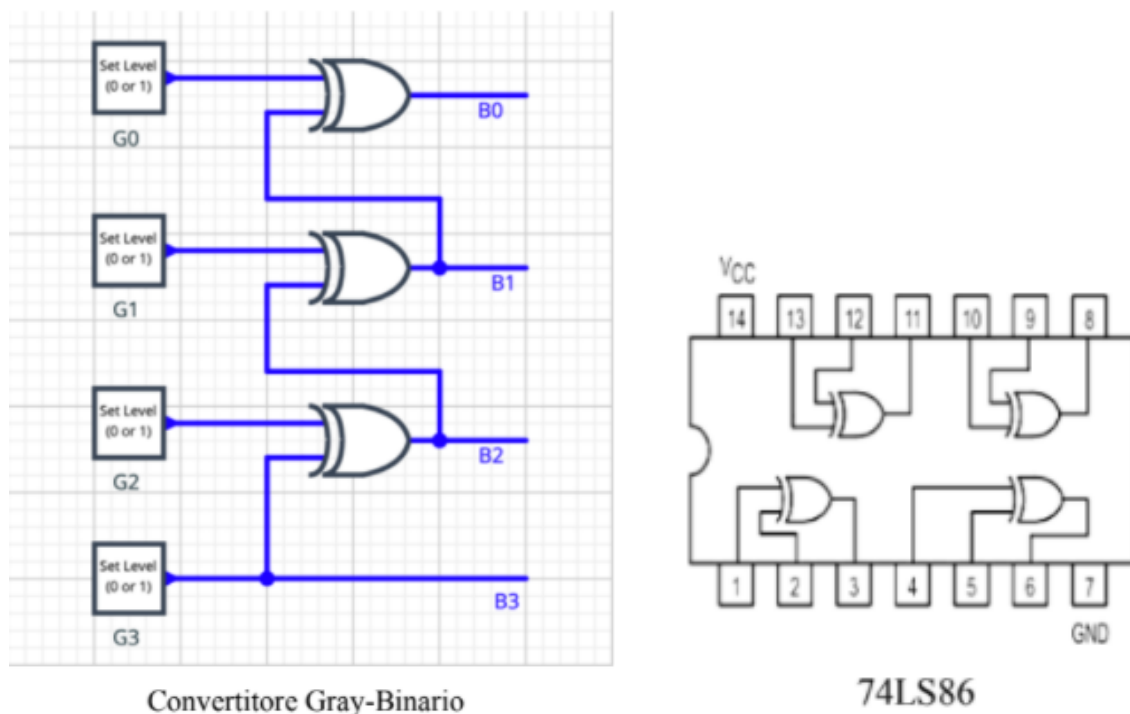


Figura 7: Immagine dello schema circuitale per il convertitore Gray-Binario sulla sinistra e della schematizzazione dell'integrato SN74LS86 sulla destra.

dei risultati sui grafici si riporta la tabella di conversione Gray-Binario per un ingresso a 4 bit in Figura 8.

Decimale	Binario	Gray
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Figura 8: Tabella di conversione Decimale-Binario-Gray.

Riportiamo adesso in Tabella 7 la verifica, per 5 diversi ingressi, del funzionamento dello schema proposto in Figura 7.

Ingresso	Uscita
0000	0000
0101	0110
0100	0111
1100	1000
1111	1010

Tabella 7: Verifica del funzionamento dello schema circuitali in Figura 7.

Quindi lo schema circuitale riporta i valori corretti e si effettua la stessa verifica per il circuito costruito sulla basetta con l'utilizzo di Patterns per generare un bus di 4 DIO identificanti l'ingressi a 4 bit e Logic per visualizzare l'uscita dal contatore.

Si riporta in Figura 9 l'immagine di verifica.

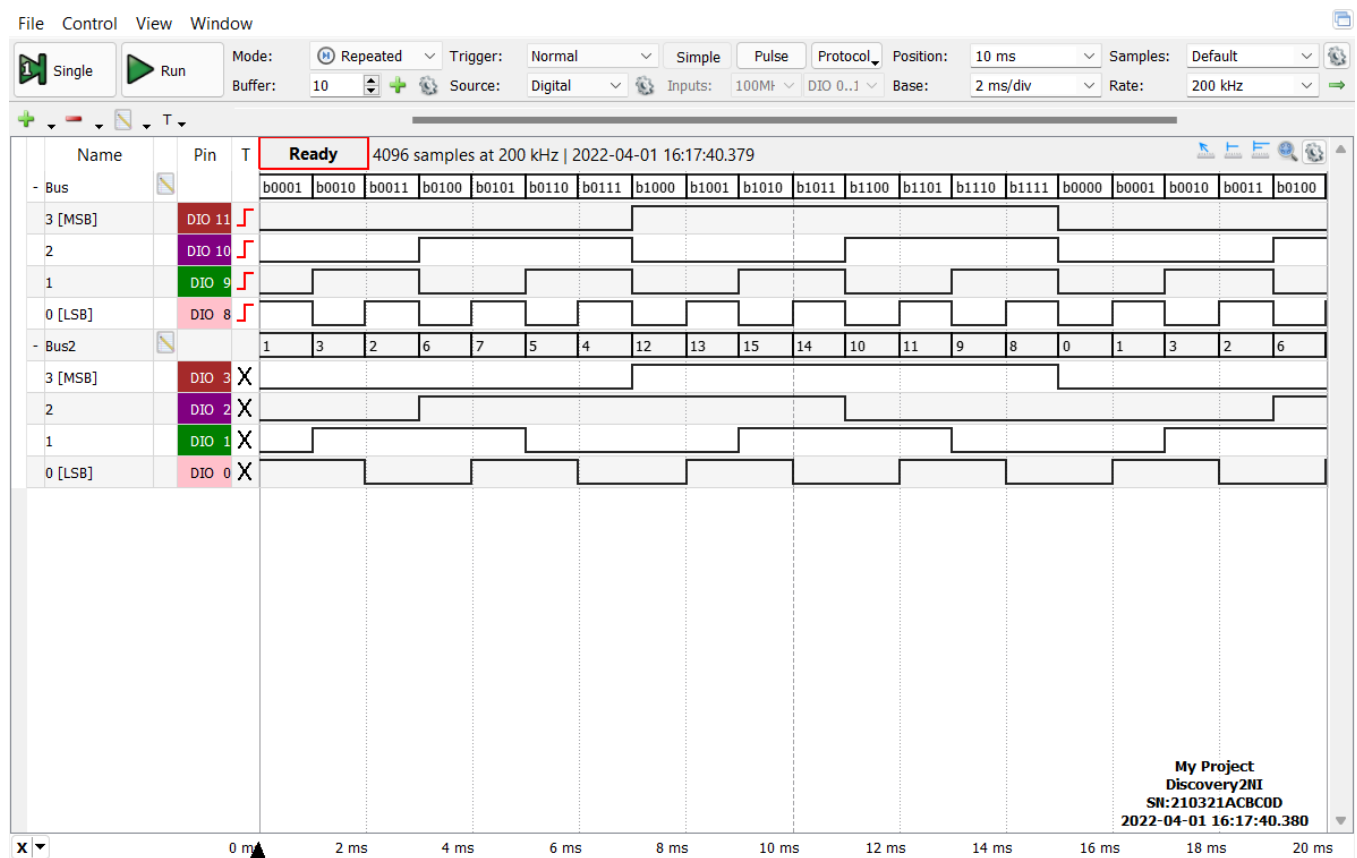


Figura 9: Verifica del funzionamento del circuito.

Come si vede dallo screenshot dell'Ad2, il circuito segue il corretto funzionamento. Impostando ora un time division di 10 [ns]/div, si può ben apprezzare la transizione dal numero 15 (1000 in Gray) al numero 0 (0000). Si riporta in Figura 10 l'immagine acquisita.

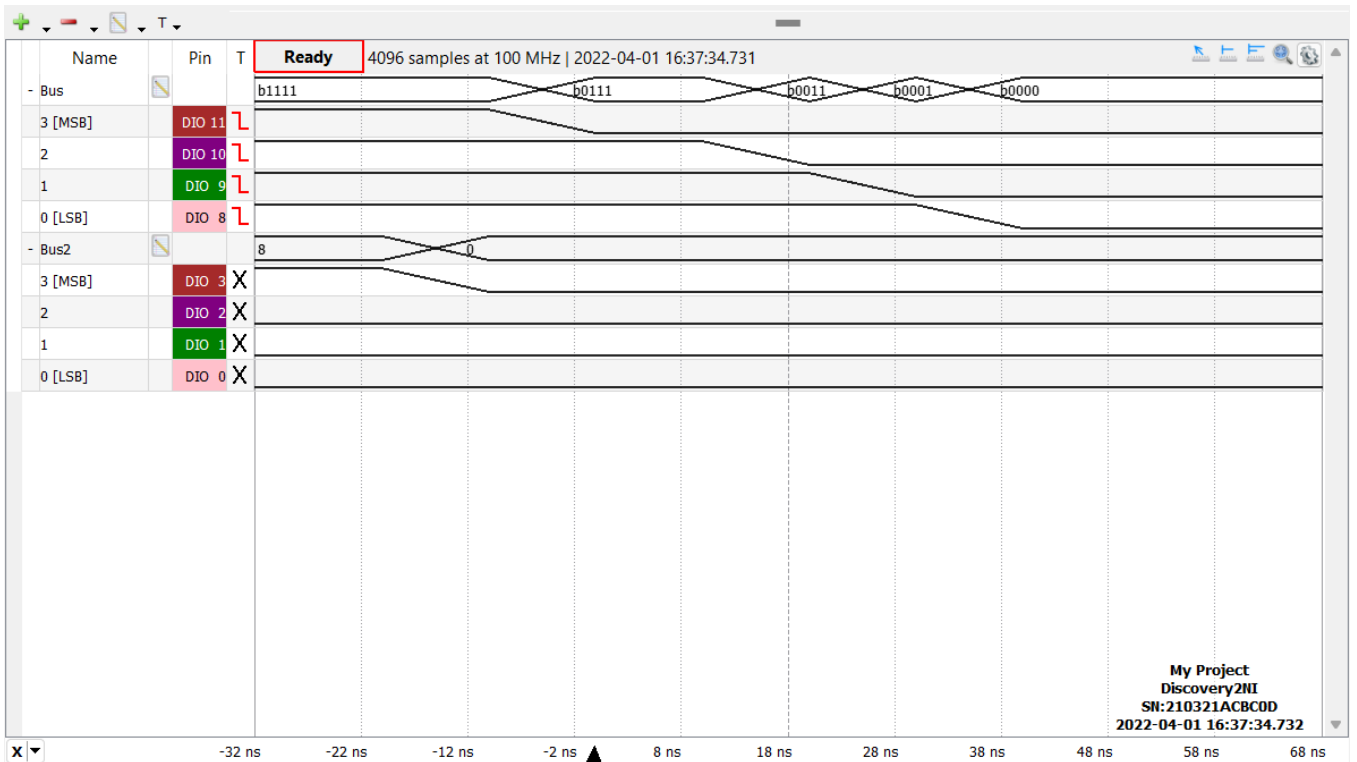


Figura 10: Transizione dal 15 allo 0 visualizzata con una scala di 10 [ns] per divisione.

Misurando con i cursori la durata temporale della transizione da alto a basso (da 1 a 0) si ottiene $\Delta T = 10 \pm 3$ [ns] sia per l'ingresso che per l'uscita e la distanza temporale tra la fine della transizione del MSB e l'inizio della transizione del successivo all'uscita risulta essere $\Delta T_1 = 10 \pm 3$ [ns] (compatibile con quanto riportato sul datasheet). Una possibile spiegazione a questo comportamento potrebbe essere la seguente. La presenza del delay temporale tra DIO3 e DIO11 può essere dovuto alla banda passante dell'Ad2 (100 MHz). Infatti, mentre DIO3 è generato direttamente da Patterns, DIO11 è letto con Logic, quindi affetto da un delay temporale. Gli altri ritardi temporali presenti sui canali DIO10-DIO9-DIO8 sono invece dovuti alla presenza di 1,2 o 3 porte logiche, che fanno spostare il segnale ogni volta di un multiplo del ritardo della porta ΔT_1 .