

Macchina a Stati Finiti: semaforo

Gruppo 1G.BM

Gabriele Astorino, Stefano Romboni, Matteo Morresi

28 Aprile 2022

Indice

1	Specifiche di funzionamento del semaforo	2
2	Diagramma a stati del circuito	2
3	Tabella di verità	3
4	Funzioni logiche associate alle transizioni e alle uscite	3
5	Implementazione circuitale	4
6	Implementazione circuitale alternativa	5
7	Verifica del funzionamento	6

1 Specifiche di funzionamento del semaforo

Scopo dell'esercitazione è la realizzazione di un semaforo con due modalità di funzionamento: abilitato o disabilitato. Nella modalità abilitato la sequenza degli stati, ripetuta ciclicamente, è: Led Verde acceso → Led Verde e Giallo acceso → Led Rosso acceso. Nella modalità disabilitato la sequenza è invece: Led giallo spento → Led giallo acceso (led Giallo lampeggiante). Tutti gli stati hanno durata uguale a 1 impulso di clock. Si implementa il semaforo come una Macchina a stati finiti di Mealy.

2 Diagramma a stati del circuito

Come primo step si realizza il diagramma degli stati del circuito, riportato in Figura 1, insieme a due tabelle che riassumono le convenzioni scelte per gli stati S_1, S_2, S_3 , per il segnale di Enable E e per le uscite [V,G,R] corrispondenti ai tre Led: Verde, Giallo e Rosso. Si osserva in particolare che il circuito è a tre stati, che richiedono l'utilizzo di due bit e quindi di due D-Flip Flop; si riportano quindi già in tabella i bit associati alle variabili di stato dei Flip-Flop Q_0 e Q_1 .

Stato	Q_1	Q_0
S_1	0	0
S_2	0	1
S_3	1	0

Tabella 1: Convenzione scelta per i tre stati S_1, S_2, S_3 .

/	E	Out
1	abilitato	acceso
0	disabilitato	spento

Tabella 2: Convenzione per l'ingresso E e per le uscite [V,G,R]. Si indica con *Out* la convenzione valida per tutte e tre le uscite.

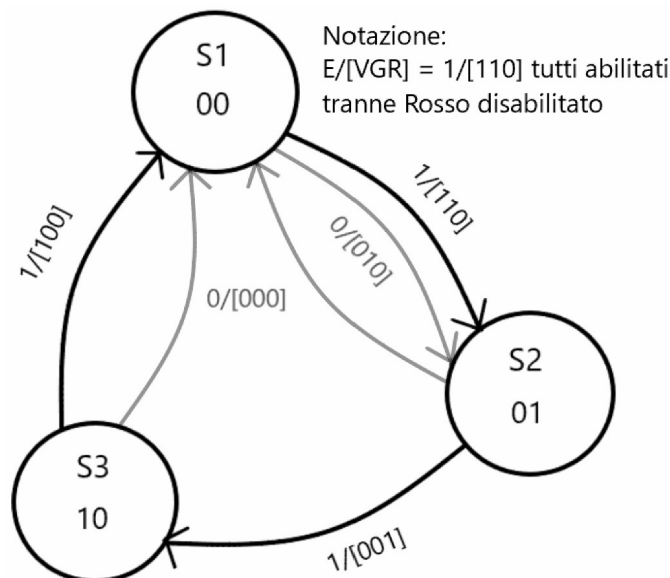


Figura 1: Diagramma degli stati del semaforo implementato come MSF di Mealy.

3 Tabella di verità

Si realizza quindi la tabella di verità delle transizioni di stato $Q_1Q_0 \rightarrow Q_1^+Q_0^+$ e delle uscite [V,G,R] in funzione dello stato attuale Q_1Q_0 dei Flip-Flop e dell'ingresso E. In questa tabella e nelle successive tabelle di Karnaugh con $x(b_0)$ si indica che a quel don't care è stato assegnato il bit b_0 dalla scelta delle funzioni logiche fatta nella sezione successiva.

E	Q_1	Q_0	Q_1^+	Q_0^+	V	G	R
0	0	0	0	1	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	0	0	0
0	1	1	x(0)	x(0)	x(0)	x(1)	x(0)
1	0	0	0	1	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	1
1	1	1	x(1)	x(0)	x(0)	x(1)	x(1)

Tabella 3: Tabella di verità del circuito.

4 Funzioni logiche associate alle transizioni e alle uscite

Si utilizzano quindi le mappe di Karnaugh per definire le funzioni logiche che rappresentano le transizioni $S_{n+1}(S_n, E)$ e le funzioni logiche che rappresentano le uscite $Out_i(S_n, E)$. In particolare si cerca di sfruttare la presenza di don't care per minimizzare il numero di operazioni logiche da effettuare (e quindi di porte logiche da utilizzare), assicurandosi allo stesso tempo che il circuito esca dallo stato proibito $Q_1Q_0 = 11$ nel caso ci dovesse finire, per evitare loop indesiderati.

$E \setminus Q_1Q_0$	00	01	11	10
0	1	0	x(0)	0
1	1	0	x(0)	0

Tabella 4: Tabella di Karnaugh per $Q_0^+ = D_0$.

$$Q_0^+ = \overline{Q_0} \cdot \overline{Q_1}$$

$E \setminus Q_1Q_0$	00	01	11	10
0	0	0	x(0)	0
1	0	1	x(1)	0

Tabella 5: Tabella di Karnaugh per $Q_1^+ = D_1$.

$$Q_1^+ = E \cdot Q_0$$

$E \backslash Q_1 Q_0$	00	01	11	10
0	0	0	x(0)	0
1	1	1	x(0)	0

Tabella 6: Tabella di Karnaugh per V.

$$V = E \cdot \overline{Q_1}$$

$E \backslash Q_1 Q_0$	00	01	11	10
0	0	1	x(1)	0
1	0	1	x(1)	0

Tabella 7: Tabella di Karnaugh per G.

$$G = Q_0$$

$E \backslash Q_1 Q_0$	00	01	11	10
0	0	0	x(0)	0
1	0	0	x(1)	1

Tabella 8: Tabella di Karnaugh per R.

$$R = E \cdot Q_1$$

5 Implementazione circuitale

A partire dalle funzioni logiche ricavate nella sezione precedente si può quindi realizzare il circuito (Figura 2) con 4 porte AND (integrato 74LS08) e due D-Flip Flop (integrato 74LS74). Nello schema circuitale non vengono esplicitamente riportate resistenze a terra a ciascuna uscite VGR: questo perché per diversificare e osservare le differenze, si è scelto di eseguire un circuito senza resistenze collegando direttamente i LED giallo, rosso e verde a terra ed un altro montando in serie ai diodi delle resistenza da 1 [kΩ] nominale. Queste sono state prese non troppo alte altrimenti avrebbero preso troppa caduta di potenziale ai loro capi, rischiando che la tensione ai capi del diodo venisse recepita come stato basso. Chiaramente l'unica differenza osservata è stata una diminuzione nell'intensità della luce emessa dai LED.

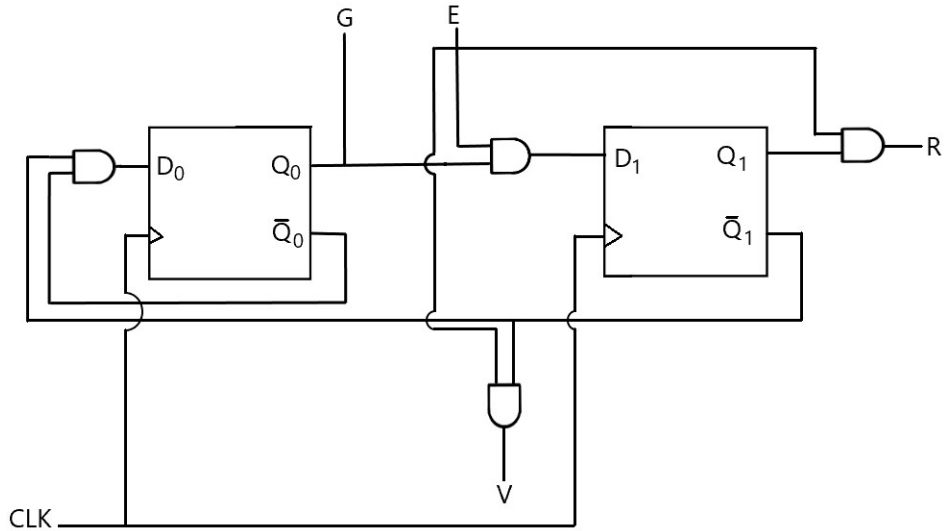


Figura 2: Schema circuitale per l'implementazione 1, eseguita con 4 porte AND.

6 Implementazione circuitale alternativa

Si è realizzata anche un'implementazione circuitale alternativa andando a cambiare uno stato di don't care, precisamente lo stato (1/11) in cui prima era stato messo come output (011), mentre ora si è cambiato l'output in (010). Gli stati di don't care sono stati trattati con lo stesso criterio esposto in sezione (3). Le tabelle di Karnaugh e la tabella di verità vengono modificate come segue:

E	Q_1	Q_0	Q_1^+	Q_0^+	V	G	R
0	0	0	0	1	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	0	0	0
0	1	1	x(0)	x(0)	x(0)	x(1)	x(0)
1	0	0	0	1	1	0	0
1	0	1	1	0	1	1	0
1	1	0	0	0	0	0	1
1	1	1	x(1)	x(0)	x(0)	x(1)	x(0)

Tabella 9: Tabella di verità del circuito.

A partire dalle funzioni logiche ricavate nella sezione precedente si può quindi realizzare il circuito (Figura 4) con 4 porte AND (integrato 74LS08), una porta OR (integrato 74LS32) e una NOT fatto collegando a ponte gli ingressi di una porta NAND (integrato 74LS00).

E \ Q_1Q_0	00	01	11	10
0	1	0	x(0)	0
1	1	0	x(0)	0

Tabella 4: Tabella di Karnaugh per $Q_0^+ = D_0$.

$$Q_0^+ = \overline{Q_0} \cdot \overline{Q_1}$$

E \ Q_1Q_0	00	01	11	10
0	0	0	x(0)	0
1	0	1	x(1)	0

Tabella 5: Tabella di Karnaugh per $Q_1^+ = D_1$.

$$Q_1^+ = E \cdot Q_0$$

E \ Q_1Q_0	00	01	11	10
0	0	0	x(0)	0
1	1	1	x(0)	0

Tabella 6: Tabella di Karnaugh per V.

$$V = E \cdot \overline{Q_1}$$

E \ Q_1Q_0	00	01	11	10
0	0	1	x(1)	0
1	0	1	x(1)	0

Tabella 7: Tabella di Karnaugh per G.

$$G = Q_0$$

E \ Q_1Q_0	00	01	11	10
0	0	0	x(0)	0
1	0	0	x(0)	1

Tabella 8: Tabella di Karnaugh per R.

$$R = E \cdot Q_1 \cdot Q_0 = E \cdot (\overline{Q_1} + Q_0)$$

Figura 3: Tabelle di Karnaugh relative alla tabella di verità 9

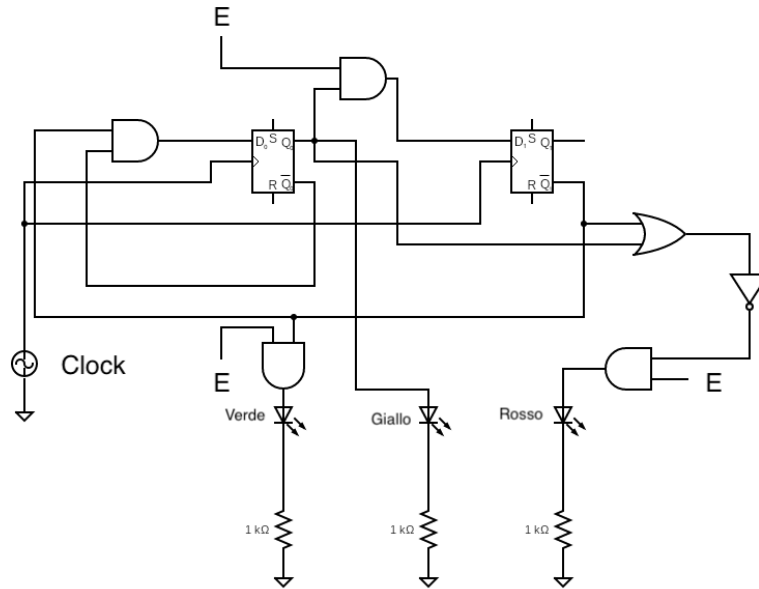


Figura 4: Schema circuitale per l'implementazione alternativa

7 Verifica del funzionamento

Per verificare il funzionamento del circuito si è quindi visualizzato con Logic il segnale di Clock, Enable e le tre uscite Verde, Giallo e Rosso. Confrontando quindi con la Tabella di Verità riportata in Tabella 3 si ha la verifica. Si riportano di seguito le varie acquisizioni eseguite.

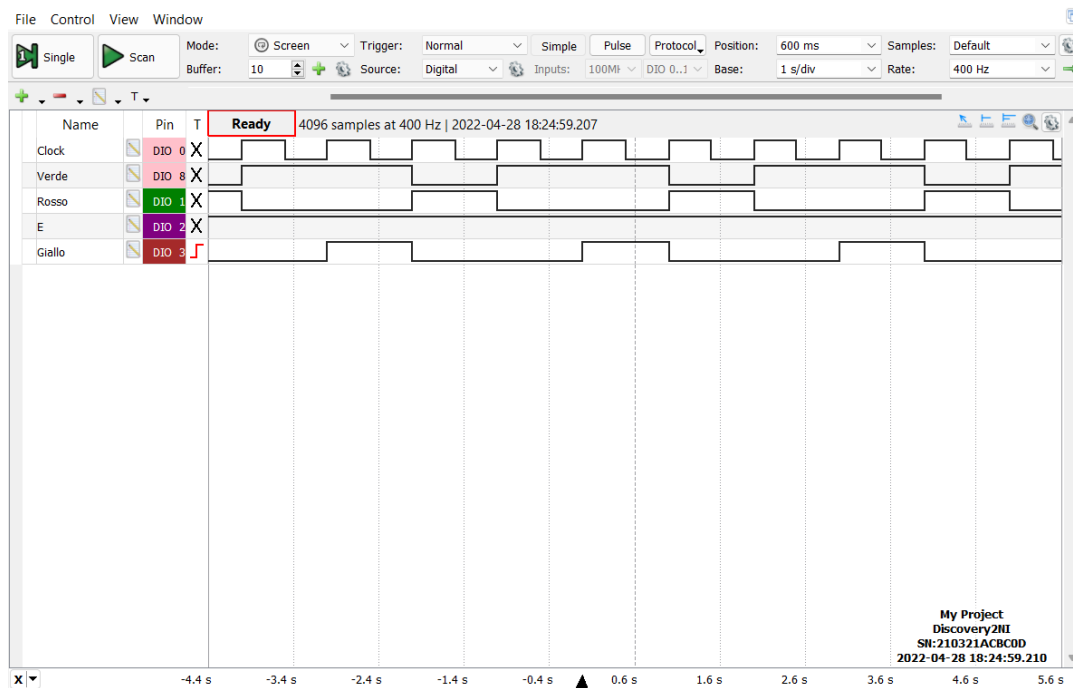


Figura 5: Acquisizione con Enable abilitato.

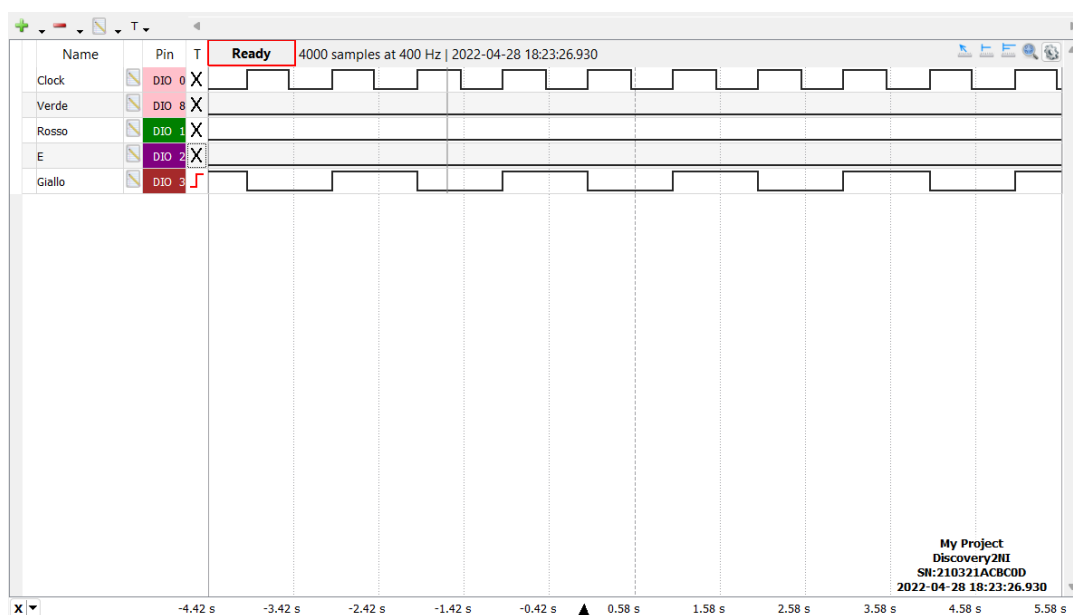


Figura 6: Acquisizione con Enable disabilitato.

Si nota facilmente che il funzionamento del circuito è verificato sia con Enable abilitato che disabilitato.