

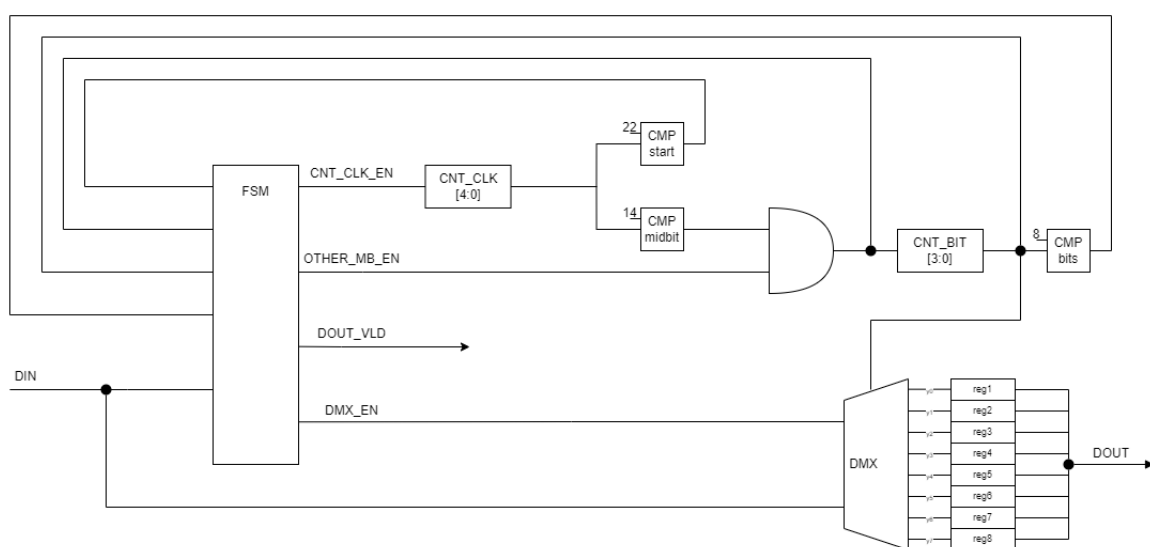
Výstupní zpráva

Jméno: Štefan Pekník

Login: xpekni01

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



Popis funkce

Obvod je řízen pomocí FSM.

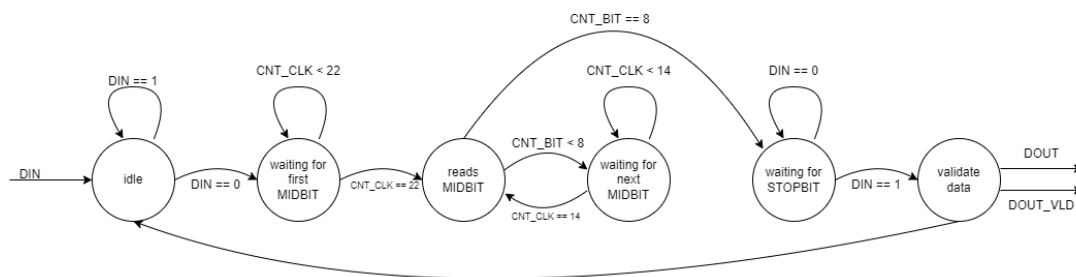
Při příchodu STARTBITu FSM vyšle signál CNT_CLOCK přes CNT_CLK_EN a CNT_CLK začne počítat hodinové takty.

Po napočítání 22hodinových taktů FSM vyše signál přes OTHER_MB_EN, což umožní průchod signálu po každém napočítání 14 taktů, díky čemuž FSM obdrží signál, že již bylo napočítáno 14 taktů (potřebné pro přepnutí mezi stavy) a CNT_BIT se navýší o 1. FSM po obdržení signálu o napočítání 14 taktů vyše na jeden takt signál přes DMX_EN do DMX, který dle CNT_BIT přiřadí vstupní data DIN do příslušného registru.

Tento proces se opakuje až dokud CNT_BIT nenapočítá 8 načtených bitů, poté vyšle signál do FSM, který přejde do stavu vyčkávaní na STOPBIT (log. 1) a po jeho příchodu přejde do stavu validace dat, kdy na jeden tak vyšle signál DOUT_VLD a hned poté přejde do počátečního stavu, kdy vyčkává na další STARTBIT.

Návrh automatu (Finite State Machine)

Schéma automatu



Popis funkce

Původní stav automatu je „idle“, kdy vyčkává na příchod STARTBITu (log. 0).

Po jeho příchodu přejde do stavu „waiting for first MIDBIT“, ve kterém zůstane, dokud CNT_CLK nenapočítá 22 taktů a na 22. taktu přepíná do stavu „reads MIDBIT“.

V tomto stavu zůstává na jeden takt a pouze ověří, zdali již bylo napočítáno 8 bitů:

- pokud ne, přechází do stavu „waiting for next MIDBIT“, kde čeká 14 taktů na příchod dalšího MIDBITu a na 14. taktu přechází zpět do stavu „reads MIDBIT“ a tento postup se případně opakuje;
- pokud ano, přechází do stavu „waiting for STOPBIT“.

Ve stavu „waiting for STOPBIT“ čeká na příchod STOPBITu (log. 1).

Po jeho příchodu přechází do stavu „validate data“, ve kterém je pouze 1 takt během kterého dojde k validaci dat a tím pádem předání dat na výstup.

Poté plynule přechází do počátečního stavu „idle“.

Snímek obrazovky ze simulací

