

МИНОБРНАУКИ РОССИИ
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)
Кафедра вычислительной техники

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
К КУРСОВОМУ ПРОЕКТУ
по дисциплине «Элементная база цифровых систем»
Тема: «Счетчик с программированием приращений содержимого»

Студент гр. № 0305

Швец С. А.

Преподаватель

Бондаренко П. Н.

Санкт-Петербург

2023

1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА

Вариант 6.2

Разработать 10-разрядный двоично-кодированный счетчик. Содержимое счетчика изменяется на ΔN с приходом каждого входного импульса. Возможны два режима работы счетчика: с $\Delta N1$ и $\Delta N2$. Код режима, сигналы сброса, пуска и останова счетчика поступают от управляющего устройства (процессора). Код, полученный в счетчике к моменту останова, фиксируется. Счетчик рассматривается как внешнее устройство процессорной системы, его адреса расположены в заданной области адресного пространства системы, имеющего емкость 256 адресов.

Возможны следующие варианты реализации: формальный синтез (с использованием триггеров и логических элементов заданного типа), схема с применением комбинационного сумматора и регистра в младших разрядах, вариант с изменением содержимого счетчика на $0,5(\Delta N1 + \Delta N2)$ и последующим прибавлением или вычитанием единицы, схема с двоичным счетчиком и ППЗУ и др.

Вариант 6.2: $\Delta N1 = -3$, $\Delta N2 = -5$, Тип триггера: D, Область АП: 80h.

2. ОПИСАНИЕ ПРЕДЛАГАЕМЫХ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА

2.1 Формальный синтез (с использованием триггеров и логических элементов заданного типа)

Первый способ предполагает построение счетчика с модифицированными межразрядными связями.

В варианте 6.2 указан тип триггера: D. Однако для оптимизации, чтобы использовать меньшее количество логических элементов, для формирования выходных сигналов счетчика лучше взять T-триггер. Синтезируем T-триггер на основе D-триггера.

T	Q _{ст}	Q _н	D
0	0	0	0
0	1	1	1
1	0	1	1
1	1	0	0

$$D = T \sim Q_{\text{ст}} \vee \sim T Q_{\text{ст}}$$

Схема T-триггера на основе D-триггера в базисе И-НЕ представлена на рисунке 1.1.

Рисунок 1.1

Таблица истинности для формирования выходных сигнала счетчика
 $\Delta N1 = -3$:

Q4	Q3	Q2	Q1	Q0	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
0	0	0	0	0	1	1	1	0	1	1	1	1	0	1
0	0	0	0	1	1	1	1	1	0	1	1	1	1	1
0	0	0	1	0	1	1	1	1	1	1	1	1	0	1
0	0	0	1	1	0	0	0	0	0	0	0	0	1	1
0	0	1	0	0	0	0	0	0	1	0	0	1	0	1
0	0	1	0	1	0	0	0	1	0	0	0	1	1	1
0	0	1	1	0	0	0	0	1	1	0	0	1	0	1
0	0	1	1	1	0	0	1	0	0	0	0	0	1	1
0	1	0	0	0	0	0	1	0	1	0	1	1	0	1
0	1	0	0	1	0	0	1	1	0	0	1	1	1	1
0	1	0	1	0	0	0	1	1	1	0	1	1	0	1
0	1	0	1	1	0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	1	0	0	1	0	0	1	0	1
0	1	1	0	1	0	1	0	1	0	0	0	1	1	1
0	1	1	1	0	0	1	0	1	1	0	0	1	0	1
0	1	1	1	1	0	1	1	0	0	0	0	0	1	1
1	0	0	0	0	0	1	1	0	1	1	1	1	0	1
1	0	0	0	1	0	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	0	0	0	0	0	0	1	1
1	0	1	0	0	1	1	0	0	1	0	0	1	0	1
1	0	1	0	1	1	1	0	0	1	0	0	1	1	1
1	0	1	1	0	1	1	0	0	1	1	0	1	0	1
1	0	1	1	1	1	1	0	1	0	0	0	0	1	1
1	1	0	0	0	1	1	0	1	0	1	0	1	0	1
1	1	0	0	1	1	1	0	1	1	0	1	1	1	1
1	1	0	1	0	1	1	0	1	1	0	1	1	0	1
1	1	0	1	1	1	1	1	0	0	0	0	0	1	1
1	1	1	0	0	1	1	1	0	0	1	0	1	0	1
1	1	1	0	1	1	1	1	0	1	0	0	1	1	1
1	1	1	1	0	1	1	1	0	1	0	0	1	1	1
1	1	1	1	1	0	1	1	0	1	0	0	1	0	1
1	1	1	1	1	1	1	1	0	0	0	0	0	1	1

$$T0 = '1', T1 = Q0, T2 = \sim(Q0Q1), T3 = \sim(Q0Q1) \sim Q2$$

Можно заметить, что для старших разрядов (T3 – T9) формула будет иметь вид: $Ti = \sim(Q0Q1) \sim Q2 \dots \sim Qi-1$

Таблица истинности для формирования выходных сигнала счетчика
 $\Delta N2 = -5$:

Q4	Q3	Q2	Q1	Q0	Q4	Q3	Q2	Q1	Q0	T4	T3	T2	T1	T0
0	0	0	0	0	1	1	0	1	1	1	1	0	1	1
0	0	0	0	1	1	1	1	0	0	1	1	1	0	1
0	0	0	1	0	1	1	1	0	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	0	1	1	1	0	1
0	0	1	0	0	1	1	1	1	1	1	1	0	1	1
0	0	1	0	1	0	0	0	0	0	0	0	1	0	1
0	0	1	1	0	0	0	0	0	1	0	0	1	1	1
0	0	1	1	1	0	0	0	1	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0	1	0	1	1
0	1	0	0	1	0	0	1	0	0	0	1	1	0	1
0	1	0	1	0	0	0	1	0	1	0	1	1	1	1
0	1	0	1	1	0	0	1	1	0	0	1	1	0	1
0	1	1	0	0	0	0	1	1	1	0	1	0	1	1
0	1	1	0	1	0	1	0	0	0	0	0	1	0	1
0	1	1	1	0	0	1	0	0	1	0	0	1	1	1
0	1	1	1	1	0	1	0	1	0	0	0	1	1	1
0	1	1	1	1	1	0	1	0	0	0	0	1	0	1
1	0	0	0	0	0	1	0	0	1	1	1	0	1	1
1	0	0	0	1	0	1	1	0	0	1	1	1	0	1
1	0	0	1	0	0	1	1	0	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	0	1	1	1	0	1
1	0	1	0	0	0	1	1	1	1	1	1	0	1	1
1	0	1	0	1	1	0	0	0	0	0	0	1	0	1
1	0	1	1	0	1	0	0	0	1	0	0	1	1	1
1	0	1	1	1	1	0	0	1	0	0	0	1	0	1
1	1	0	0	0	1	0	0	0	1	1	0	1	1	1
1	1	0	0	1	1	0	1	0	0	0	1	1	0	1
1	1	0	1	0	0	1	0	1	0	1	1	1	1	1
1	1	0	1	1	0	1	0	1	1	0	1	1	0	1
1	1	1	0	0	1	0	1	1	1	0	1	0	1	1
1	1	1	0	1	1	1	0	0	0	0	0	1	0	1
1	1	1	1	0	1	1	1	0	0	0	0	1	1	1
1	1	1	1	1	1	1	0	1	0	0	0	1	0	1

$T0 = '1'$, $T1 = \sim Q0$, $T2 = \sim(\sim Q0 \sim Q1)$, $T3 = \sim(Q0Q2) \sim(Q1Q2)$,
 $T4 = \sim(Q0Q2) \sim(Q1Q2)$, $T4 = \sim(Q0Q2) \sim(Q1Q2) \sim Q3$

Формула для старших разрядов (Т4 – Т9):

$$T_i = \sim(Q_0Q_2)\sim(Q_1Q_2)\sim Q_3 \dots \sim Q_{i-1}$$

Функциональная схема данного узла в базисе И-НЕ приведена на рисунке 1.2. Реализация Т-триггера на базе D изображена на рисунке 1.1.

На вход узла подается сигнал Start, при высоком уровне которого запускается генерация выходных сигналов. Низкий уровень данного сигнала запускает остановку устройства. Входной сигнал Clk приходит от генератора тактовых импульсов необходимой частоты. Сигнал Reset приводит к установке схемы в исходное состояние.

На выходе схемы сигналы Q9-Q0 представляют формируемые сигналы двоичного счетчика.

Сигнал Mode задает режим приращения для счетчика. При Mode=0 $\Delta N1=-3$, при Mode=1 $\Delta N1=-5$.

2.2 Схема с применением комбинационного сумматора и регистра

В данном варианте реализации узла, выходные сигналы счетчика формируются на основе выходов вычитающего сумматора. На входы сумматора подаются текущее значение счетчика и константа '3' или '5' в двоичном коде, соответствующие одному из режима приращения. Также в схему необходимо добавить регистр, чтобы переключение происходило только по фронту тактового сигнала Clk.

Функциональная схема данного узла приведена на рисунке 1.3.

На вход узла подается сигнал Start, при высоком уровне которого запускается генерация выходных сигналов. Низкий уровень данного сигнала запускает остановку устройства. Входной сигнал Clk приходит от генератора тактовых импульсов необходимой частоты. Сигнал Reset приводит к установке схемы в исходное состояние.

На выходе схемы сигналы Q9-Q0 представляют формируемые сигналы двоичного счетчика.

Сигнал Mode задает режим приращения для счетчика. При Mode=0 $\Delta N1 = -3$, при Mode=1 $\Delta N1 = -5$.

3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUSII НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ ВАРИАНТОВ УЗЛА

Для реализации различных вариантов узла в САПР QUARTUS II, помимо логических примитивов, которые не нуждаются в особом описании, использованы элементы библиотеки, которые будут описаны ниже.

В подсхемах для хранения выходных сигналов двоичного счетчика в обоих вариантах узла используется примитив DFFE, представляющий из себя синхронный D триггер с динамическим управлением (рисунок 3.1).

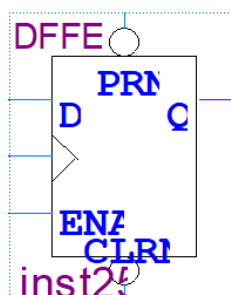


Рисунок 3.1

Данный примитив обладает асинхронными инверсными входами сброса и установки (CLR \bar{N} , PRN \bar{N}), асинхронным входом разрешения переключения (EN \bar{A}), входом тактирующего сигнала, входом данных (D) и выходом состояния триггера(Q).

Вычитающий сумматор во второй схеме реализован мегафункцией lpm_add_sub (рисунок 3.2).

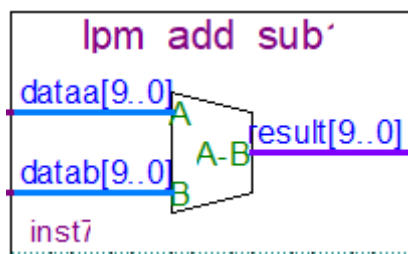


Рисунок 3.2

4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ ПРЕДЛОЖЕННЫХ ВАРИАНТОВ СРЕДСТВАМИ САПР QUARTUS II

4.1 Формальный синтез (с использованием триггеров и логических элементов заданного типа)

Основываясь на схеме (рисунок 1.2) и примитивах, описанных в предыдущем разделе, узел был синтезирован в САПР QUARTUS II (рисунок 4.1)

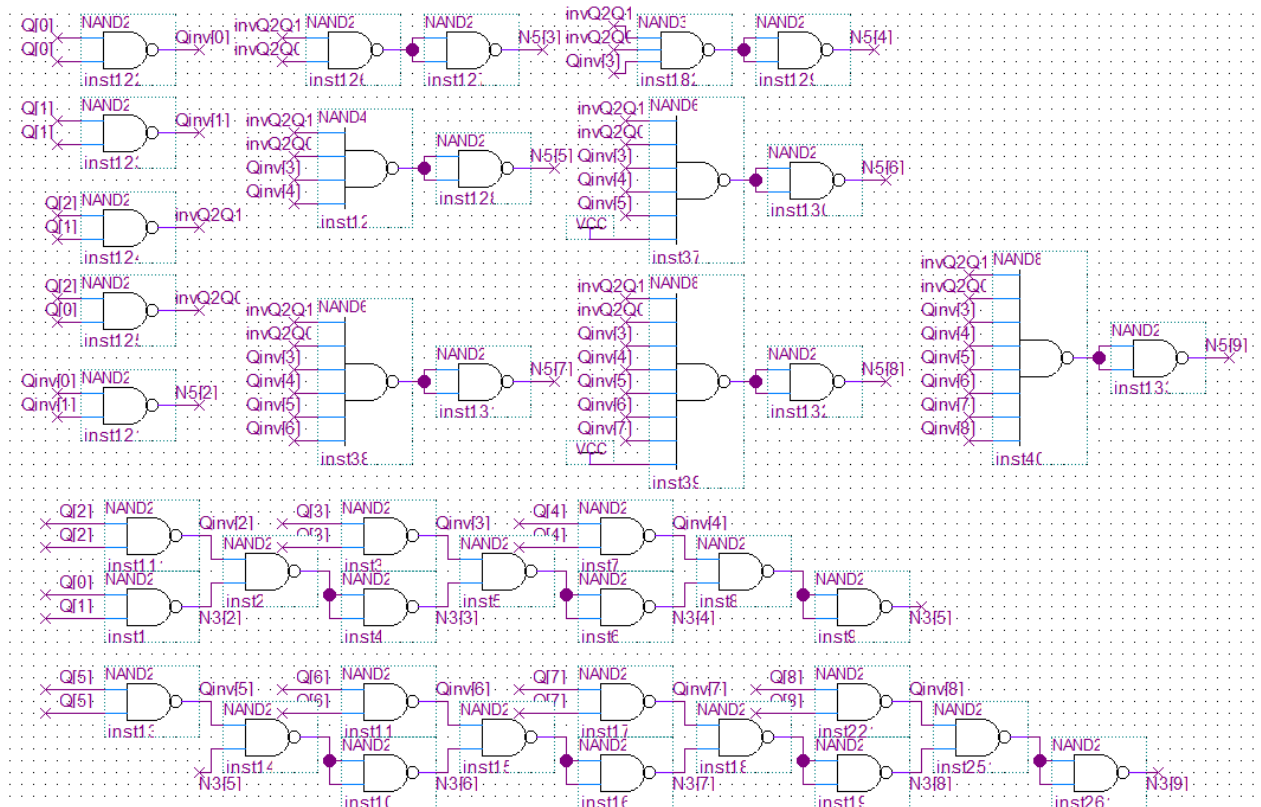


Рисунок 4.1

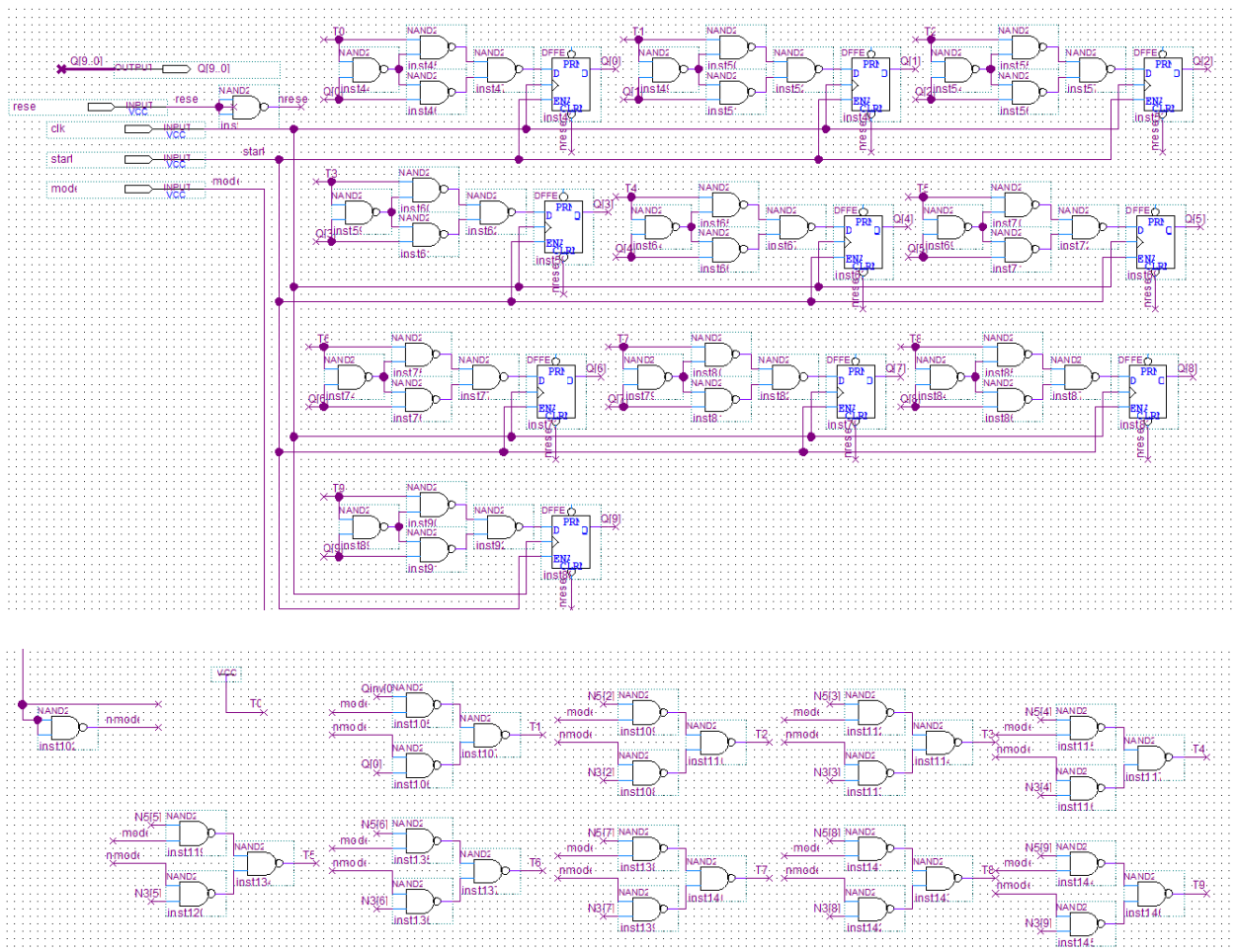


Рисунок 4.1 продолжение

Результаты компиляции схемы узла представлены на рисунке 4.2.

Flow Status	Successful - Sat May 20 16:29:34 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	cr
Top-level Entity Name	cr
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	17 / 4,608 (< 1 %)
Total combinational functions	17 / 4,608 (< 1 %)
Dedicated logic registers	10 / 4,608 (< 1 %)
Total registers	10
Total pins	14 / 142 (10 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 4.2

После компиляции схемы узла, было проведено временное моделирование его работы. Соответствующие результаты представлены на рисунке 4.3.

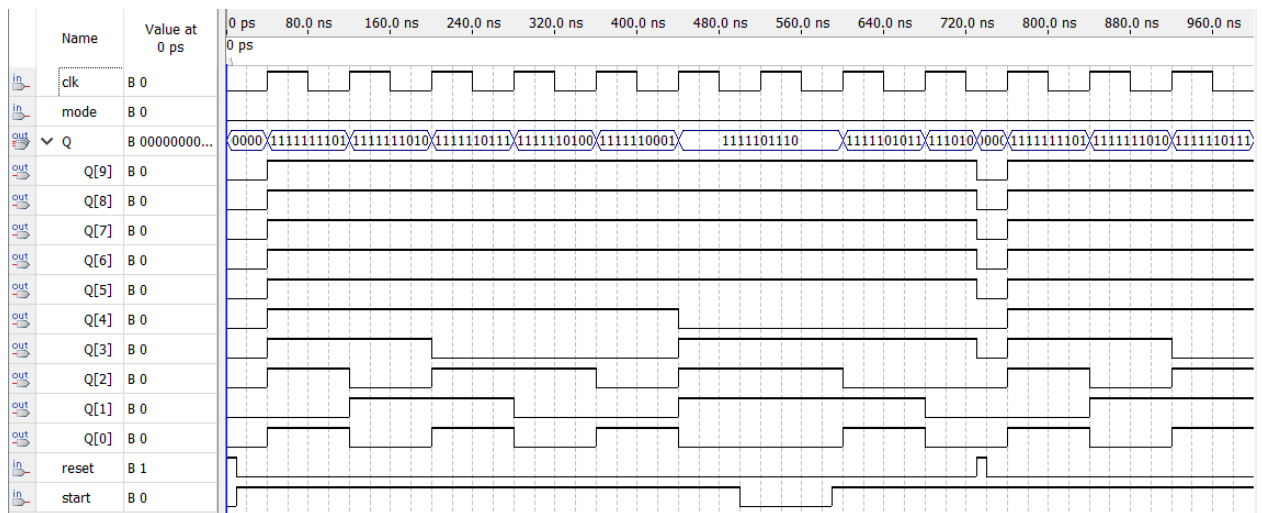


Рисунок 4.3

Моделирование начинается с подачи сигнала Reset, который приводит схему в исходное состояние. После чего подается сигнал Start, который запускает работу счетчика. Так как сигнал Mode нулевой, то счетчик работает в режиме $\Delta N1=-3$. Переход сигнала Start в низкий уровень соответствует команде остановки узла. Код, полученный в счетчике к моменту останова, фиксируется в течение нескольких тактов. Повторный сигнал Reset сбрасывает счетчик.

На рисунке 4.4 моделирование проведено следующим образом: сначала счетчик работает в режиме $\Delta N1=-5$, затем происходит остановка и удержание результата, далее устройство продолжает работу в режиме $\Delta N1=-3$.

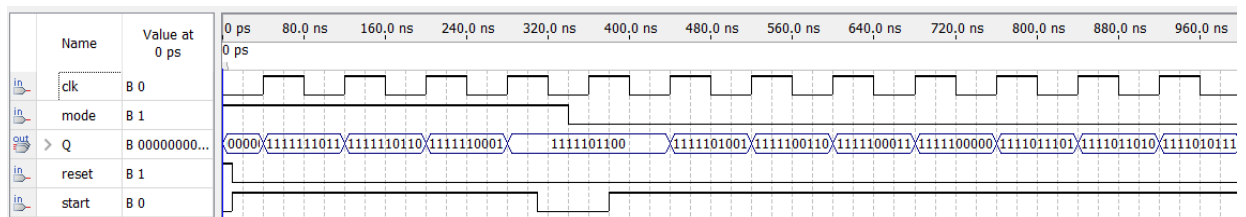


Рисунок 4.4

4.2 Схема с применением комбинационного сумматора и регистра

Основываясь на схеме (рисунок 1.3) и примитивах, описанных в предыдущем разделе, узел был синтезирован в САПР QUARTUS II (рисунок 4.5)

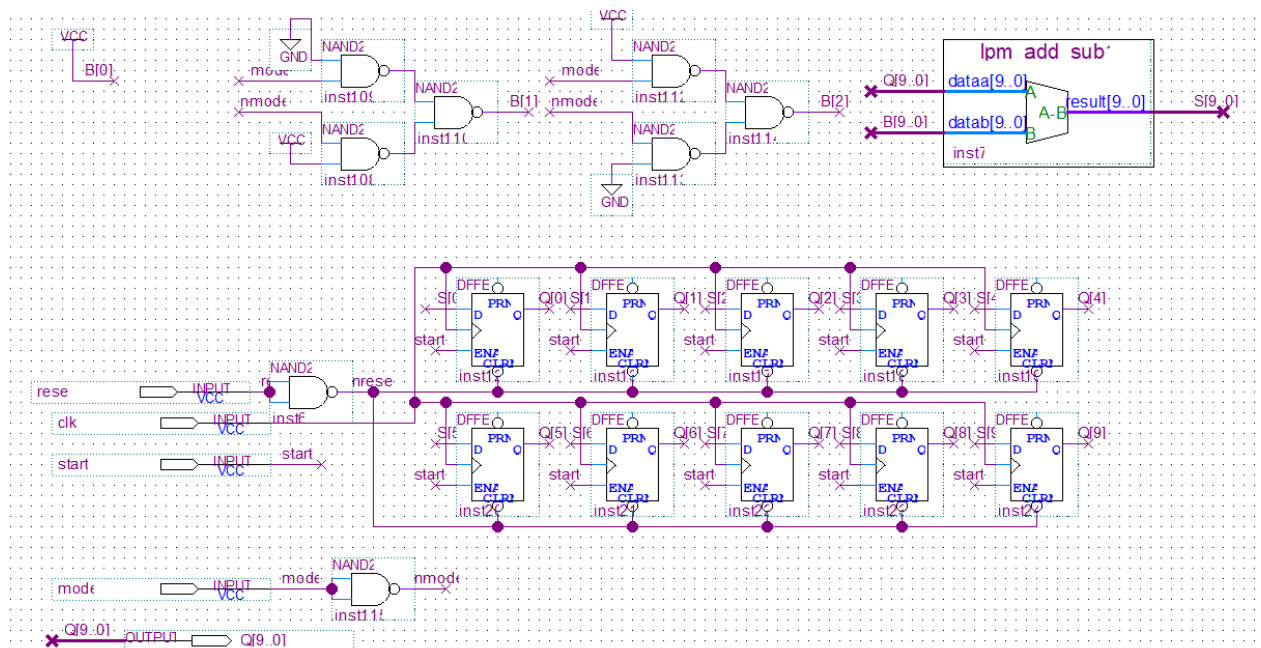


Рисунок 4.5

Результаты компиляции схемы узла представлены на рисунке 4.6.

Flow Status	Successful - Sat May 20 16:24:55 2023
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	coursework_subtractor
Top-level Entity Name	coursework_subtractor
Family	Cyclone II
Device	EP2C5Q208C8
Timing Models	Final
Total logic elements	11 / 4,608 (< 1 %)
Total combinational functions	11 / 4,608 (< 1 %)
Dedicated logic registers	10 / 4,608 (< 1 %)
Total registers	10
Total pins	14 / 142 (10 %)
Total virtual pins	0
Total memory bits	0 / 119,808 (0 %)
Embedded Multiplier 9-bit elements	0 / 26 (0 %)
Total PLLs	0 / 2 (0 %)

Рисунок 4.6

После компиляции схемы узла, было проведено временное моделирование его работы. Соответствующие результаты представлены на рисунке 4.6.

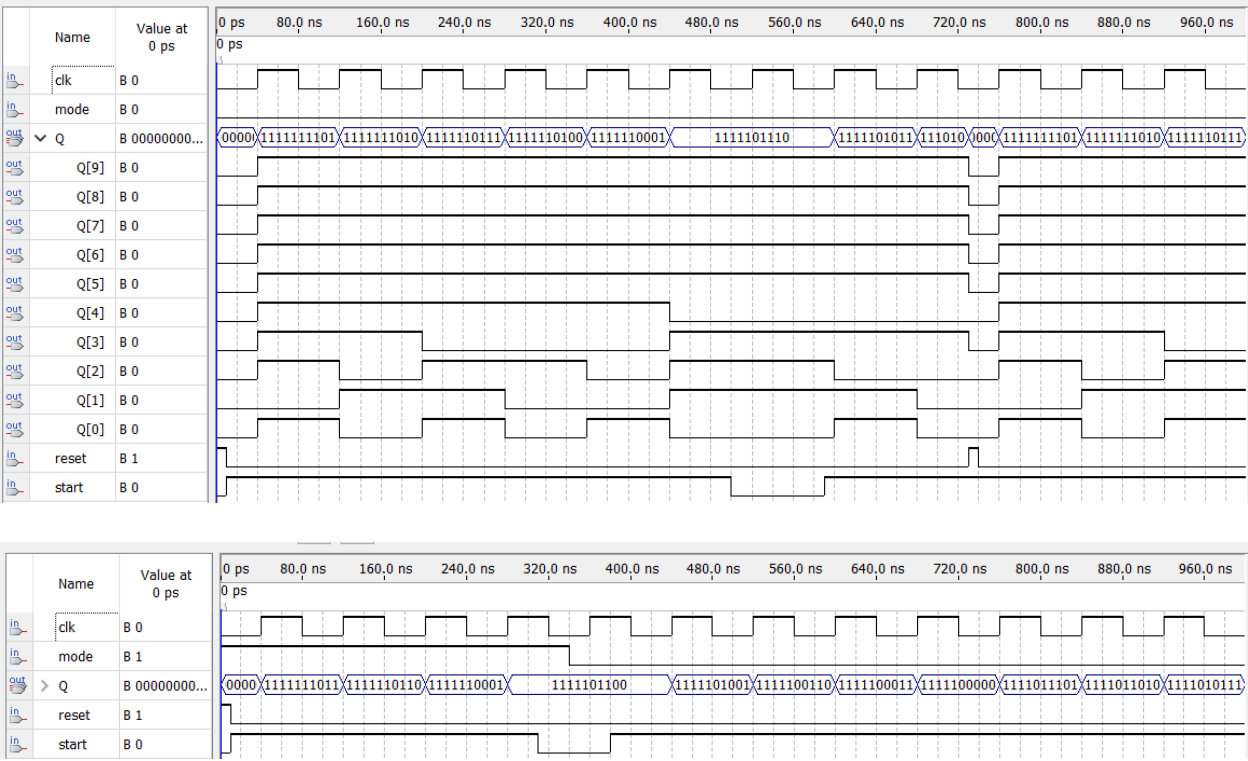


Рисунок 4.6

Как видно из результатов моделирования, данная схема также формирует заданные выходные сигналы и ее поведение соответствует поведению схемы из раздела 4.1.

В обоих вариантах было одинаково задействовано количество ячеек памяти, однако во второй схеме использовалось меньше логических элементов. Реализация узла с применением комбинационного сумматора и регистра является более оптимальной, так как включает в себя минимальное количество аппаратных затрат.

5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ

Сопряжение схемы узла с процессорной системой происходит посредством шины Microbus. Для работы схемы используются следующие сигналы шины: $nIOW$ – сигнал подачи ПС очередной команды на шину данных; $Clock$ – тактирующий сигнал шины.

Для хранения текущей команды в схеме сопряжения используется D-триггер (0 – стоп, 1 – старт). Второй D-триггер используется для хранения режима приращения. Третий триггер используется для хранения сигнала сброса. На входы триггеров сигналы поступают с шины данных. К асинхронным входам разрешения переключения подключен инвертированный сигнал шины $nIOW$.

Селектор адреса вырабатывает сигнал соответствующий области АП заданного варианта: 80h. Выходные сигналы узла $Q[9..0]$ подаются на выход устройства.

Функциональная схема интерфейса сопряжения представлена на рисунке 5.1. Схема синтеза данного узла в САПР QUARTUS II представлена на рисунке 5.2.

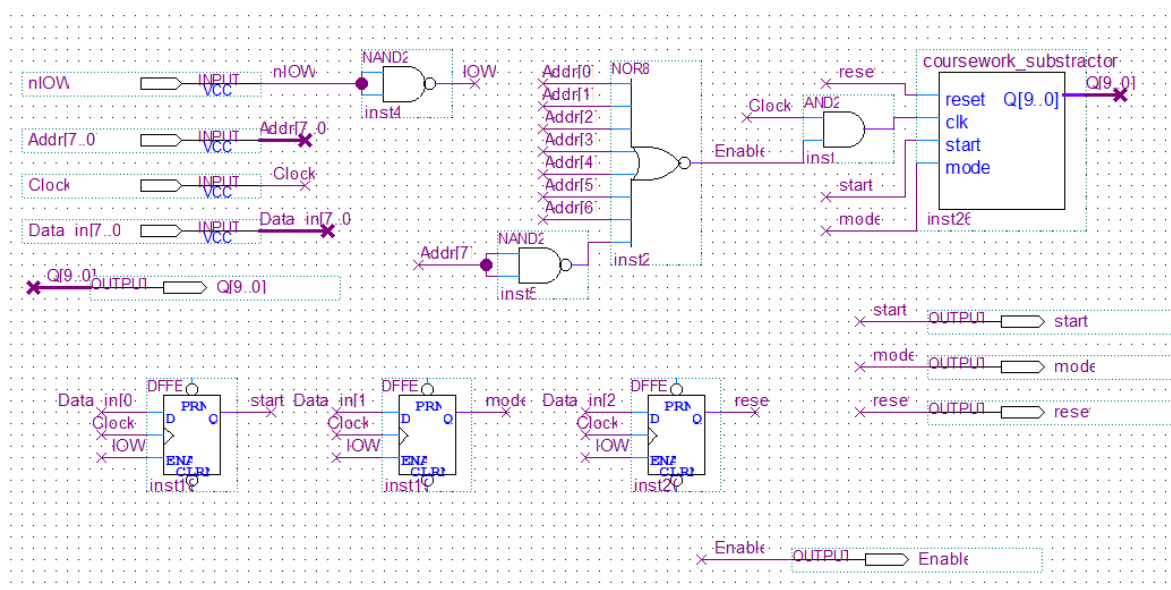


Рисунок 5.2

6. ПОДРОБНОЕ ОПИСАНИЕ ФУНКЦИОНИРОВАНИЯ УЗЛА

Результат моделирования работы проектируемого узла представлен на временной диаграмме (рисунок 6.1).

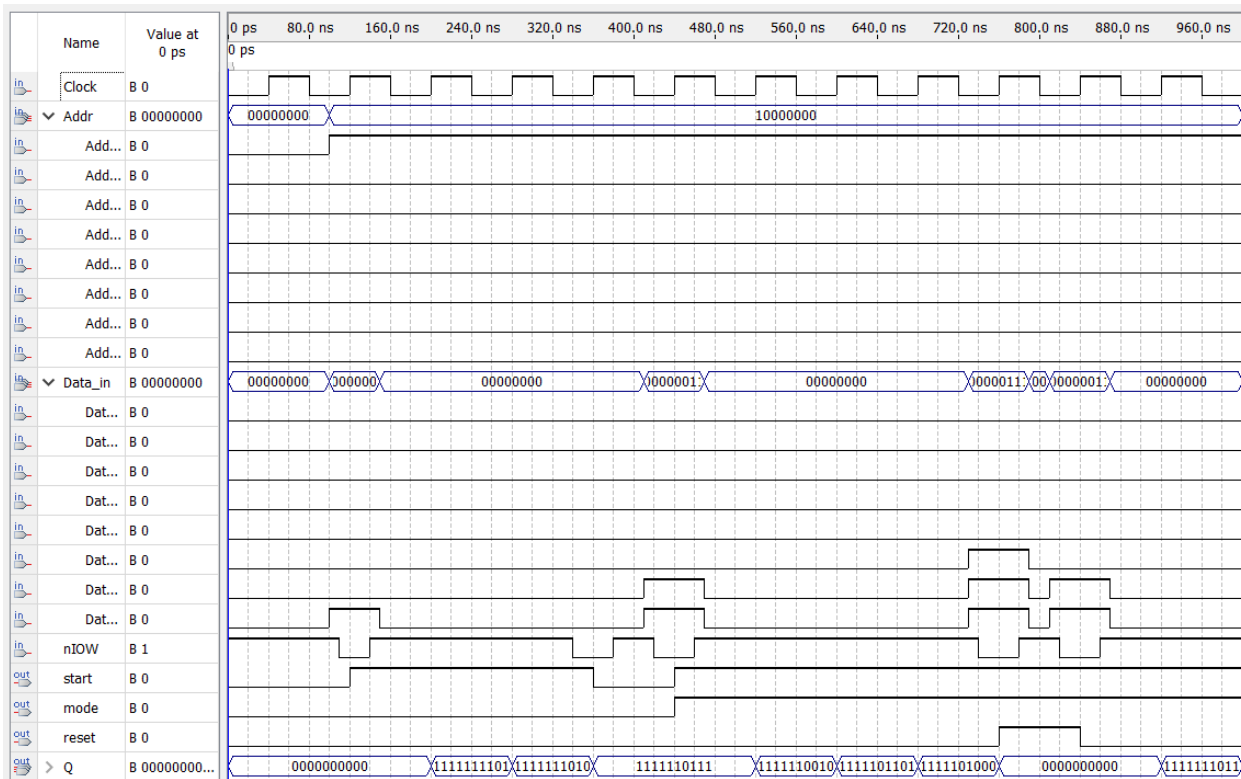


Рисунок 6.1

По первому сигналу Clock сигналы, считанные с шины данных, записываются в ячейки памяти в схеме сопряжения. По второму тактирующему сигналу они поступают на узел. В начале работы узла ПС подает команду на запуск устройства, для этого на адресной шине выставляется значение 0x80, на шине данных выставляется бит в нулевом разряде (команда Старт) и подается команда nIOW. Счетчик продолжает свою работу в течении нескольких тактов, пока на шине данных в нулевом разряде не придет 0 (вместе с командой nIOW). Далее счетчик запускается с другим режимом приращения, для этого на шине данных выставляется бит в первом разряде. Также по временной диаграмме можно увидеть сброс счетчика, когда приходит сигнал Reset, соответствующий второму разряду на шине данных.

ЗАКЛЮЧЕНИЕ ПО ПРОДЕЛАННОЙ РАБОТЕ

В процессе выполнения курсовой работы был разработан счетчик с программированием приращений содержимого. Для данного устройства было разработано два варианта узла: на основе формального синтеза (с использованием триггеров и логических элементов заданного типа) и с применением комбинационного сумматора и регистра в младших разрядах. Устройство было синтезировано в САПР QUARTUS II, после чего было произведено временное моделирование для подтверждения правильности его работы. Кроме того, была составлена полная принципиальная схема устройства с учетом реализации на ПЛИС Cyclone II.

Перв. примен.

Справ. №

Подп. и дата

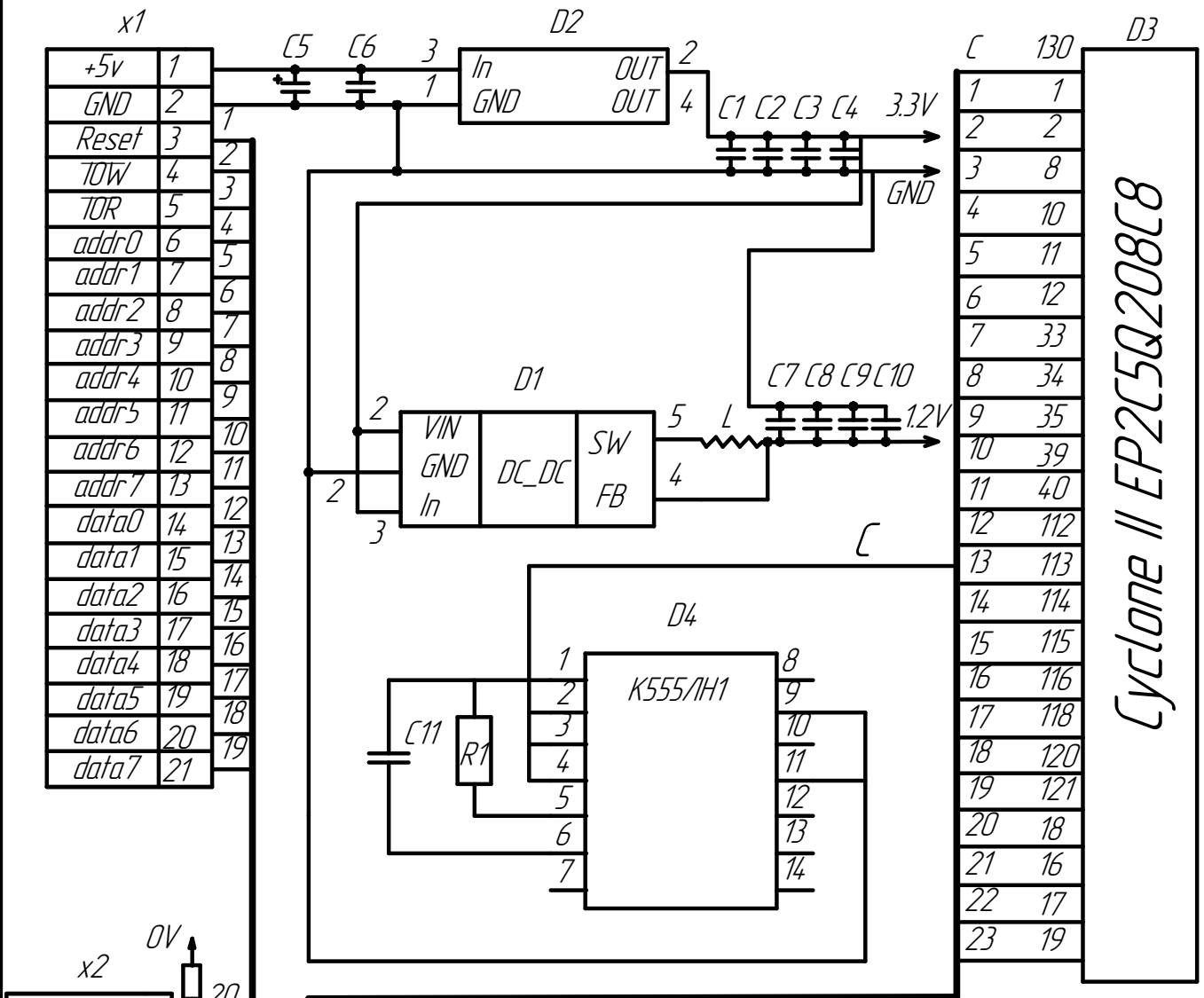
Взам. инв. №

Инв. № дубл.

Подп. и дата

Инв. № подл.

ЛЭТИ.0305.00 ЭЗ



Микросхема	D1	D2	D3	D4
GND	2	1	9, 25, 28, 49, 50, 52, 54, 55, 65, 79, 78, 111, 85, 92, 204, 196, 184, 177, 174, 119, 167, 159, 158, 156, 154, 153, 140, 126, 127	7
5V	-	3	-	14
3.3V	1	-	7, 29, 42, 62, 71, 83, 91, 98, 202, 194, 183, 172, 166, 125, 136, 148, 109	-
1.2V	-	-	51, 53, 66, 79, 190, 178, 157, 155	-

ЛЭТИ.0305.00 ЭЗ

Изм./Лист	№ докум.	Подп.	Дата	Счетчик с программированием приращения содержимого	Лит.	Масса	Масштаб
Разраб.	Швец С.А.						1:1
Пров.	Бондаренко П.Н.						
Т.контр.					Лист	Листов	1
Н.контр.					СПБГЭТУ, гр. 0305		
Утв.							

КОМПАС-3D v21 Учебная версия © 2022 ООО "АСКОН-Системы проектирования", Россия. Все права защищены.

Перв. примен.	Справ. №	Поз. обозначение	Наименование			Кол.	Примечание
			<u>Конденсаторы</u>				
		С1..С4	K50-5a-H90-0,1мкФ +80%..-20% ОЖ0.460.161ТУ			4	
		С5	K50-20-10мкФ-6,38 +50%..-20% ОЖ0.464.183ТУ			1	
		С6	K50-5a-H90-0,1мкФ +80%..-20% ОЖ0.460.161ТУ			1	
		С7..С10	K50-5a-H90-0,1мкФ +80%..-20% ОЖ0.460.161ТУ			4	
		С11	K10-17Б-М47-100пФ +5%..-5% ОЖ0.460.107ТУ			1	
		Взам. инв. №	Подп. и дата		<u>Индуктивности</u>		
L	LQH43CN1R0M, 10мкГн, 1812, 20%, SMD			1			
	<u>Микросхемы</u>						
D1	ADP2108-AUJZ-1.2			1	Преобразователь		
D2	ADP3338AKC-3.3			1	Регулятор напряжения		
D3	Cyclone II EP2C5Q208C8			1	ПЛИС		
D4	K155ЛН1			1	Инвертор		
Инв. № подл.	Подп. и дата		<u>Разъемы</u>				
		X1	PLD-40 (DS1021-2x20), Вилка штыревая 254мм 2x20 прямая			1	
		X2	JTAG			1	
		ЛЭТИ.0305.00 ПЭЗ					
		Изм.	Лист	№ докум.	Подп.	Дата	
		Разраб.	Швец С.А.				
		Пров.	Бондаренко П.Н.				
		Н.контр.					
		Утв.					
Перечень элементов					Лит.	Лист	Листов
							1
					СПБГЭТУ, гр. 0305		