

数电期末复习

191220090沈天杰

2020 年 7 月 1 日

目录

1	数制与编码	2
1.1	浮点数	2
1.2	带符号数的表示及运算	2
2	组合逻辑设计原理（布尔代数）	2
3	组合逻辑电路分析与设计	2
3.1	组合逻辑器件	2
3.1.1	译码器	2
3.1.2	编码器	2
3.1.3	数据选择器	3
3.1.4	半加器&全加器	3
3.1.5	算术逻辑单元	3
3.1.6	三态门	3
3.1.7	数据总线	3
3.2	组合逻辑电路分析	3
3.3	组合逻辑电路设计	3
4	时序逻辑电路分析与设计	4
4.0.1	同步时序电路分析	4
4.0.2	同步时序电路设计	4
4.0.3	同步时序电路实例	5
5	思考题题型	5

1 数制与编码

1.1 浮点数

IEEE754浮点标准形式 $V = (-1)^s M 2^E$

- 符号位S(Sign): 决定这个数是正数(s=0)还是负数(s=1)。
- 尾数M(significand): 是一个二进制小数, 范围在[1.0, 2.0)
- 阶码E(exponent): 对浮点数加权重, 权重是2的E次幂。

编码分三段, 1位符号字段s;k位阶码字段exp;n位小数字段frac。

注: exp表示阶码E的偏置(biased)形式: $\text{exp} = E + \text{Bias}$ ($\text{Bias} = 2^{k-1} - 1$)

1.2 带符号数的表示及运算

- 原码: 符号位+数值 (特点: 2种零)
- 补码: 原+补= R^n 按位取反+1
- 反码: 原+反= $R^n - 1$

2 组合逻辑设计原理 (布尔代数)

3 组合逻辑电路分析与设计

扇入指在特定的逻辑系列中, 门电路所具有的输入端的数目。**扇出**指逻辑门电路在不超出其最坏情况负载规格的条件下, 能够驱动输入端个数。扇出是必须要计算的。

3.1 组合逻辑器件

3.1.1 译码器

是输入n位二进制码, 输出 2^n 中取1码的器件。一般的, 对于每一种输入可能, 只有一个输出信号有效。例如, 对于2-4译码器74HC139, 其输出是高电平有效的, 也即当使能端有效时, 将输入的n位二进制数化为10进制数p后, 输出中的第p位为1, 其余位均为0。当使能端无效时, 所有输出均为0。而对于3-8译码器74HC138, 其输出为低电平有效的。它有3个使能端, 当且仅当3个使能端均有效时, 输入才有效。

3.1.2 编码器

对每个输入信号分配一个唯一的二进制编码的器件称为编码器。是将译码器的输入变为输出, 输出变为输入的结果。

优先级编码器: 对于一个编码器, 在任何一个特定的时刻, 可能出现多于一个输入同时有效。如果出现多个输入同时有效, 输出按输入优先级编码的编码器称为优先级编码器。例如, 3位优先级编码器74HC148, 其编码优先级为I7-I0, 也就是说如果I5和I4同时有效, 输出为I5的编码结果。

另外，其输入是低电平有效的。它还有两个输出，GS和EO。GS有效时说明此时有一个或多个输入有效，而EO有效时说明此时无有效输入。

3.1.3 数据选择器

是一种有 2^n 个数据输入， n 个选择输入，1个输出的器件。首先， n 个选择输入进入输出为高电平的 $n-2^n$ 译码器。然后再将各位数据输入与该译码器的各位输出相与，最后，上述结果中只要有一位为1，输出就为1。

用具有 n 个选择变量的多路选择器实现 n 个变量的函数：

将函数的 n 个变量依次连接到 n 个选择变量端，并将函数表示成最小项之和的形式。若函数表达式中包含最小项 m_i （例如，3输入中的 $A_0A_1A_2$ 代表 m_7 ），则相应输入的 D_i 接1，否则 D_i 接0。

用具有 $(n-1)$ 个选择变量的多路选择器实现 n 个变量的函数：

从函数的 n 个变量中任选 $(n-1)$ 个作为选择变量，一个作为数据输入，并根据各选择变量的输出结果来确定在每种选择的情况下，对应数据变量输入的值 D_i 。这个值只能是0，1， X 或 \bar{X} 。若在某种选择下，不管剩余变量的值为0还是1输出均为1，则该选择对应的 D_i 接1，以此类推。

3.1.4 半加器&全加器

半加器：是指仅考虑加数和被加数的运算部件。全加器：考虑加数、被加数和相邻低位的进位的运算部件。半加器和全加器的输出均包括运算结果和向下一位的进位。如：四位先行进位加法器74HC283，可用于进行两个四位二进制数的加法。它有八个分别表示两个四位二进制数的输入，四位加法输出和一位进位输出。

3.1.5 算术逻辑单元

能够对2个 n 位的操作数进行若干不同的算术和逻辑操作的器件，由一组功能选择输入来指定要执行的操作。对于一组特定的功能选择输入，可以对操作数进行不同的运算。

3.1.6 三态门

有一个使能端的缓冲器或反相器。当使能端无效的时候，直接将输入信号阻断；当使能端有效的时候，起到反相器或缓冲器的作用。

3.1.7 数据总线

是将若干条数据线合成一条的表示法，用 $[0:n]$ 表示，其含义为序号从0到 $(n-1)$ 的 n 根数据线。奇偶校验发生器：是检验输入的信号中有奇数个还是偶数个1的器件。例如：74HC280，有9个输入和2个输出EVEN和ODD，当输入包含偶数个1时，EVEN输出为1。

3.2 组合逻辑电路分析

给定原理图：分析功能，化简电路，分析冒险等。

3.3 组合逻辑电路设计

给定功能描述：基于约束设计出符合要求的电路。

4 时序逻辑电路分析与设计

4.0.1 同步时序电路分析

同步时序电路的分析步骤：

1. 写出每个触发器的激励输入方程（输入和现态的函数）。
2. 将激励方程代入到触发器的特征方程，得到转移方程。
3. 写出电路的输出方程。
4. 根据转移方程，列出所有输入、现态和输出、次态的组合，得到状态转移(输出)表。
5. 根据状态转移表画出状态转移图。
6. 说明电路功能及其能否自启动。

4.0.2 同步时序电路设计

同步时序电路的设计步骤：

- 1、逻辑抽象：根据逻辑问题设定状态，构建原始状态转换图（表）。
- 2、状态化简：去除冗余状态，得到最小状态表。
- 3、状态编码：给状态分配一个二进制编码。
- 4、选择触发器：按照电路的需求，选择最合适的触发器类型。
- 5、导出方程：根据编码状态转换表和触发器特征方程，导出输出方程和激励方程。
- 6、画电路图：根据输出方程和激励方程画出逻辑电路图。
- 7、检查自启动：检查电路能否自启动。

状态化简：是指要获得一个最小化的状态表，这个表不仅能正确地反映设计的全部要求，而且状态的数目最少。

等价状态：设状态 S_i 和 S_j 是状态表中的两个状态，如果对于所有可能的输入序列，分别从状态 S_i 和 S_j 状态出发，所得到的输出响应（次态和输出）序列完全相同，则状态 S_i 和 S_j 是等价的。等价状态可以合并，状态化简的目的是合并所有等价状态。

蕴含表化简：是一种进行等价状态判定，进行状态化简的方式。

蕴含表化简的步骤为：

1. 构建一个直角三角形阶梯表，两直角边的网格数相同，用状态名进行顺序标注。网格数等于原始状态表中的状态数少 1。纵坐标从上到下标注，缺少第一个状态；横坐标从左到右标注，缺少最后一个状态。
2. 横纵坐标交汇的每个方格代表一个状态对。若方格对应的两状态对能确定等价，则方格内画勾；能确定不等价，则方格内画叉。若与其它状态对有关，则填写相关状态对。
3. 进行关联比较，确定等价状态对。

状态编码：赋予状态一个唯一的二进制编码的过程。1位二进制编码需要用1个触发器表示。

相邻状态分配法：是一种状态编码的规则。包括以下几条：

- 规则1，次态相同，现态相邻。对于给定的输入，具有相同次态的现态应该分配逻辑相邻的编码。

- 规则2，同一现态，次态相邻。对于一个现态，在逻辑相邻输入下的次态，应该分配逻辑相邻的编码。
- 规则3，输出规则。在相同输入情况下，具有相同输出的状态应该分配相邻的编码。
- 规则4，已经利用规则1、2、3确定分配相邻编码的状态对，其次态对应该分配相邻的编码。
- 规则5，在进行状态分配时，先找到在化简的状态表中作为次态次数最多的状态，分配全0的编码，然后利用规则1、2、3、4进行状态分配。尽可能的满足所有的规则。

4.0.3 同步时序电路实例

5 思考题题型

5.1 组合电路

n 位二进制译码器给出 2^n 个最小项变量的全部最小项。