

Universidad De San Carlos De Guatemala
Facultad de Ingeniería
Escuela de Ciencias y Sistemas
Organización Computacional
Ing. Otto Escobar
Aux. Carlos Ruperto Rodríguez Zea
Aux. Ricardo Alfredo Sontay Aguilar



Práctica #1

Objetivos

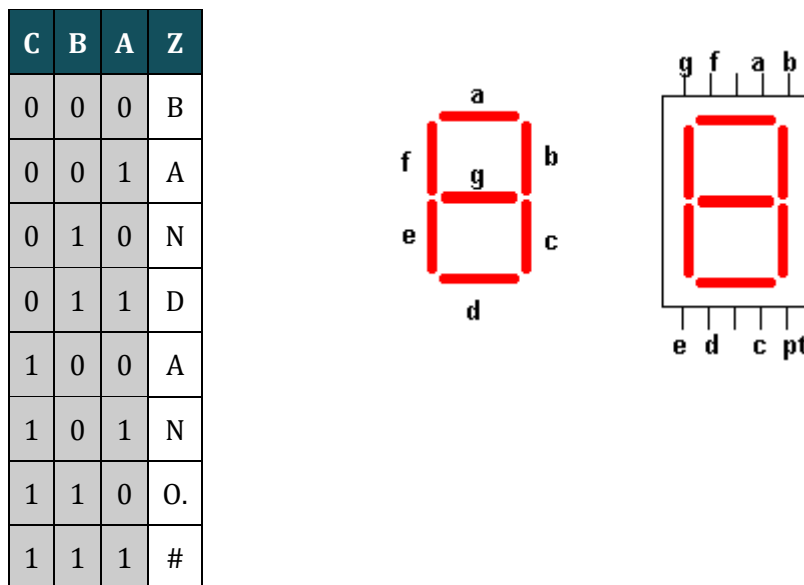
- Poner en práctica los conocimientos de Lógica Combinacional y Mapas de Karnaugh.
- Creación de un dispositivo de visualización a una escala mayor (Display).
- Optimizar el uso de compuertas usando mapas de Karnaugh.
- Conocer el funcionamiento de transistores y realización de compuertas lógicas transistorizadas.

Descripción

La Millicom International Cellular, S.A. (Tigo), desea contratar a un grupo de ingenieros de sistemas para que brinden una solución integral a gran escala, que solucione el problema de publicidad visual en los conciertos de música que ellos organizan todos los años ya que actualmente estos no cuentan con dispositivos visuales que atraigan al público, debido a esto Tigo decidió hacer un sistema que incentive al público mediante dispositivos visuales a gran escala que desplieguen las bandas que se encontraran en el concierto para que esto anime a la audiencia.

Por lo cual se debe realizar un circuito combinacional de 3 Bits que para las entradas C, B, A genere la salida Z la cual mostrará una banda asignada a cada grupo en un display de 7 segmentos a gran escala, de por lo menos 40 x 40 centímetros. Donde se deberá de implementar con compuertas transistorizadas las funciones booleanas de los segmentos: **a, b, d, e, f, pt.** e implementar únicamente con compuertas lógicas los segmentos: **c, g.**

Para los segmentos previamente dichos tomar como referencia la siguiente imagen:



Adicionalmente Tigo, desea en un futuro que el control de dicho display se haga por medio de una computadora, para lo cual se le pide a usted y su equipo que implemente un sistema de detección de errores, el cual será capaz de reenviar la información obtenida y agregar a dicha cadena un bit de paridad.

Por lo tanto su equipo deberá implementar para las entradas C, B, A, dos funciones de detección de errores:

- **Función X:** Paridad Par de 1's.
- **Función Y:** Paridad Impar de 1's.

Nota: Las funciones X y Y se deberá implementar por medio de compuertas lógicas.

Consideraciones

- La práctica debe realizarse de forma Individual o en Parejas.
- La documentación digital a entregar debe contener:
 - Caratula
 - Introducción
 - Descripción del Problema
 - Diagramas del Diseño del Circuito
 - Descripción de Detección de Errores (Bit de Paridad)
 - Equipo Utilizado
 - Presupuesto
 - Conclusiones
- La práctica será calificada sobre el 100% y se estará preguntando a los integrantes sobre el desarrollo de esta, de no responder correctamente se restará un cierto porcentaje a la nota obtenida para asegurar que hayan realizado dicha práctica.
- Los circuitos deben ser elaborados sobre Protoboard.
- Se deberá mandar toda la documentación un día antes de la Calificación.
- El horario de calificación se estará subiendo días antes para que los estudiantes puedan anotarse, de no anotarse o incumplir con su horario serán los últimos en ser calificados.
- Cualquier duda relacionada con la elaboración de la práctica, se deberá preguntar al auxiliar correspondiente a su sección.
- Si se detectan **copias tendrán nota de 0 y serán reportadas** a la Escuela de sistemas.

Fecha de Entrega y Calificación: Lunes 20 de Febrero del 2017.