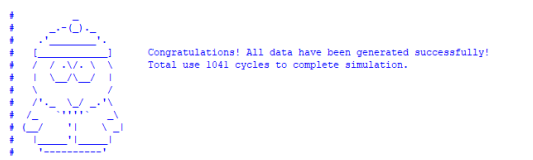
2023 Digital IC Design Homework 3

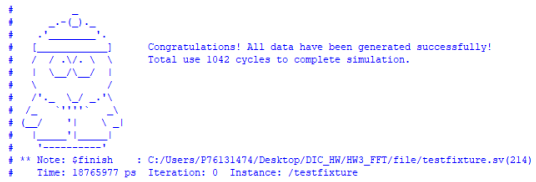
NAME	簡紹軒
Student ID	P76131474

Simulation Result

Functional simulation	Pass	Pre-Layout simulation	Pass



Please specify your clock width: 18 (ns)



Synthesis Result

Total logic elements	2717
Total memory bits	0
Embedded multiplier 9-bit elements	24
Total cycle used	1042
Synthesis clock width (ns)	18

Flow Status	Successful - Wed May 07 03:19:26 2025
Quartus Prime Version	20.1.1 Build 720 11/11/2020 SJ Lite Edition
Revision Name	FFT
Top-level Entity Name	FFT
Family	Cyclone IV E
Device	EP4CE55F23A7
Timing Models	Final
Total logic elements	2,717 / 55,856 (5 %)
Total registers	847
Total pins	277 / 325 (85 %)
Total virtual pins	0
Total memory bits	0 / 2,396,160 (0 %)
Embedded Multiplier 9-bit elements	24 / 308 (8 %)
Total PLLs	0 / 4 (0 %)

Description of your design

使用兩個長度為 16 的 register array，一個存 input，一個存每個 stage 計算出來的值。

關於 Area：
將每個 stage 切成三個 clock 來完成，達到共用硬體的目的。
切成三個 clock 的原因是，我想在後 16 筆資料全部就緒前完成前 16 筆資料的計算及輸出值，所以只有 16 個 clock 來完成，而最後還要兩個 clock 做 output，所以總共有 14 個 clock 給四個 stage 來計算，一個 stage 可以有三個 clock 的時間來做計算。

關於 Clock width：
我將要計算的 bit 數壓低，PDF 文件給我們參考的方式是使用 32 bits 計算，然後乘法出來會是 64 bits，但其實不用這麼多 bit 數。

*Scoring = Area cost * Timing cost*
*Area cost = Total logic elements + Total register + Total memory bits + 9*Embedded multipliers 9-bit elements*
*Timing cost = Total cycle used * Clock width*