

Register - Adder 16

Motivation: 做加法時, 若 A, B 的 bit 數量大於 FPGA 上可設定的腳位數量,

則可得 A, B 的值用 register 存起來, 要計算時再分別拿出來計算即可

本次練習: 要做 16-bit 加法, 需要 $16 \times 2 = 32$ bits 的空間, \therefore 使用 8 個

4-bit register 去存: reg [3:0] reg-file [0:7]

另外 $\text{reg_file}[3] \sim \text{reg_file}[5]$ for A
 $\text{reg_file}[7] \sim \text{reg_file}[9]$ for B

Reg_Add16

