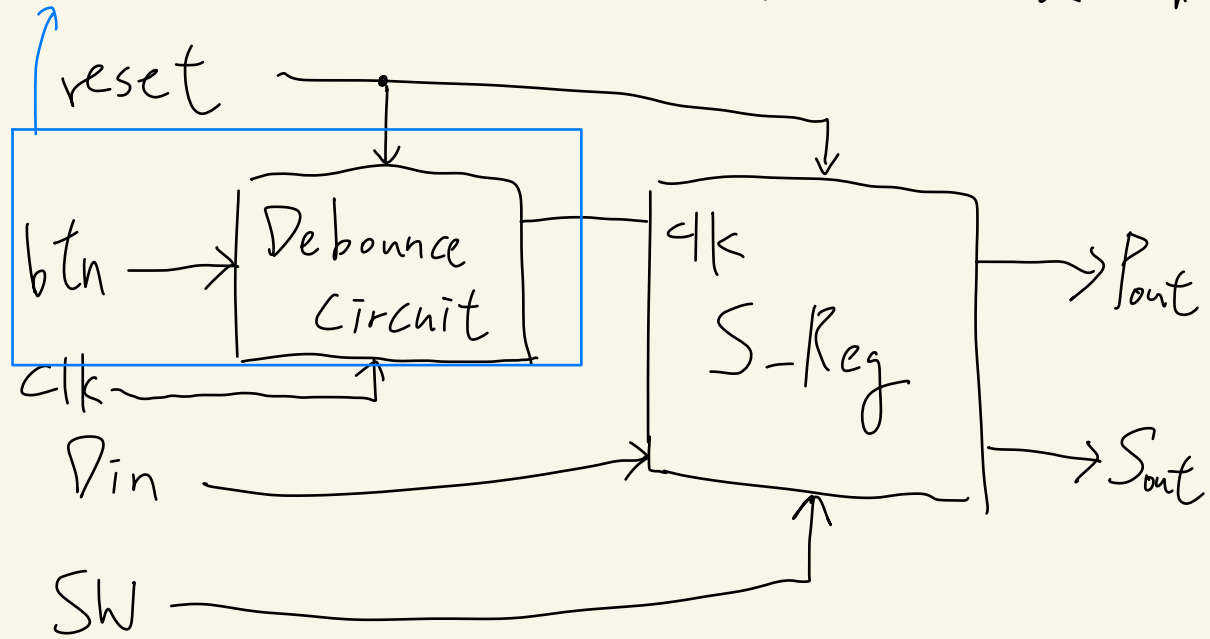


Shift Register 1

應用：
SISO: buffer, queue
SIPO: 可用少量腳位讀取資料
並同時輸出大量訊號

for FPGA



SW { 1 : Shift mode, 循環移位, 保留 Reg 的值
0 : Write mode, 輸出 Reg 裡的資料

