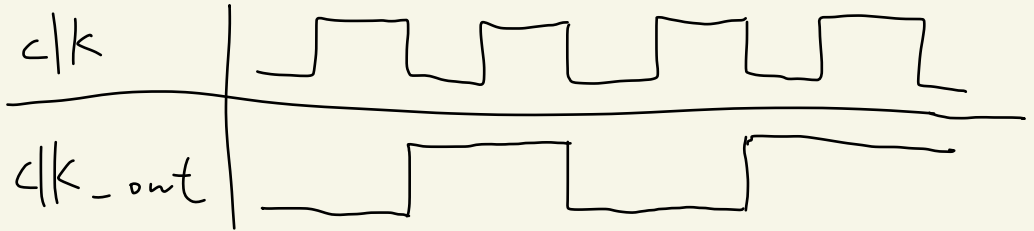


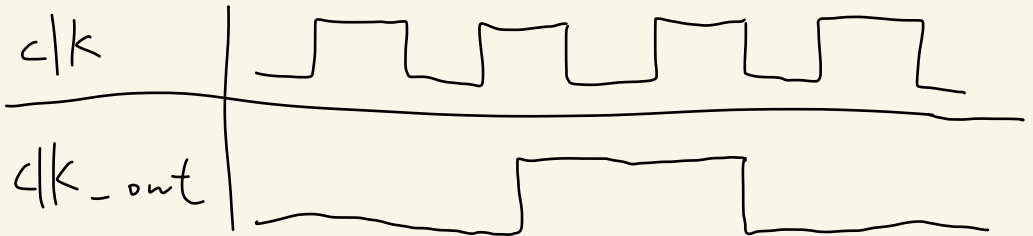
~~$\frac{2}{5}$~~   $\frac{2}{5}$   $\frac{1}{5}$   $\frac{1}{5}$  :

ex:  $\frac{1}{5}$   $clk = 1$ ,  $\frac{1}{5}$

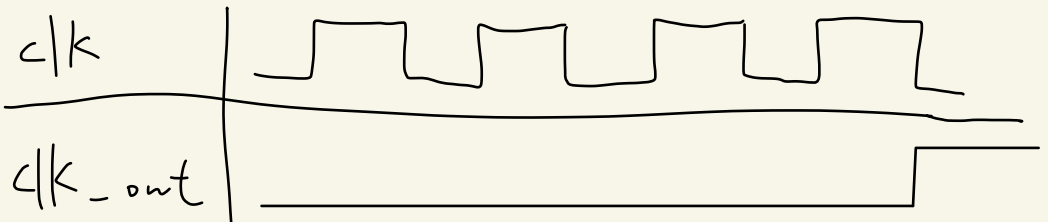
①  $clk\_out = 2$ ,



②  $clk\_out = 3$ ,



③  $clk\_out = 4$ ,



可觀察到：

① 的  $\text{clk\_out}$  是  $\text{clk}$  是  $\frac{2}{1} = 2$  倍長

② 的  $\text{clk\_out}$  是  $\text{clk}$  是  $\frac{3}{1} = 3$  倍長

③ 的  $\text{clk\_out}$  是  $\text{clk}$  是  $\frac{4}{1} = 4$  倍長

∴

1 個  $\text{clk}$  長度為 ① 的  $\text{clk\_out}$  的 0 or 1

1-5 個  $\text{clk}$  長度為 ② 的  $\text{clk\_out}$  的 0 or 1

2 個  $\text{clk}$  長度為 ③ 的  $\text{clk\_out}$  的 0 or 1

假設將  $clk$  除頻成 ③ 的  $clk$ ,

可用累加器去算經過幾個

$clk$ , 若經過  $2$  個  $clk$  以上,

則  $clk\_out = 1$ , 反之  $clk\_out = 0$ ,

且若經過  $4$  個  $clk$  以上,

則將累加器歸零, 代表結

束一個完整的 cycle.

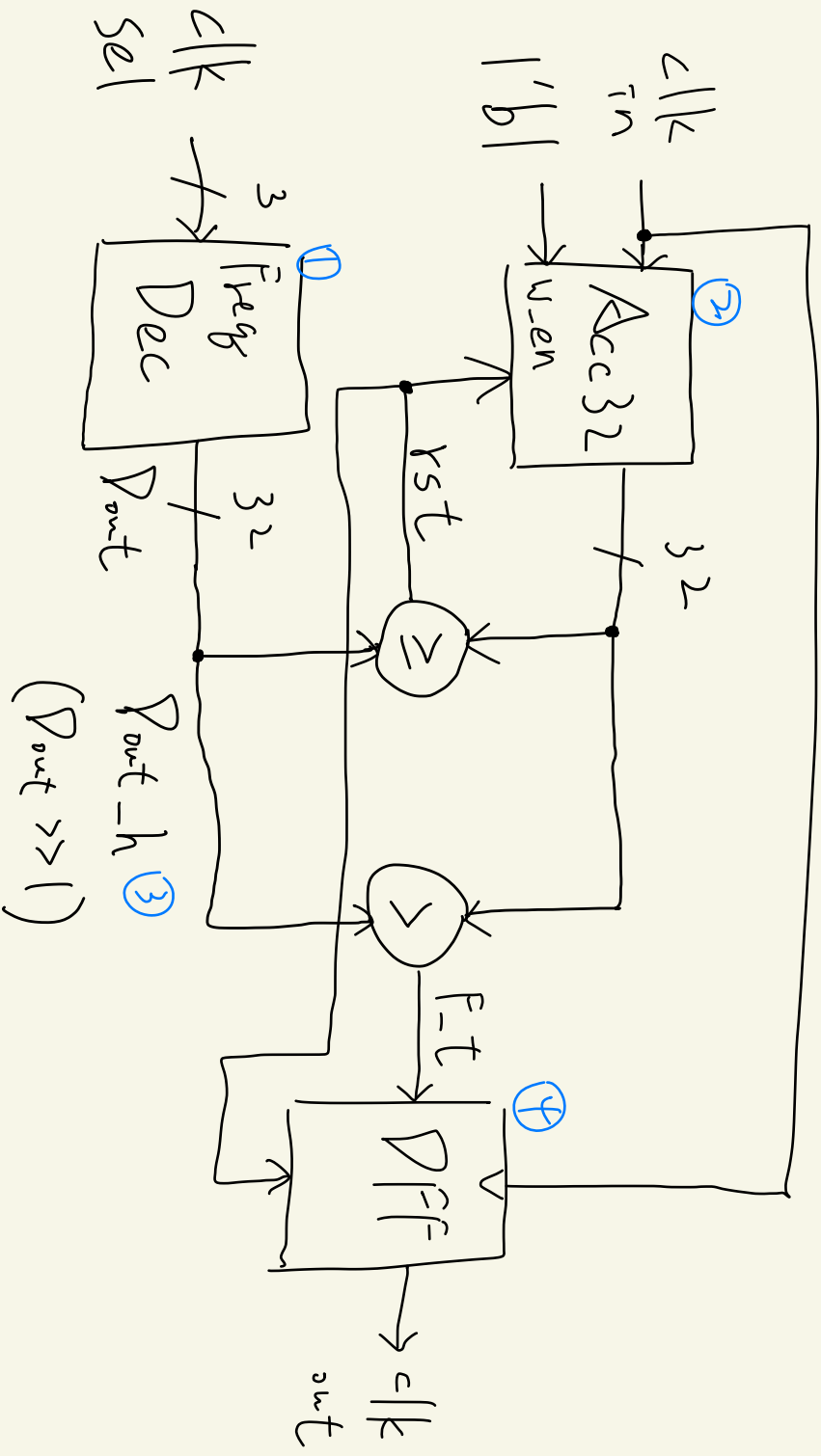
以下為  $clk\_out$  的  $clk$  的關係例子

$$clk = 50 \text{ MHz}$$

	$clk\_out$ (Hz)		除數
0	$1/4$	0	$200 \text{ M} \left( \frac{50 \text{ M}}{200 \text{ M}} = 1/4 \right)$
1	$1/3$	1	$150 \text{ M} \left( \frac{50 \text{ M}}{150 \text{ M}} = 1/3 \right)$
2	$1/2$	2	$100 \text{ M} \left( \frac{50 \text{ M}}{100 \text{ M}} = 1/2 \right)$
3	1	3	$50 \text{ M} \left( \frac{50 \text{ M}}{50 \text{ M}} = 1 \right)$
4	2	4	$25 \text{ M} \left( \frac{50 \text{ M}}{25 \text{ M}} = 2 \right)$
5	3	5	$16.7 \text{ M} \left( \frac{50 \text{ M}}{16.7 \text{ M}} = 3 \right)$
6	5	6	$10 \text{ M} \left( \frac{50 \text{ M}}{10 \text{ M}} = 5 \right)$
7	8	7	$6.25 \text{ M} \left( \frac{50 \text{ M}}{6.25 \text{ M}} = 8 \right)$

累加器輸出	累加器行為	$clk\_out$
$\leq \frac{1}{2}$ 除數	累加	0
$> \frac{1}{2}$ 除數, $<$ 除數	累加	1
$> =$ 除數	reset	0

以下為電路架構



$(D_{out} \gg 1)$

以下分別對 ①②③④ 作說明

# 分析架構

① Freq Dec:  $\because$  此例有 8 種 clk-out  
 $\therefore$  用 3 bits 輸入表示各  
8 種 clk-out, 而 32 bits  
輸出是  $\because$  除數最大到  
20M, 非常大,  $\therefore$  用足夠  
多的 bit 才能表示

② Acc32:  $\because$  要跟 32-bit 除數比較  
 $\therefore$  用 32-bit 累加器, 而  
rst 用同步 reset 且為

posedge,  $\therefore$  (當 Acc32 變除數之間的比較器為 1 時, Acc32 需要 reset), 又 ( $\therefore$  經過比較器, 可能使訊號不穩定, 有雜訊,  $\therefore$  用較穩定的同步 reset)

③  $\text{D}_{\text{out-h}}$  : 代表  $\frac{1}{2}$  除數, 用來判斷  $\text{clk-out}$  為 0 or 1

④ D f/f : 穩定 f-t 的訊號, 使波形不會抖動