

國立中央大學

電機工程學系

超大型積體電路設計
期末報告

指導老師:鄭國興

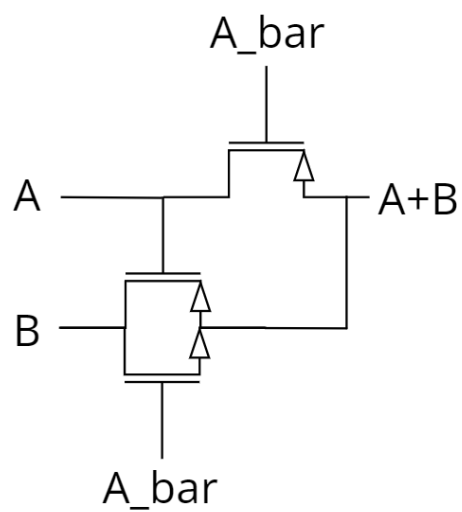
學生:洪嘉均

系級:電機碩一

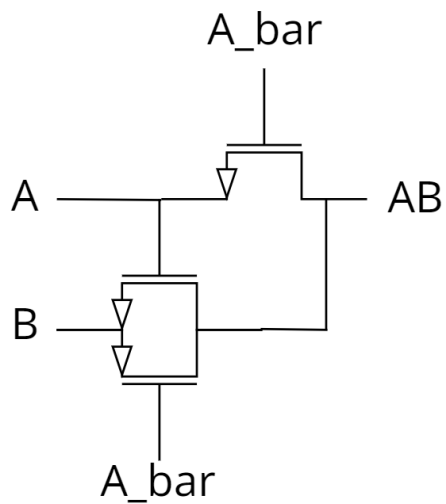
學號:110521022

中華民國一百一十一年一月

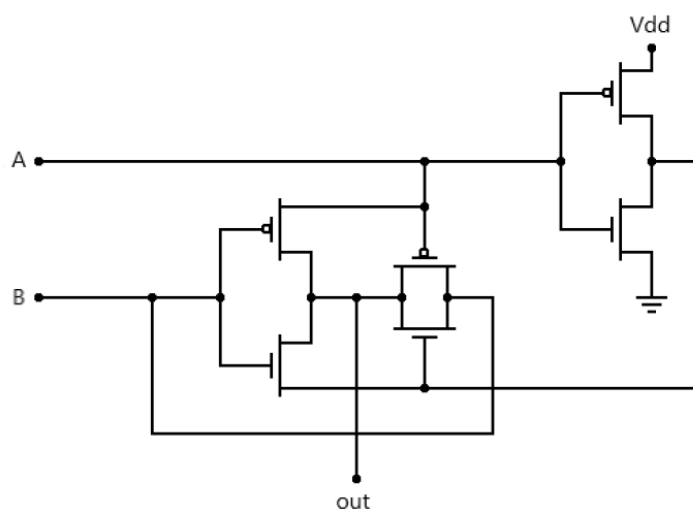
I. 電路架構



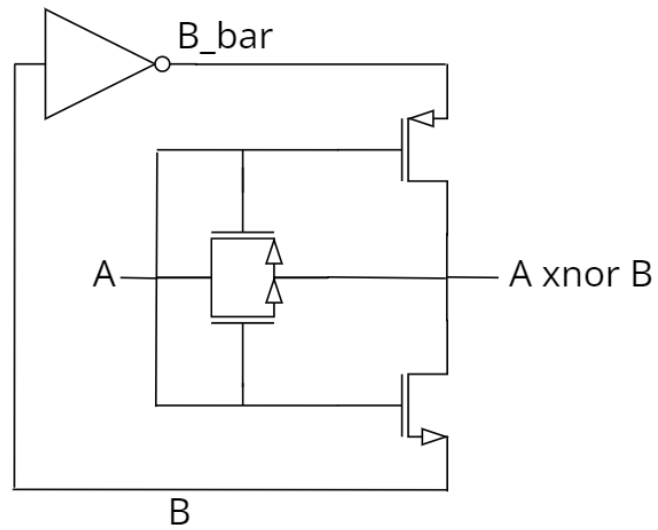
OR Gate



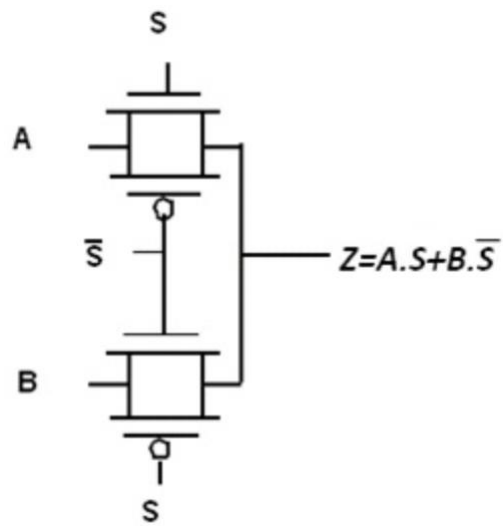
AND Gate



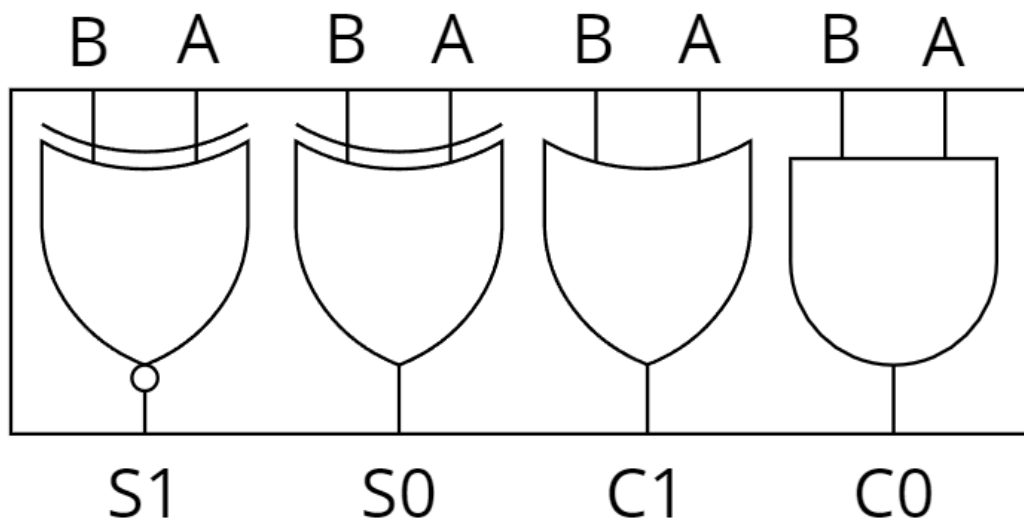
XOR Gate



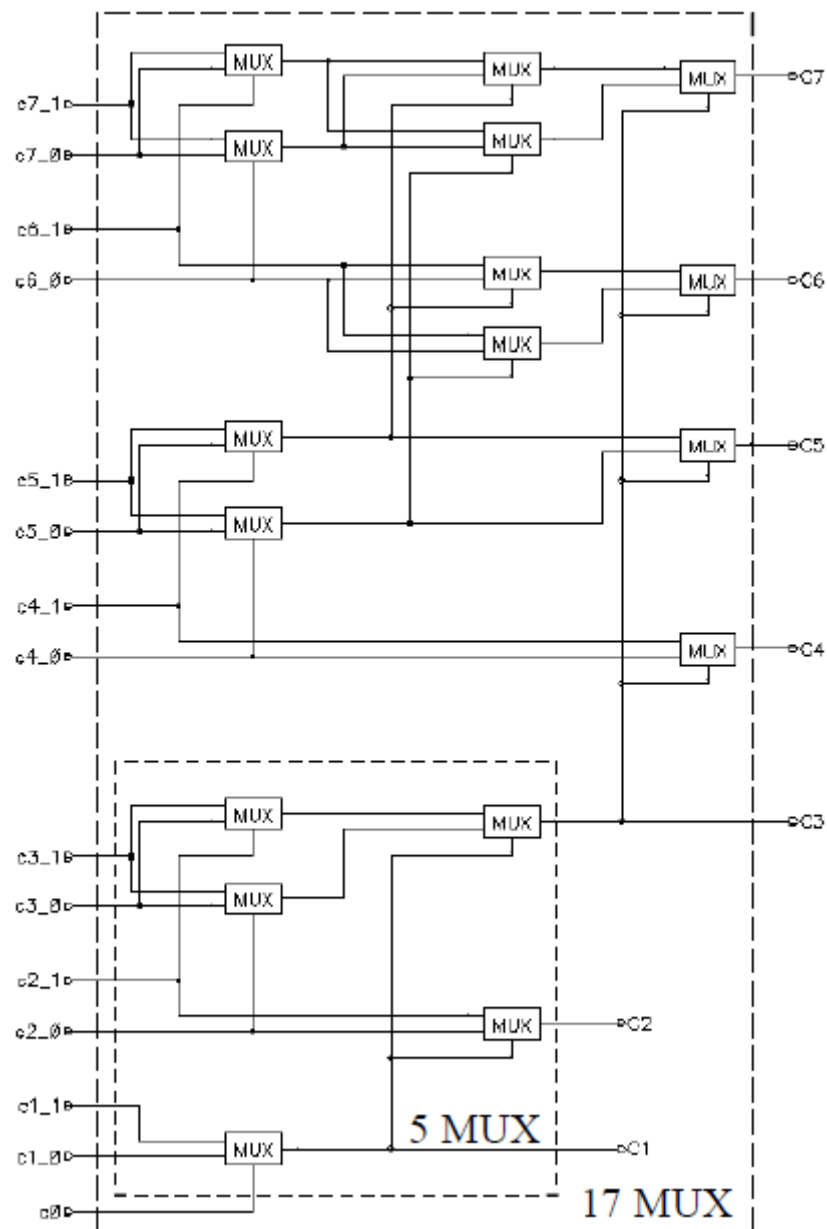
XNOR Gate



2 To 1 Mux



Conditional Cell



8bits Conditional carry structure

II. 電路說明

Conditional Carry Adder :

Step1:輸入 A0~31、B0~31 至 Conditional Cell 分別計算 Si(0)(XOR)、Ci(0)(AND)、Si(1)(XNOR)、Ci(1)(OR)。

Step2:用 Step1 產生之 C0(0)、C2(0)、C2(1)、C4(0)、C4(1)、.....、C30(0)、C30(1)分別選擇 C1(0) or C1(1)、C3(0) or C3(1)、C3(0) or C3(1)、C5(0) or C5(1)、C5(0) or C5(1)、.....、C31(0) or C31(1)、C31(0) or C31(1)，總共選擇 31 次，並產生 B(1)、B(3)、D(3)、B(5)、D(5)、.....、B(31)、D(31)且所有 2 to 1 MUX 均為平行執行。

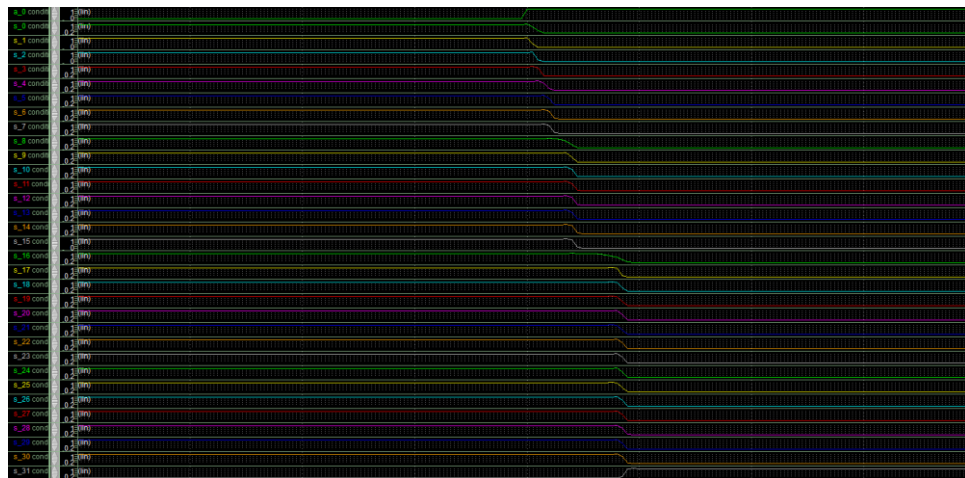
Step3:用 Step2 產生之 B(1)、B(5)、D(5)、.....B(29)、D(29)分別去選擇 Step1、之 C2(0) or C2(1)、B(3)、D(3)、C6(0)、C6(1)、B(7)、D(7)、.....、C30(0)、C30(1)、B(31)、D(31)並分別產生 J(6)、J(7)、J(10)、J(11)、L(10)、L(11)、.....J(30)、J(31)、L(30)、L(31)總共需要 15 個 4 to 2 mux(由兩個 2 to 1 mux 組成)，且所有 MUX 為平行執行。

Step4:由 Step3 產生之結果選擇 Carry 輸出，總共需要 7 個 8 to 4 mux(由 4 個 2 to 1 mux 組成)。

Step5: Step4 產生之結果選擇 Carry 輸出，總共需要 3 個 16 to 8 mux(由 8 個 2 to 1 mux 組成)。

Step6:選出每一級 Carry 之後，再去選擇 Step1 產生之 Si(0)、Si(1)，並輸出結果。

III. 模擬結果



從上到下依序為 A_0、S_0~S_31



從上到下依序為 A_0、S_31

```
conditionalCA.mt0 - 記事本
檔案(F) 編輯(E) 格式(O) 檢視(V) 說明(H)
$DATA1 SOURCE='HSPICE' VERSION='L-2016.06-SP1 win64' PARAM_COUNT=0
.TITLE '**conditional carry adder**'
t1          t2          td          power
temper      alter#
3.975e-009   4.865e-009   8.903e-010   2.862e-003
27.0000     1
```

延遲(td)	功率消耗(power)
8.903e-010	2.862e-003

IV. 參考資料

**64-bit low threshold voltage high-speed
conditional carry adder by
complementary pass-transistor logic**

Kuo-Hsing Cheng

(<https://ieeexplore.ieee.org/abstract/document/1339539>)