國 立 中 央 大 學

電 機 工 程 學 系

超大型積體電路設計

期末報告

指導老師:鄭國興

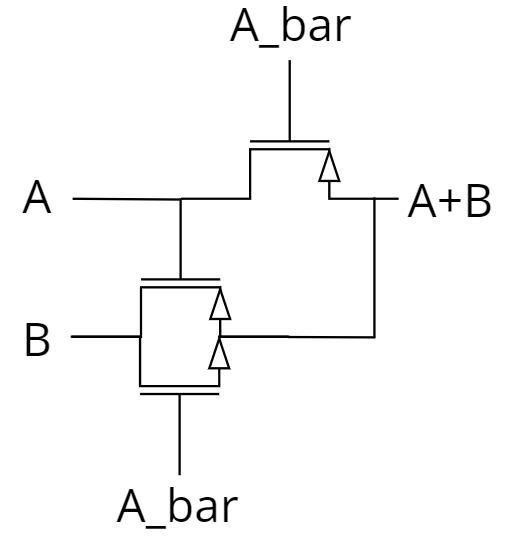
學生:洪嘉均

系級:電機碩一

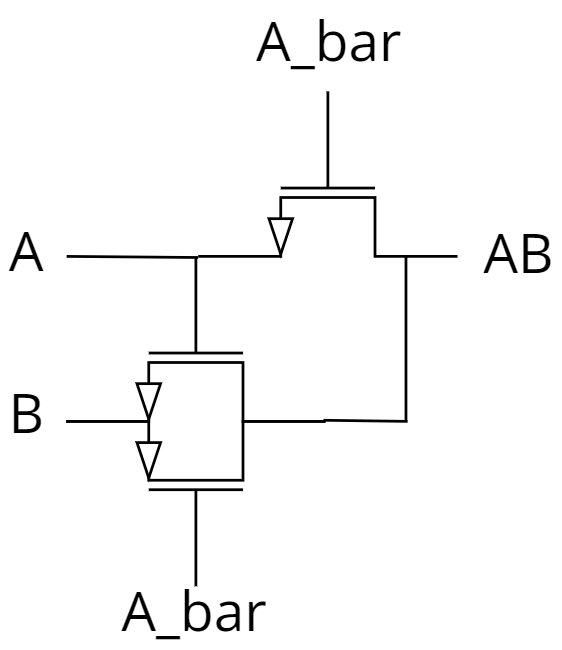
學號:110521022

中華民國一百一十一年一月

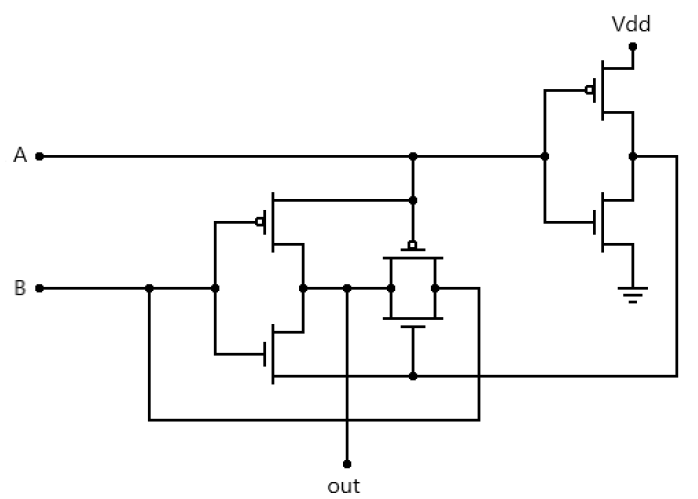
1. **電路架構**



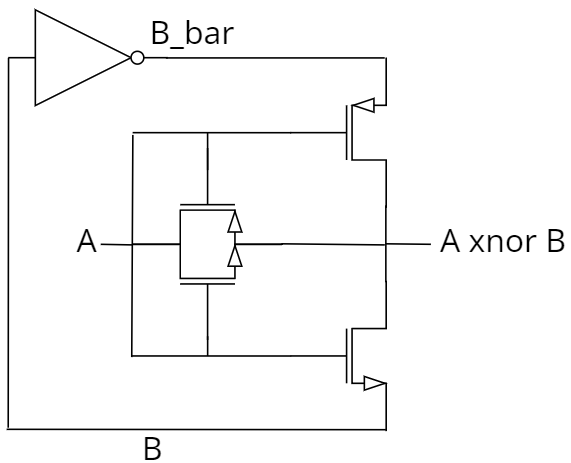
OR Gate



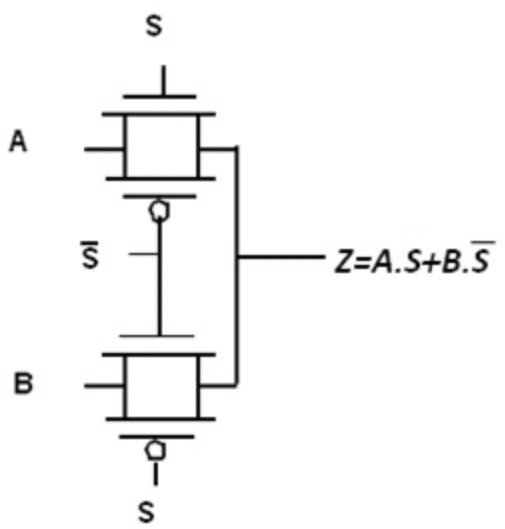
AND Gate



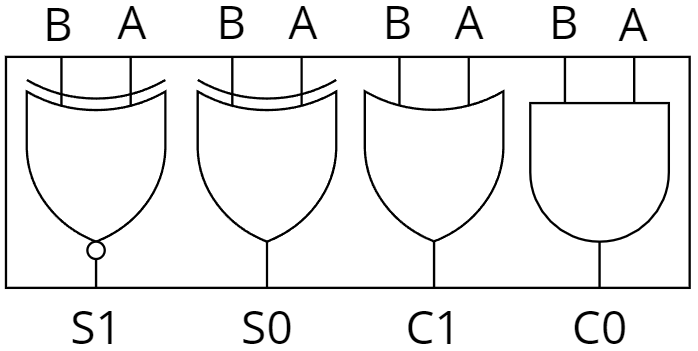
XOR Gate



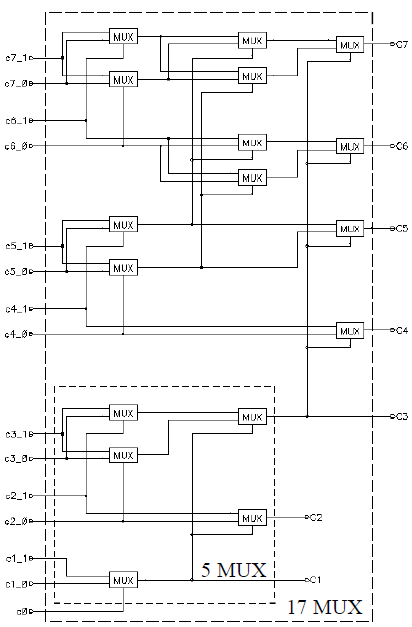
XNOR Gate



2 To 1 Mux



Conditional Cell

****

8bits Conditional carry structure

1. **電路說明**

Conditional Carry Adder :

Step1:輸入A0~31、B0~31至Conditional Cell分別計算Si(0)(XOR)、Ci(0)(AND)、Si(1)(XNOR)、Ci(1)(OR)。

Step2:用Step1產生之C0(0)、C2(0)、C2(1)、C4(0)、C4(1)、……、C30(0)、C30(1)分別選擇C1(0) or C1(1)、C3(0) or C3(1)、C3(0) or C3(1)、C5(0) or C5(1)、C5(0) or C5(1)、……、C31(0) or C31(1)、C31(0) or C31(1)，總共選擇31次，並產生B(1)、B(3)、D(3)、B(5)、D(5)、……、B(31)、D(31)且所有2 to 1 MUX均為平行執行。

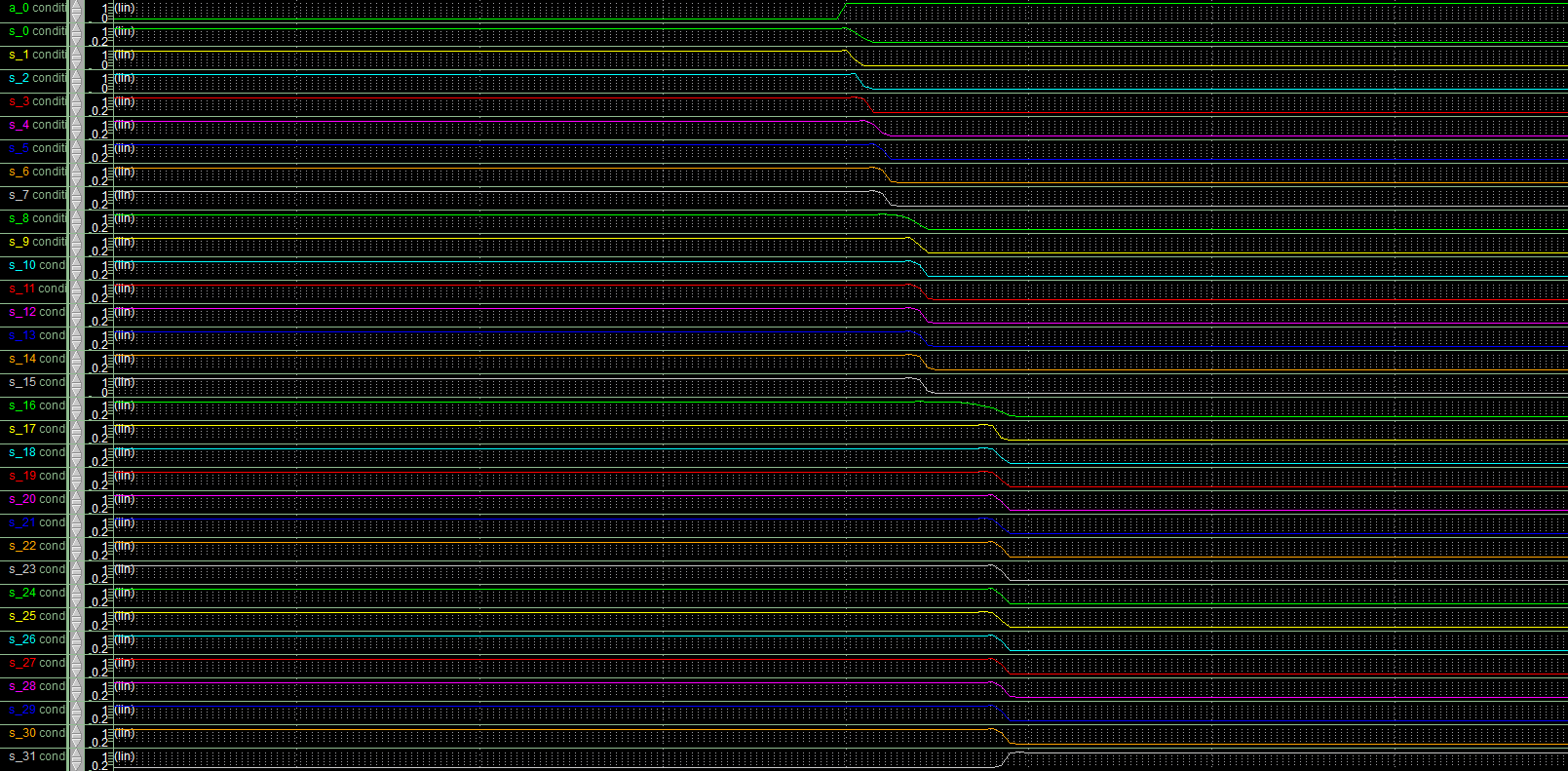
Step3:用Step2產生之B(1)、B(5)、D(5)、……B(29)、D(29)分別去選擇Step1、之C2(0) or C2(1)、B(3)、D(3)、C6(0)、C6(1)、B(7)、D(7)、……、C30(0)、C30(1)、B(31)、D(31)並分別產生J(6)、J(7)、J(10)、J(11)、L(10)、L(11)、……J(30)、J(31)、L(30)、L(31)總共需要15個4 to 2 mux(由兩個2 to 1 mux組成)，且所有MUX為平行執行。

Step4:由Step3產生之結果選擇Carry輸出，總共需要7個8 to 4 mux(由4個2 to 1 mux組成)。

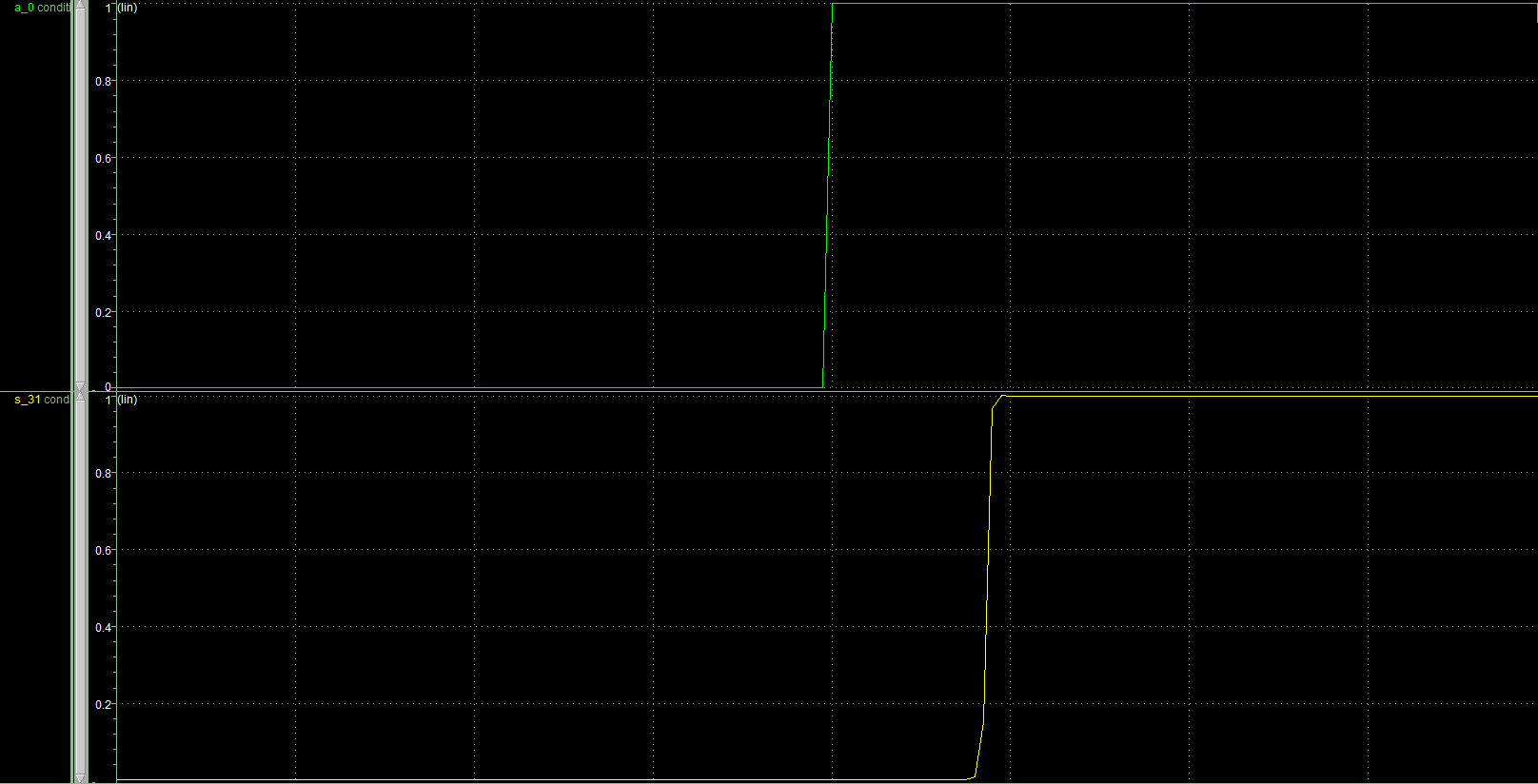
Step5: Step4產生之結果選擇Carry輸出，總共需要3個16 to 8 mux(由8個2 to 1 mux組成)。

Step6:選出每一級Carry之後，再去選擇Step1產生之Si(0)、Si(1)，並輸出結果。

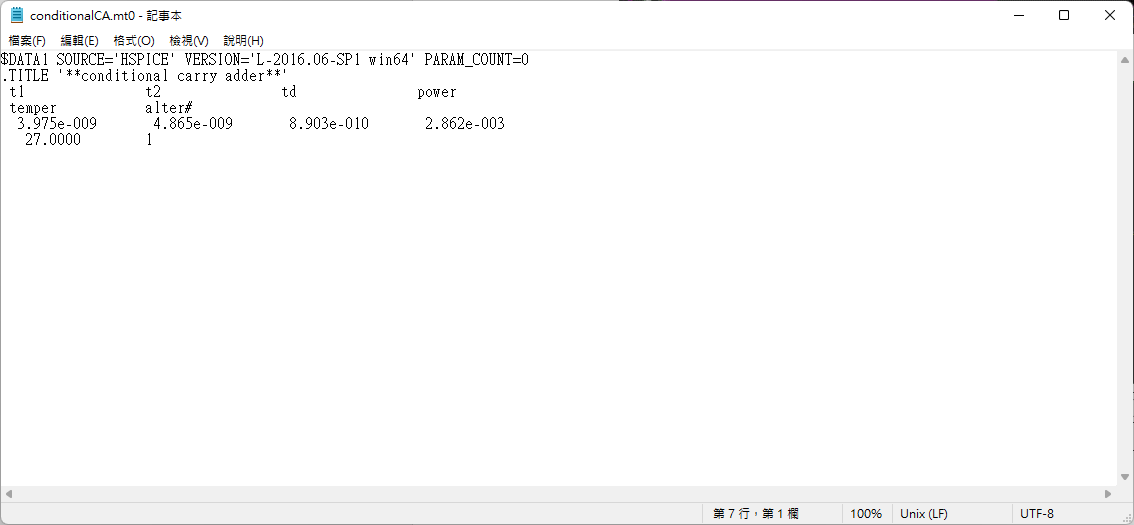
1. **模擬結果**



從上到下依序為A\_0、S\_0 ~ S\_31



從上到下依序為A\_0、S\_31



|  |  |
| --- | --- |
| 延遲(td) | 功率消耗(power) |
| 8.903e-010 | 2.862e-003 |

1. **參考資料  
   64-bit low threshold voltage high-speed conditional carry adder by complementary pass-transistor logic  
   Kuo-Hsing Cheng   
   (https://ieeexplore.ieee.org/abstract/document/1339539)**