

Curso de Introdução à Design de Hardware Reconfigurável em FPGA

Profs. Amanda Martinez e Zoé Magalhães

22/07/2023

Lista de Exercícios

O objetivo desta lista de exercícios é conduzir os alunos através de uma série de desafios que, ao serem concluídos, resultarão no desenvolvimento de um projeto funcional: um cronômetro. Em todos os exercícios da lista fornecemos dicas para auxiliar no desenvolvimento, mas é importante salientar que existem outras opções de desenvolvimento, ou seja, não é mandatório seguir o fluxo de desenvolvimento que estamos sugerindo.

Exercício 2 - Criar uma saída que tenha seu nível lógico invertido (toggle) a cada 1 segundo.

Dicas:

1. Faça as seguintes modificações na descrição de hardware desenvolvida no Exercício 1, ou seja, no projeto do **contador decrescente**.
 - Adicione uma saída *blink* do tipo `std_logic` (essa é a saída que deverá ter seu nível lógico alternando entre 0 e 1 a cada 1 segundo).
 - Adicione um processo que chaveia (altera o estado lógico) da saída *blink* na borda de subida do clock somente se o **contador decrescente** for igual a 0.
 - Inclua nesse processo a lógica de reset síncrono, em que a saída *blink* deve ser configurada em nível lógico baixo.
 - Remova a porta de saída *cnt*.
2. Verifique o esquemático RTL.
3. Altere o testbench modelo em anexo para ser compatível com a nova interface.
4. Execute simulação e observe o comportamento dos sinais.

Dica: Alteração do testbench

Como as portas de entrada e saída da entidade mudaram, a sua instância no testbench deve ser atualizada. Para isso substitua a instância do DUT no testbench fornecido no exercício 1 por :

```
DUT : entity work.list1(rtl)
port map (
    clk => clk,
    rst => rst,
    blink => res
```

```
);
```

E substitua a declaração do sinal *res* conectado à porta *blink* por:

```
signal res : std_logic;
```