

Curso de Introdução à Design de Hardware Reconfigurável em FPGA

Profs. Amanda Martinez e Zoé Magalhães

22/07/2023

Lista de Exercícios 1

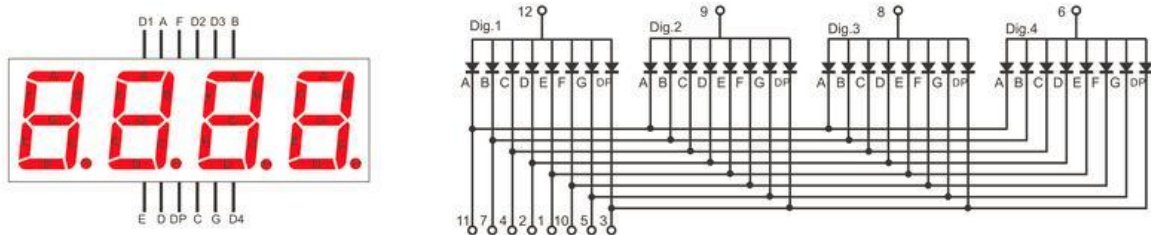
O objetivo desta lista de exercícios é conduzir os alunos através de uma série de desafios que, ao serem concluídos, resultarão no desenvolvimento de um projeto funcional: um cronômetro. Em todos os exercícios da lista fornecemos dicas para auxiliar no desenvolvimento, mas é importante salientar que existem outras opções de desenvolvimento, ou seja, não é mandatório seguir o fluxo de desenvolvimento que estamos sugerindo.

Exercício 5 - Apresentação do cronômetro no display de 4 dígitos.

Vamos considerar nesse exercício o display de 7 segmentos com 4 dígitos presente na Basys 3.

Esse display possui 8 pinos de catodos (1 para cada segmento incluindo o ponto) e 4 pinos de ânodos (1 para cada dígito). Os segmentos de um mesmo dígito possuem um ânodo comum e catodos independentes. Enquanto segmentos na mesma posição de dígitos diferentes estão conectados ao mesmo catodo.

A figura a seguir apresenta um esquemático do circuito desse display:



Quando um catodos recebe um sinal de nível lógico baixo o led referente a esse segmento será acionado (porém somente no display cujo ânodo está recebendo um sinal de nível lógico alto). Dessa forma é possível selecionar quais segmentos serão acesos controlando o sinal nos catodos, enquanto que para selecionar qual display será aceso deve-se controlar o sinal nos ânodos. Portanto, não é possível acender simultaneamente os dígitos com números diferentes.

A estratégia utilizada para exibir valores diferentes em cada dígito é acender um dígito por vez com uma frequência de comutação alta o suficiente para que os LEDs não apaguem.

Dito isso, o objetivo desse exercício é modificar o hardware desenvolvido no exercício para 3 para apresentar os minutos e segundos no display.

1. Faça as seguintes alterações no *design* do exercício 3.
 - a. Substitua as 4 saídas de 7 bits por única saída de 7 bits denominada cathodes.
 - b. Adicione uma saída de 4 bits denominada anodes
 - c. Inclua a descrição para que a saída anodes alterne ciclicamente entre “1110”, “1101”, “1011” e “0111”. E seja configurada como “1110” na condição de reset síncrono. O intervalo entre as alternâncias deve ser um centésimo do período do **contador decrescente**.
 - d. Inclua a descrição para que a saída cathodes seja igual ao
 - contador de segundos quando a saída anodes for igual a “1110”
 - contador de dezenas de seg. quando anodes for igual a “1101”
 - contador de minutos quando anodes for igual a “1011”
 - contador de dezenas de min. quando anodes for igual a “0111”
2. Altere o testbench para ser compatível com a nova interface do hardware
3. Verifique em simulação que o design funciona
4. Analise o esquemático RTL
5. Atualize o limite superior do **contador decrescente** para que o período de contagem seja igual a 1s, considerando uma frequência de clock de 100Mhz.
6. Faça o ajuste necessário para que o período de alternância da saída anodes seja igual à 10ms.
7. Escreva um arquivo constraints para programar a *Basys 3* com o *bitstream* do hardware desenvolvido nesse exercício
8. Execute os processos de síntese, implementação e geração de bitstream
9. Analise os *reports* de timing, utilização, power e IO.

Dica: Arquivo de constraints

Um modelo de arquivo de constraints para *Basys 3 REV B* pode ser encontrado em https://github.com/Digilent/Basys3/blob/master/Projects/XADC_Demo/src/constraints/Basys3_Master.xdc.

Esse arquivo modelo não faz uma referência direta ao posicionamento dos segmentos e dígitos do display controlados pelos pinos da FPGA. Utilize a tabela a seguir para definir em que pino da FPGA cada bit das portas anodes e catodes deve ser mapeado.

FPGA	Display
W7	catodo g
W6	catodo f
U8	catodo e
V8	catodo d
U5	catodo c
V5	catodo b
U7	catodo a
U2	ânodo do primeiro dígito (mais à esquerda)
U4	ânodo do segundo dígito
V3	ânodo do terceiro dígito
W4	ânodo do quarto dígito (mais à direita)

