

Laboratorio 1 – Electrónica Digital I

COMPARACIÓN DE TECNOLOGÍA CMOS y TTL

Facultad de Ingeniería – Universidad Nacional de Colombia
Bogotá, Colombia
Fecha: November 28, 2024

1st Natalia Alvarez Gallo
Estudiante de Ing. Eléctrica
naalvarezg@unal.edu.co

2nd Sebastián Tibquirá Sánchez
Estudiante de Ing. Eléctrica
stibaquirra@unal.edu.co

3rd David Valderrama
Estudiante de Ing. Eléctrica
dvalderramas@unal.edu.co

I. PARTE 1

A. Observar comparativamente las especificaciones técnicas de cada uno de los dispositivos mencionados.

Negador TTL 74LS04: La compuerta NOT cuenta con 6 inversores independientes con tecnología TTL. Cada inversor puede ser usado sin la necesidad de conectar los demás. Su salida es el estado inverso a su entrada, la cual no debe ser superior al voltaje de alimentación del circuito integrado.

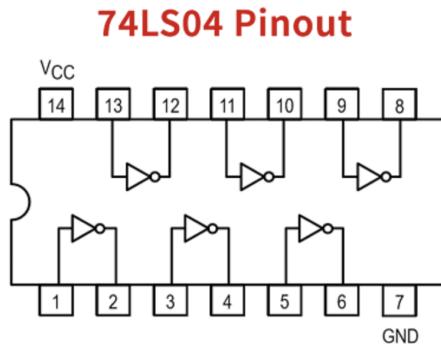


Fig. 1. Diagrama del circuito

El circuito funciona en dos condiciones. Cuando la entrada A está en un nivel alto, el transistor comienza a realizar el paso de la corriente. El voltaje de VCC comienza a conducir la corriente de VCC a tierra, a través del transistor, bajando el voltaje en A. La reducción en el voltaje da como resultado un estado bajo. Por otro lado, cuando se aplica un nivel bajo al transistor, deja de conducir. Esto permite que la fuente de alimentación proporcione un voltaje completo en el pasador de salida. Cuando la entrada de una puerta no es baja o en un nivel lógico de 1, su salida siempre es alta o en un nivel lógico de 0. Por el contrario, cuando la entrada es alta o en un nivel lógico de 0, una compuerta lógica no siempre tiene una salida de nivel 1 bajo o lógico.

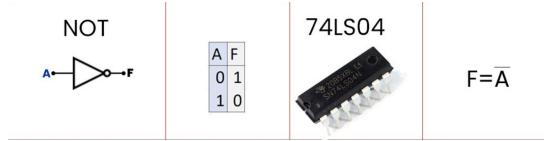


Fig. 2. Diagrama del circuito

Para la compuerta tenemos el siguiente circuito equivalente:

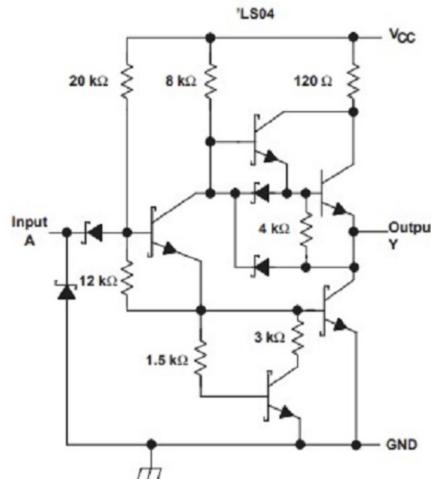


Fig. 3. Esquema del circuito

Negador CMOS CD4069: Es chip lógico CMOS que contiene 6 inversores independientes. Se utiliza para invertir una señal, lo que significa que toma una señal de entrada y produce una señal de salida opuesta a la de entrada. Para utilizarlo en un circuito, necesitas una tensión de alimentación de 3 a 15V, cuando conectas la fuente de alimentación a los pines VDD y GND del chip se podrá utilizar cualquiera de los seis inversores del chip. Esta compuerta cuenta con las características compartidas con el 74LS04 ya que ambos son negadores.

Para la compuerta tenemos el siguiente circuito equivalente:

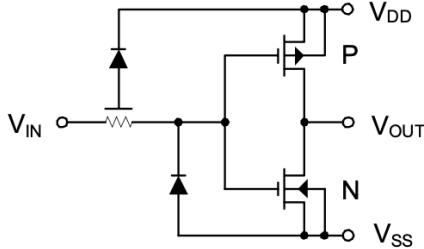


Fig. 4. Esquema del circuito

B. Aplicar una señal cuadrada de 1 KHz de tensión adecuada para medir: V_o o u_t vs V_i n y a partir de estos gráficos Determinar V_{IH} , V_{IL} , V_{OH} , V_{OL} .

1) *Simulaciones:* Para la compuerta 74LS04 hicimos la simulación correspondiente:

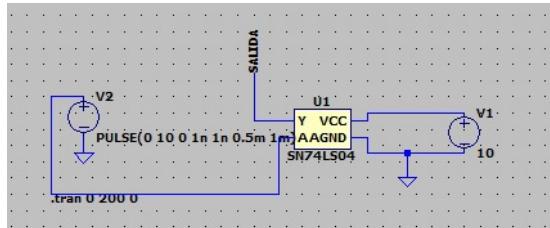


Fig. 5. Simulacion para la compuerta TTL

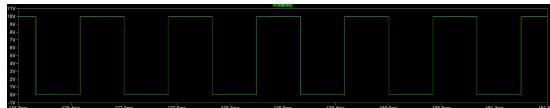


Fig. 6. Simulacion para la compuerta TTL

Para la compuerta CD4069 hicimos la simulación correspondiente:

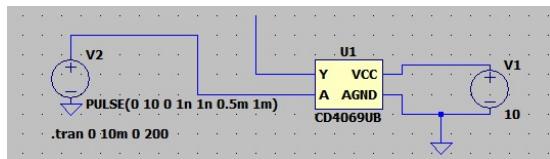


Fig. 7. Simulacion para la compuerta CMOS

2) *Montaje:* Para esta parte del laboratorio procedimos a montar la computadora en nuestra protoboard y con ayuda de una fuente DC, un generador de ondas y un multímetro realizamos las siguientes pruebas: Con la señal ya invertida

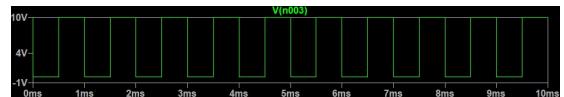


Fig. 8. Simulacion para la compuerta CMOS

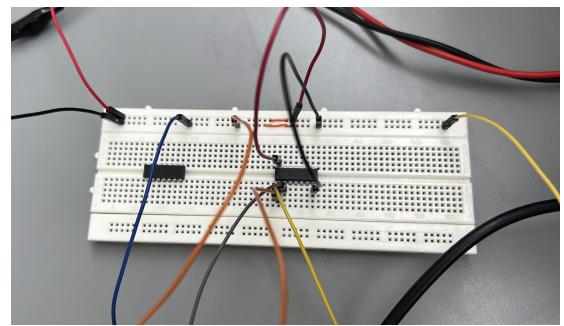


Fig. 9. Montaje en laboratorio

podemos empezar a buscar los valores solicitados, desde el mismo osciloscopio podemos obtener los tiempos de subida y bajada, donde se tomaran desde el 10% y 90% del valor de la tensión, que en este caso sera tomar el tiempo desde 480mV a 4,48V (valores aproximados por funcionalidad del osciloscopio). Con la señal ya invertida podemos empezar a buscar los valores solicitados, desde el mismo osciloscopio podemos obtener los tiempos de subida y bajada, donde se tomaran desde el 10% y 90% del valor de la tensión, que en este caso sera tomar el tiempo desde 480mV a 4,48V (valores aproximados por funcionalidad del osciloscopio).

C. Medir el tiempo de subida, tiempo de bajada, tiempo de retardo, tiempo de almacenamiento para cada dispositivo.

Compuerta	TTL	CMOS
Tiempo de subida	20ns	20ns
Tiempo de retardo	500μ	500μ
Tiempo de bajada	20ns	20ns

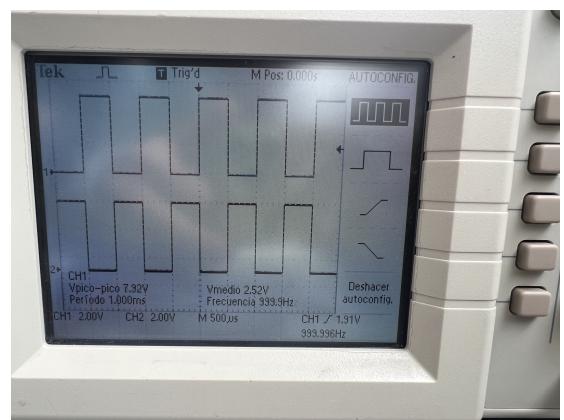


Fig. 10. Señal invertida por negador TTL 74LS04

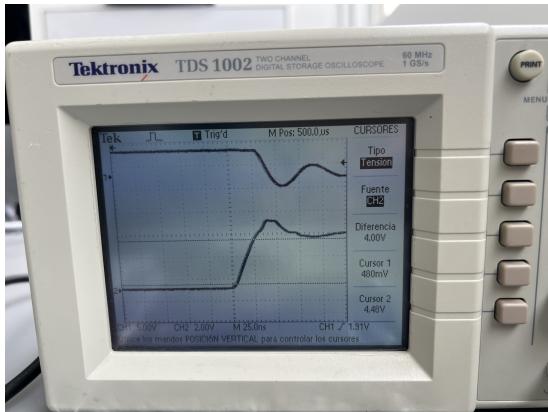


Fig. 11. Tiempo de subida por negador TTL 74LS04

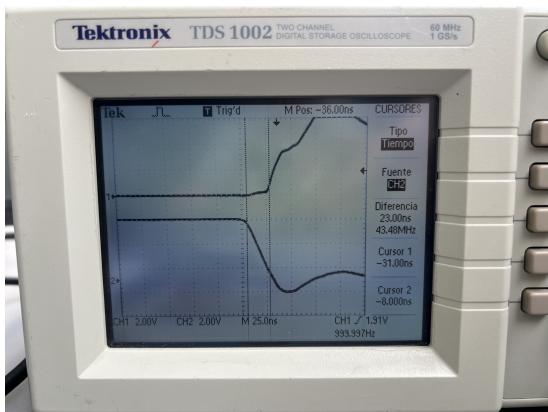


Fig. 12. Tiempo de bajada por negador TTL 74LS04



Fig. 13. Señal invertida por negador CMOS CD4069

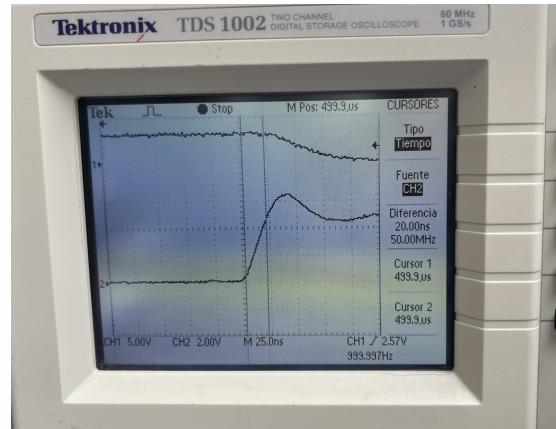


Fig. 14. Tiempo de subida del negador CMOS CD4069

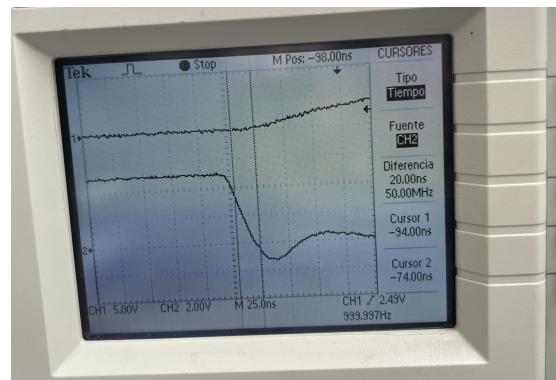


Fig. 15. Tiempo de bajada del negador CMOS CD4069

II. PARTE 2

A. Determinar el fan-in y fan-out de cada uno de los dispositivos.

Esta información es dada por la ficha técnica de las compuertas lógicas. Cuando la salida de una puerta lógica se conecta a una o más entradas de otras puertas, se genera una carga en la puerta excitadora. Existe un límite para el número de entradas de carga que una cierta puerta puede excitar. Este límite se denomina fan-out de la puerta.

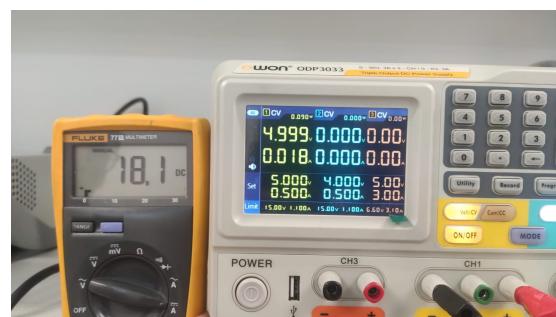


Fig. 16. Corriente de entrada para el TTL 74LS04



Fig. 17. Corriente de entrada para el CMOS CD4069

B. Determinar la disipación de potencia.

Potencia disipada por TTL SN7004:

$$P = VI \quad (1)$$

$$P = 4,999V \times 18,1mA \quad (2)$$

$$P = 90,481mW \quad (3)$$

Potencia disipada por CMOS CD4069:

$$P = VI \quad (4)$$

$$P = 4,999V \times 1,7mA \quad (5)$$

$$P = 8,49mW \quad (6)$$

El fan-out de una puerta CMOS depende de la frecuencia de operación. Cuantas menos entradas de carga haya, mayor será la frecuencia máxima.

III. PARTE 3

A. Estudie el oscilador en anillo basado en la compuerta NOT

La definición del oscilador en anillo es "un número impar de inversores se conectan en serie con retroalimentación positiva y la salida oscila entre dos niveles de tensión, ya sea 1 o cero, para medir la velocidad del proceso. En lugar de inversores, podemos definirlo también con puertas NOT. Estos osciladores tienen un número "n" impar de inversores. Por ejemplo, si este oscilador tiene 3 inversores, se denomina oscilador en anillo de tres etapas. Si el número de inversores es siete, se trata de un oscilador en anillo de siete etapas. El número de etapas inversoras de este oscilador depende principalmente de la frecuencia que queramos generar con él.

1) *Simulaciones:* Para el anillo con 3 compuertas pudimos obtener las siguientes simulaciones: Para el anillo con 5 compuertas CMOS pudimos tener las siguientes simulaciones:

B. Monte dos diferentes osciladores en anillo con el negador CMOS

REFERENCES

- [1] FABY QUÍMICA. (2017, 29 noviembre). BIOGRAFIA DE PIERRE LAPLACE [Vídeo]. YouTube.

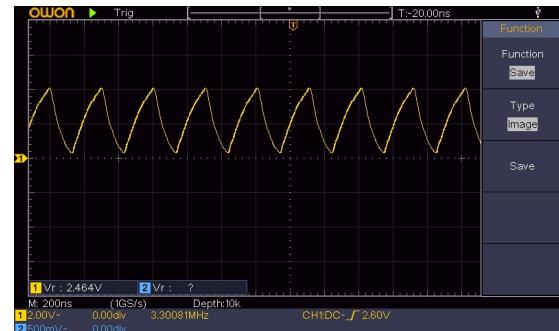


Fig. 18. Simulación para 5 compuertas CMOS

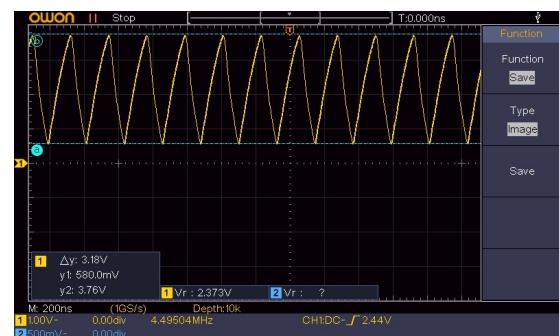


Fig. 19. Simulación para 3 compuertas CMOS

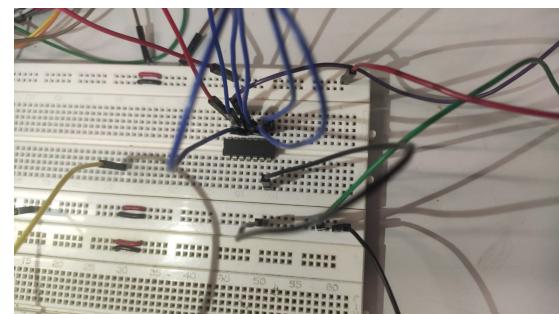


Fig. 20. Montaje del circuito



Fig. 21. Características electricas

- [2] Electrosito. (2020, 6 agosto). Que es un sistema de oscilador de anillos. <https://electrositio.com/que-es-el-oscilador-de-anillo-funcionamiento-y-sus-aplicaciones/>
- [3] Eduard Suárez. (2021, 2 abril). Señal en tiempo continuo y discreto — MATLAB [Vídeo]. YouTube. <https://www.youtube.com/watch?v=Iw5-uEMyh7Q>