



中国电子学会

# 高速电路信号完整性 分析与设计—PCB设计-2

2008-08-08

# 布局准备

布局前首先要熟悉电路原理图以及与印刷板设计相关的设计资料，具体地说就是：

- 掌握和了解电路的组成和工作原理，弄清电路之间的内在联系及相互关系，以及信号的传递方式和顺序。
- 了解电路各部分的工作状态、增益、信号电平和地电流的大小、功耗、发热量以及有可能产生的干扰。
- 了解哪些元件因为体积较大，分量较重，或因为散热的需要应该在印制板外安装。
- 了解哪些控制和调整元件（按键、电位器、可变电容、可调电感等）以及接插件需要在面板、尾板上安装或伸出印制板外。

# 布局原则

- 元器件分布均匀、疏密一致、整齐美观；
- 元器件尽量放在元件面；
- 元件在印制板上重量应分布均匀；
- 印制板上大而重的元器件应安排在靠近板子固定端位置，并留出足够的装配位置；
- 集成器件，尤其是双列直插式器件，布放是尽量方向一致、间隔相等、整齐有序；
- 印制板边缘2-4mm内不要放布元器件；
- 元器件排列应尽量紧凑以缩短连线长度，降低连线阻抗；
- 印制板总体应呈矩形，长宽比例接近3:2，不宜采用细长条形，以免影响机械强度；
- 印制板面积不宜过大；

# 布局建议

- 在布局上，按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的方向。要把模拟信号部分，高速数字电路部分，噪声源部分（如继电器，大电流开关等）这三部分合理地分开，使相互间的信号耦合为最小。
- 以每个功能电路的核心元件为中心，围绕它来进行布局。元器件应均匀、整齐、紧凑地排列在PCB上。尽量减少和缩短各元器件之间的引线和连接。
- 同一块印制板上的器件应尽可能按其发热量大小及散热程度分区排列，发热量小或耐热性差的器件（如小信号晶体管、小规模集成电路、电解电容等）放在冷却气流的最上流（入口处），发热量大或耐热性好的器件（如功率晶体管、大规模集成电路等）放在冷却气流最下游。

# 布局建议

- 尽可能缩短高频元器件之间的连线，设法减少它们的分布参数和相互间的电磁干扰。易受干扰的元器件不能相互挨得太近，输入和输出元件应尽量远离。
- 某些元器件或导线之间可能有较高的电位差，应加大它们之间的距离，以免放电引出意外短路。带高电压的元器件应尽量布置在调试时手不易触及的地方。
- 对于电位器、可调电感线圈、可变电容器、微动开关等可调元件的布局应考虑整机的结构要求。若是机内调节，应放在印制板上方便调节的地方；若是机外调节，其位置要与调节旋钮在机箱面板上的位置相适应。
- 应留出印制板定位孔及固定支架所占用的位置。
- 时钟产生器尽量靠近到用该时钟的器件。
- I/O驱动电路尽量靠近印刷板边。

# 布线的优先次序

- 密度优先原则：从单板上连接关系最复杂的器件着手布线，从单板上连线最密集的区域开始布线。
- 关键信号优先原则（电源、模拟小信号、高速信号、时钟信号等）
- 关键信号最好采用手工布线，屏蔽和加大间距等方法，保证信号质量

# 布线原则

- 印制导线要尽可能地短：由于瞬变电流在印制线条上所产生的冲击干扰主要是由印制导线的电感成分造成的，因此应尽量减小印制导线的电感量。印制导线的电感量与其长度成正比，与其宽度成反比，因而短而精的导线对抑制干扰是有利的。
- 关键信号进行阻抗控制并端接，保持布线阻抗连续性：不要随便改变线宽，更换布线层，减少过孔使用。

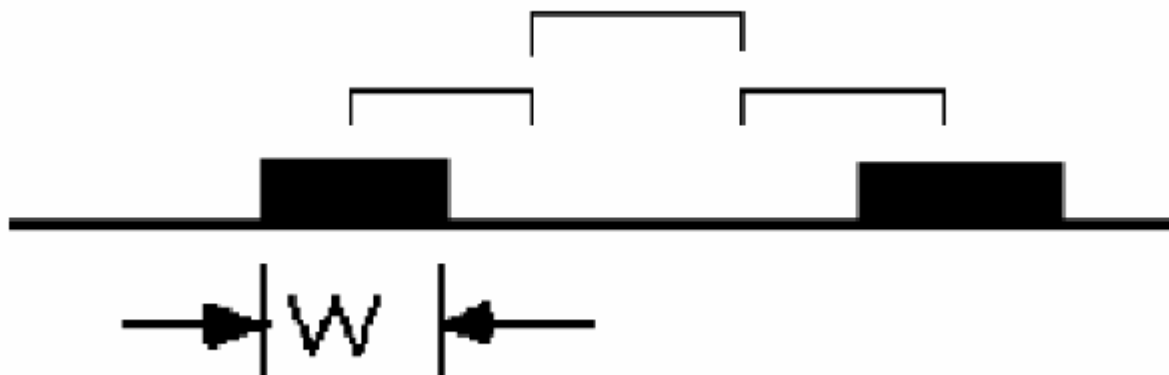
# 布线原则

- 采用正确的布线策略：采用井字形网状布线结构，具体做法是印制板的一面横向布线，另一面纵向布线，然后在交叉孔处用金属化孔相连。
- 为了抑制印制板导线之间的串扰，在设计布线时应尽量避免长距离的平行走线，尽可能拉开线与线之间的距离。



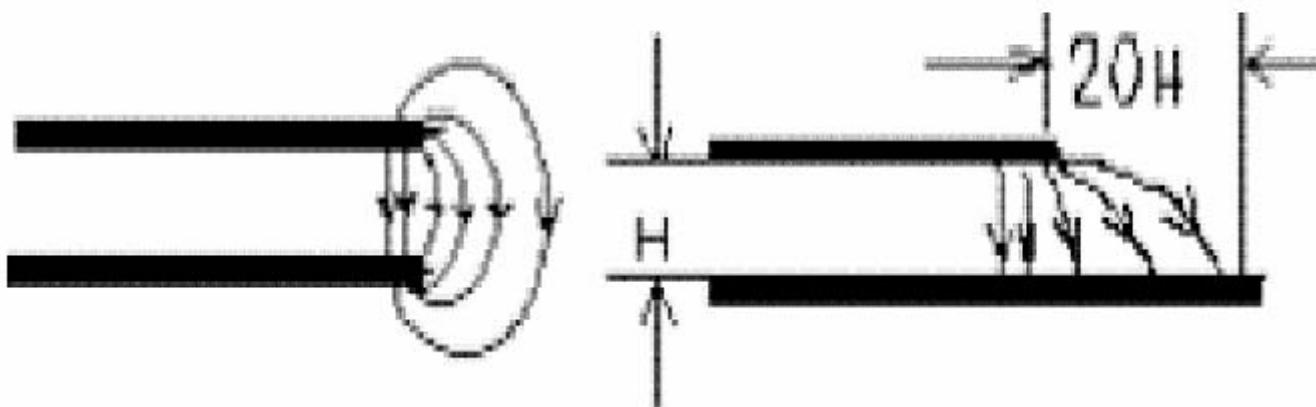
# 3W原则

为了减小线间串扰，应保证线间距足够大，当线中心间距不小于3倍线宽时，则可保持70%的电场不互相干扰，称为3W原则。如果达到98%的电场不互相干扰，可使用10W的原则。



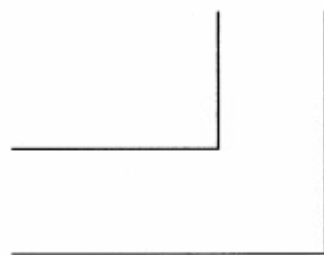
# 20H原则

- 由于电源层与地层之间的电场是变化的，在板的边缘会向外辐射电磁干扰，成为边沿效应。
- 解决的办法是将电源层内缩，使得电场只能在接地层的范围内传导。以一个 $H$ （电源和地之间的介质厚度）为单位，若内缩 $20H$ 则可以将70%的电场限制在接地层边沿内；内缩 $100H$ 则可以将98%的电场限制在内。

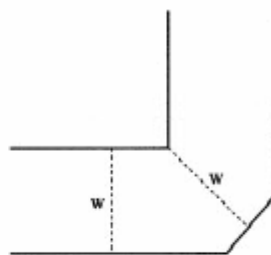


# 布线技巧

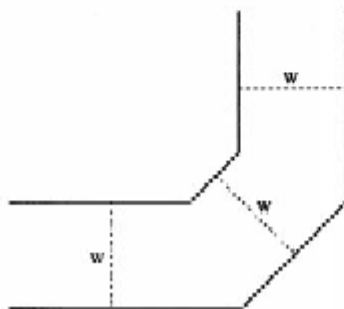
## ■ 导线的拐角处理



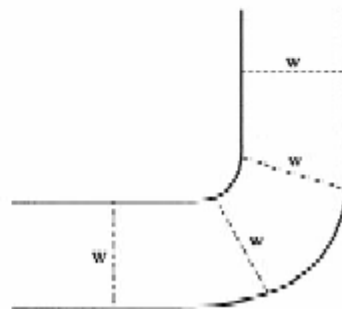
a)



b)



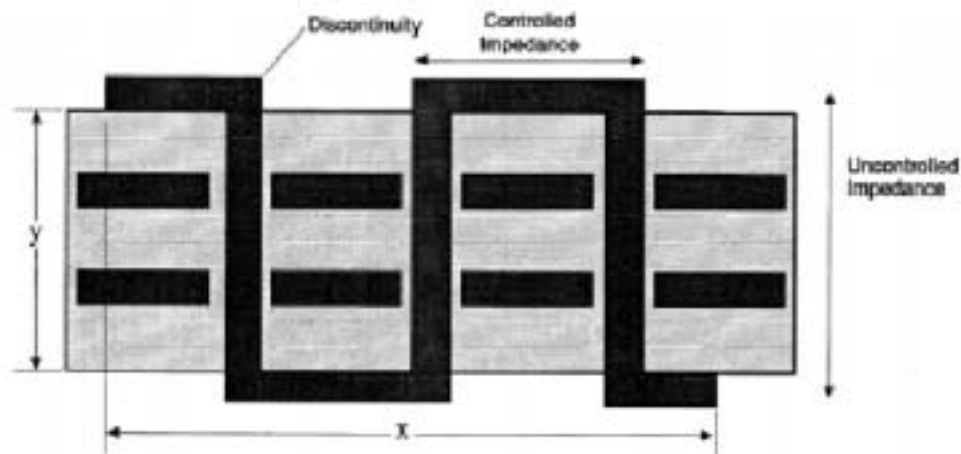
c)



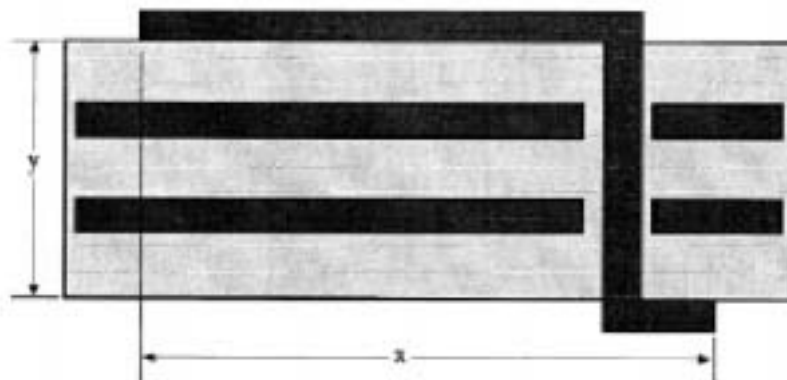
d)

# 布线技巧

## ■ 减少过孔



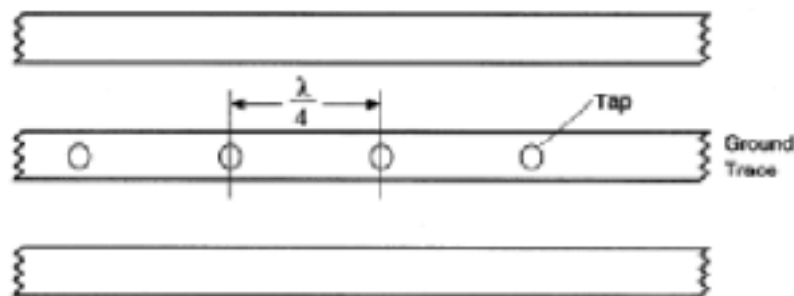
a)



b)

# 布线技巧

- 在一些对干扰十分敏感的信号线之间设置一根接地的印制线，可以有效地抑制串扰，地过孔间隔为1/4波长



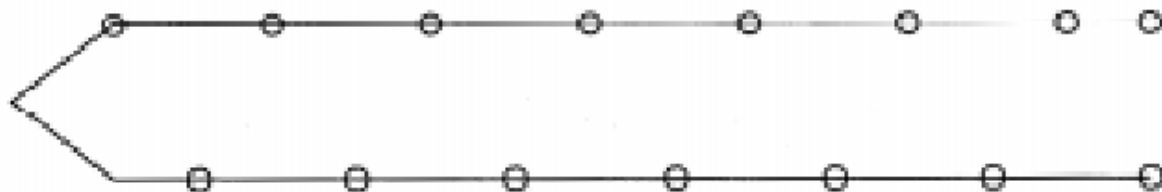
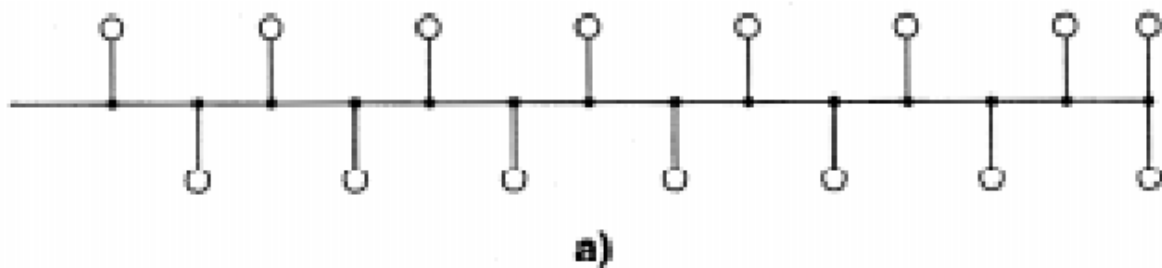
$$t_R = 1.25 \text{ ns (possible for PAL16R8-4 devices).}$$

$$f_{MAX} = \frac{1}{1.25 \text{ ns} \cdot \pi} \\ = 255 \text{ MHz}$$

$$\lambda = \frac{1}{255 \text{ MHz}} \cdot \frac{1}{4.14 \frac{\text{ns}}{\text{ft}}} \cdot \frac{12 \text{ in}}{\text{ft}} \\ = 11.4 \text{ in} \\ \lambda/4 = \frac{11.4}{4} \\ = 2.8 \text{ in}$$

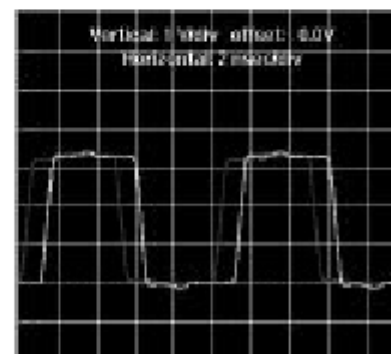
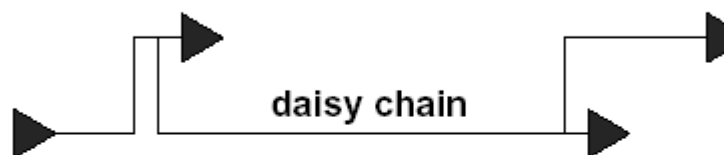
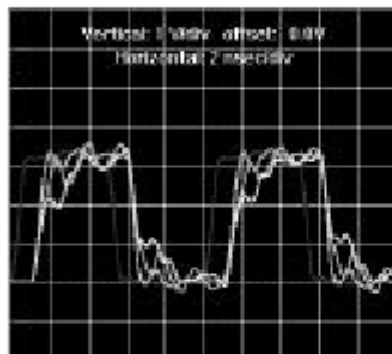
# 布线技巧

## ■ 避免长尺寸的STUB



# 布线技巧

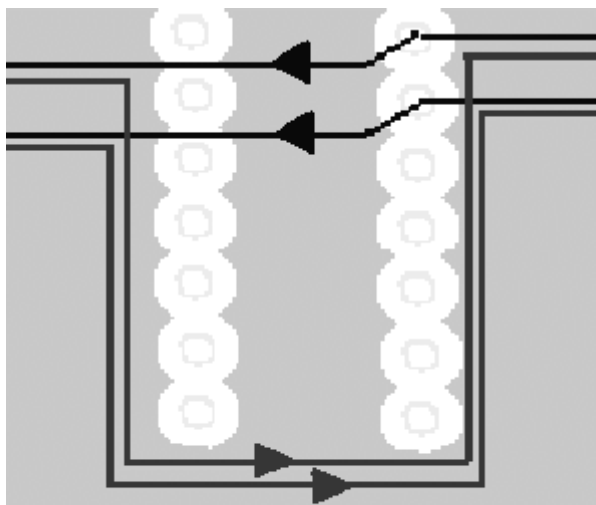
## ■ 避免长尺寸的STUB



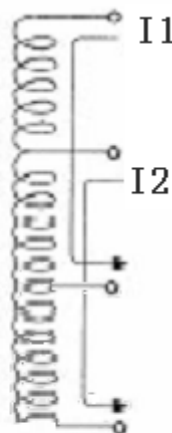
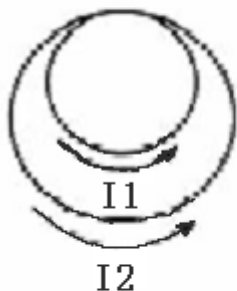
(for 0.5 nsec edges, stub length < 0.5 inches)

# 布线技巧

## ■ 避免信号沿公共路径回流

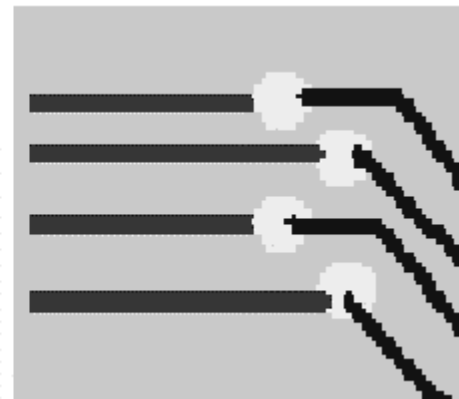


过孔安全间距过大，破坏地平面



不合理的布线，破坏地平面

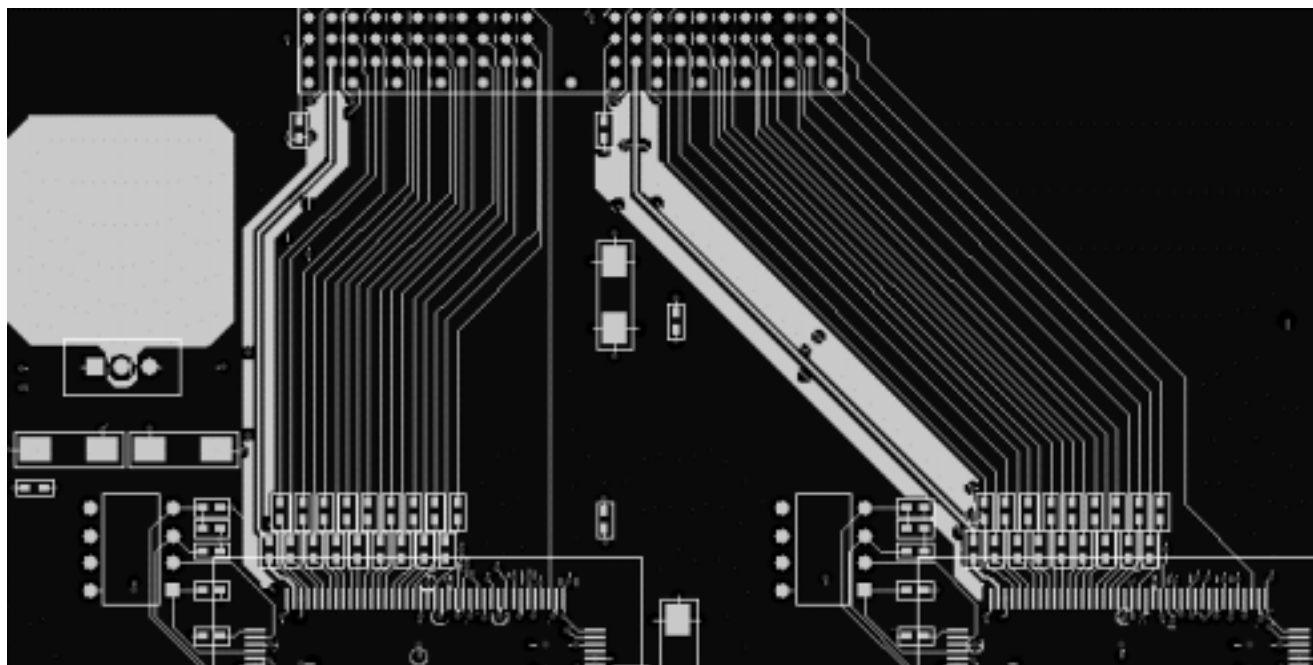
避免信号返回线路共享共同的路径这种情况





# 高频时钟

- 高频时钟（上升沿少于2ns的时钟）必须有地线护送。
- 发送侧串接22欧姆阻尼电阻。
- 采用点对点连接，不打过孔，走线平滑。



# 蛇行线的布线规则

- 蛇行线的作用一般是用来匹配长度和延时的
- 蛇行线带来的一些问题：线间耦合；增加了传输延时；阻抗的改变。
- 蛇平行区域的间距至少为 $3H \sim 4H$ 。这样就可以使平行区域间的耦合最小化
- 时钟信号尽量不要进行弯曲绕线，如需要绕线，尽量满足上面的规则。

# 高速差分信号的布线规则

- 走线尽量短、尽量走直线
- 走线尽量宽,以减小高频的趋肤效应
- + 信号和 - 信号严格等长
- 如无必要尽量不用过孔
- 高速差分信号走线距其他走线、过孔、pin脚应保证3W原则
- 走线尽量不跨分割
- 在设计阻抗的时候, 尽量设计成紧耦合(2W)

# 其它

- 时钟信号引线最容易产生电磁辐射干扰，走线时应与地线回路相靠近，驱动器应紧挨着连接器。
- 总线驱动器应紧挨其欲驱动的总线。对于那些离开印制电路板的引线，驱动器应紧紧挨着连接器。
- 元件引脚尽量短，去耦电容引脚尽量短。
- 石英晶体下面以及对噪声敏感的器件下面不要走线
- 闲置不用的门电路输入端不要悬空，闲置不用的运放正输入端接地，负输入端接输出端。
- 布线无线头,无孤立铜皮
- 散热器接地处理