



中国电子学会

高速电路信号完整性 分析与设计—PCB设计-1

2008-08-08

叠层

多层印制板分层及堆叠中应遵循的基本原则；

- 电源平面应尽量靠近接地平面。
- 布线层应安排与映像平面层相邻。
- 重要信号线应紧临地层。

叠层：二层板

二层板，此板仅能用于低速设计，EMC比较差。

叠层：四层板

四层板

	第一层	第二层	第三层	第四层
A	GND	S1+POWER	S2+POWER	GND
B	SIG1	GND	POWER	SIG2
C	GND	S1	S2	POWER

叠层：四层板

情况A:

应当是四层板中最好的一种情况。因为外层是地层，对EMI有屏蔽作用，同时电源层同地层也可靠得很近，使得电源内阻较小，取得最佳效果。但第一种情况不能用于当本板密度比较大的情况，不能保证第一层地的完整性，这样第二层信号会变得更差。

另外，此种结构也不能用于全板功耗比较大的情况。

叠层：四层板

表中的第二种情况，是平时最常用的一种方式。从板的结构上，也不适用于高速数字电路设计。因为在这种结构中，不易保持低电源阻抗。以一个板2毫米为例：要求特征阻抗 $Z_0=50\Omega$ 。以线宽为8mil.铜箔厚为35 μm 。这样信号一层与地层中间是0.14mm。而地层与电源层为1.58mm。这样就大大的增加了电源的阻抗。在此种结构中,由于辐射是向空间的，需加屏蔽板，才能减少EMC。

叠层：四层板

表中第三种情况，S1层上信号线质量最好，S2次之。对EMI有屏蔽作用，但电源阻抗较大。实际布线中应注意S1同S2布线应正交。

叠层：六层板

	第一层	第二层	第三层	第四层	第五层	第六层
A	S1	GND	S2	S3	POWER	S4
B	S1	S2	GND	POWER	S3	S4
C	S1	GND	S2	POWER	GND	S3
D	GND	S1	POWER	GND	S2	GND

叠层：六层板

A种情况，是常见的方式之一，S1是比较好的布线层。S2次之。但电源平面阻抗较差。布线时应注意S2对S3层的影响。

B种情况，S2层为好的布线层，S3层次之。电源平面阻抗较好。

C种情况，这种情况是六层板中最好的情况，S1，S2，S3都是好的布线层。电源平面阻抗较好。美中不足的是布线层同前两种情况少了一层。

D种情况，在六层板中，性能虽优于前三种，但布线层少于前两种。此种情况多在背板中使用。

叠层：八层板

	第一层	第二层	第三层	第四层	第五层	第六层	第七层	第八层
A	S1	S2	GND	S3	S4	POWER	S5	S6
B	S1	S2	S3	GND	POWER	S4	S5	S6
C	S1	GND	S2	S3	S4	S5	POWER	S6
D	S1	GND	S2	S3	GND	POWER	S4	S5
E	S1	GND	S2	GND	S3	POWER	S4	S5
F	S1	GND	S2	GND	POWER	S3	GND	S4

叠层：八层板

八层板，如果要有6个信号层，以A种情况为最好。但此种排列不宜用于高速数字电路设计。如果是5个信号层，以E种情况为最好。在这种情况下，S1，S2，S3都是比较好的布线层。同时电源平面阻抗也比较低。如果是4个信号层，以表三中F种情况为最好。每个信号层都是良好布线层。在这几种情况中，相邻信号层应布线。

叠层：十层板

	第一层	第二层	第三层	第四层	第五层	第六层	第七层	第八层	第九层	第十层
A	S1	GND	S2	S3	GND	POWER	S4	S5	GND	S6
B	S1	GND	S2	GND	S3	POWER	S4	S5	GND	S6
C	S1	GND	POWER	S2	S3	GND	S4	S5	GND	S6
D	S1	GND	S2	GND	S3	GND	POWER	S4	GND	S5
E	S1	GND	S2	S3	GND	POWER	S4	GND	S5	GND
F	GND	S1	S2	GND	S3	S4	GND	POWER	S5	GND

叠层：十层板

十层板如果有6个信号层，有A，B，C三种叠层顺序。A种情况为最好，C种次之，B种情况最差。其它没有列出的情况，比这几种情况更差。在A种情况中，S1，S6是比较好的布线层。S2，S3，S5次之。这中间要特别指出的是，A同C，A种情况之所以好于C种情况，主要原因是因为在C种情况中，GND层同POWER层的距离是由S5同GND层距离决定的。这样就不一定能保证GND层同POWER层的电源平面阻抗最小。D种情况应当说是十层板中综合性能最好的叠层顺序。每个信号层都是优良的布线层。E、F多用于背板。其中F种情况对EMC的屏蔽作用要好于E。不足之处是在于两信号层相接，在布线上要注意。

供电系统设计

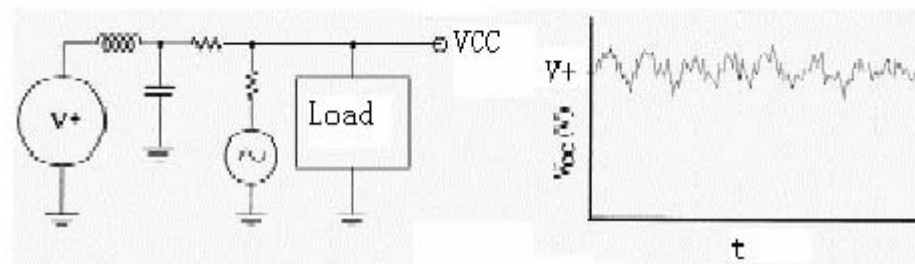
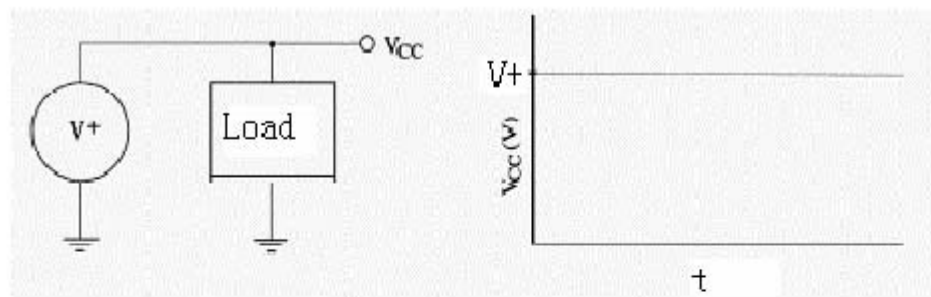
在高速电路板设计中最重要考虑就是电源的分配系统的设计。电源分配系统必须为低噪声的电路板上各部分的电路提供一个低噪声的电源，包括电源和地。需要注意的是，对于交流信号，电源就是地。电源分配系统还必须为电路板上的信号提供一个信号回路。

供电系统设计

理想的电源的阻抗是0，这样可以证电源端的电压和负载端的电压一致

但实际的电源，它具有一定的阻抗，分别以电阻、电感、电容的形式表示，因此噪声将叠加在电源上。

设计的目标就是尽可能减小电源分配网络的阻抗，同时尽量滤除噪声。



供电系统设计：低阻抗通路

- （尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线 > 电源线 > 信号线
- 尽量采用多层板，电源，地线各占用一层。
- 在电（地）层上进行布线，首先应考虑用电源层，其次才是地层，最好是保留地层的完整性。

供电系统设计：去耦电容

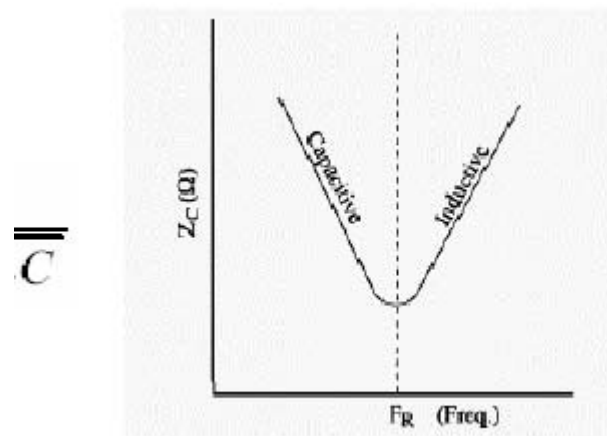
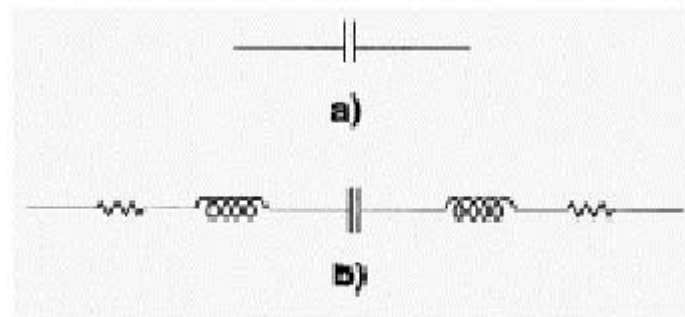
滤除噪声的有效方法是使用滤波电容。

去耦电容有两个作用：一方面是本集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能；另一方面旁路掉该器件的高频噪声。

电路噪声的滤波：去耦电容

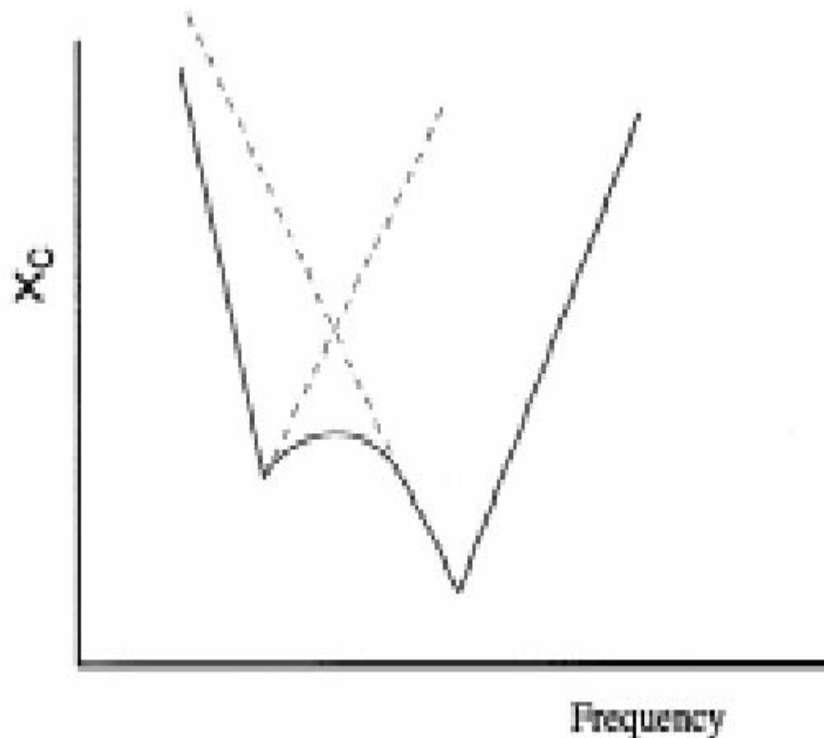
需要注意的是，理想电容和实际电容的区别，实际电容在除电容因素外还包括了等效串连电感和等效串连电阻

实际电容低于FR的频率呈现容性，而在高于FR的频率上则呈现感性，所以电容更像是一个带阻滤波器，而不是一个低通（阻高频）滤波器



电路噪声的滤波：去耦电容

数字电路中典型的去耦电容为0.1 μ f的去耦电容有5nH分布电感，它的并行共振频率大约在7MHz左右，也就是说对于10MHz以下的噪声有较好的去耦作用，对40MHz以上的噪声几乎不起作用。1 μ f，10 μ f电容，并行共振频率在20MHz以上，去除高频率噪声的效果要好一些。



去耦电容的选取

好的高频去耦电容可以去除高到1GHZ的高频成份。陶瓷片电容或多层陶瓷电容的高频特性较好。

去耦电容值的选取并不严格，可按 $C=1/f$ 计算；即10MHz取0.1uf，对微控制器构成的系统，取0.1~0.01uf之间都可以。

Type	Range of Interest	Application
Electrolytic	1 μ F to > 20 μ F	Commonly used at power-supply connection on board.
Glass-Encapsulated Ceramic	0.01 μ F to 0.1 μ F	Used as bypass capacitor at the chip. Also often placed in parallel with electrolytic to widen the filter bandwidth and increase the rejection band.
Ceramic-Chip	0.01 μ F to 0.1 μ F	Primarily used at the chip. Also useful where low profile is important.
C0G	< 0.1 μ F	Bypass for noise-sensitive devices. Often used in parallel with another ceramic chip to increase rejection band.

去耦电容的配置

- 电源输入端跨接一个 $10 \sim 100\mu\text{F}$ 的电解电容器，如果印制电路板的位置允许，采用 $100\mu\text{F}$ 以上的电解电容器的抗干扰效果会更好。
- 为每个集成电路芯片配置一个 $0.01\mu\text{F}$ 的陶瓷电容器。
- 每10片左右的集成电路要加一片充放电电容，或称为蓄放电电容，电容大小可选 $10\mu\text{f}$ ，一般为钽电解电容器。

去耦电容的配置

去耦电容的引线不能过长，特别是高频旁路电容不能带引线。

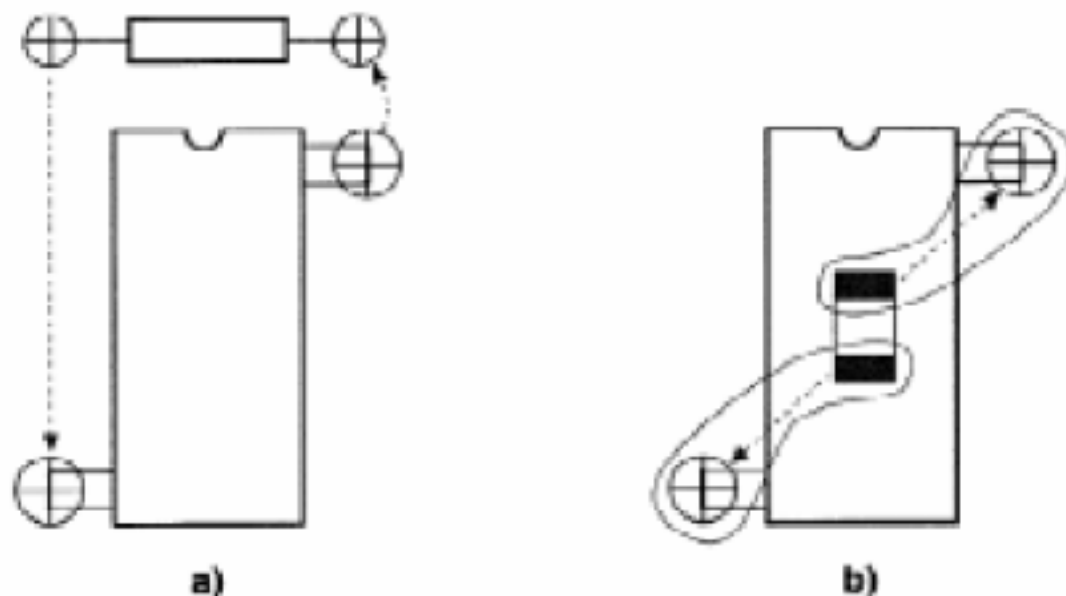
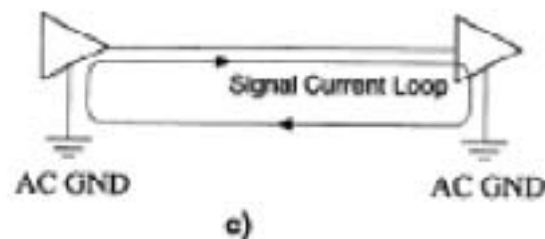
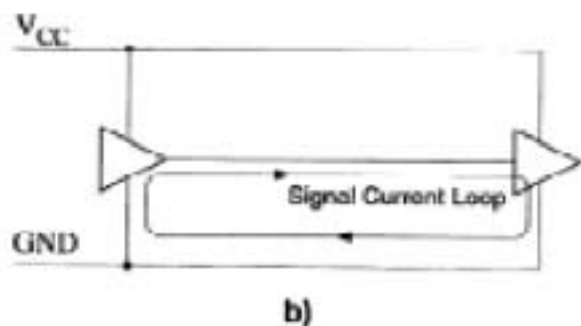
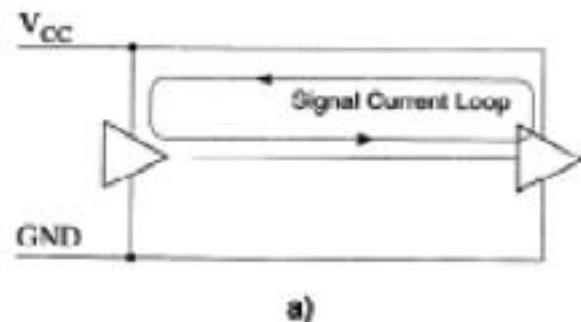


Figure 8. a) Typical Placement of Bypass Capacitors;
b) Preferred Placement of Bypass Capacitors

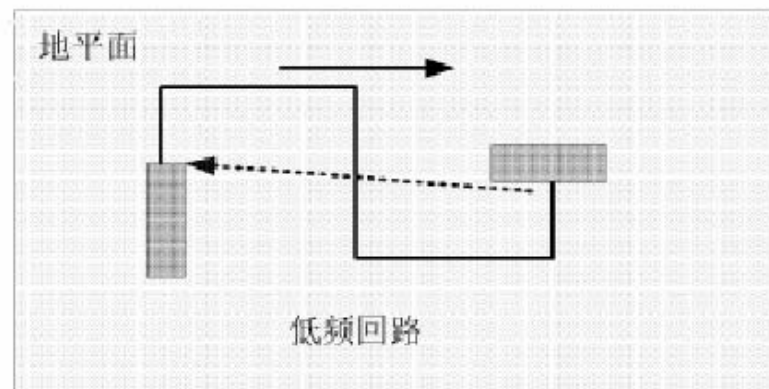
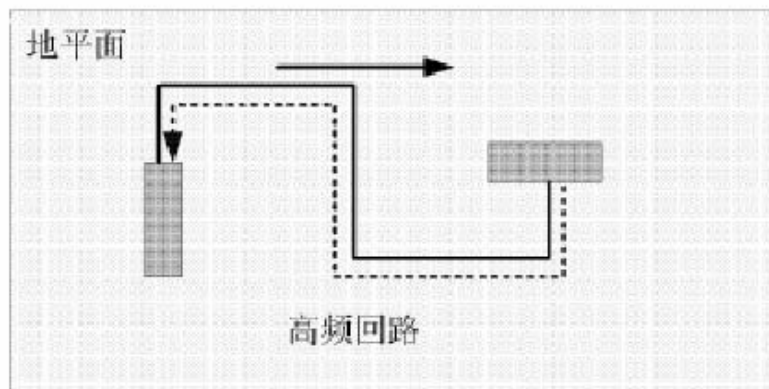
回流问题

传输线的返回路径不再使用“地”这个词：通常我们会将传输线的返路径当作地线，在信号完整性设计过程中，我们应当习惯寻找信号的返回路径而不是去寻找信号的地。



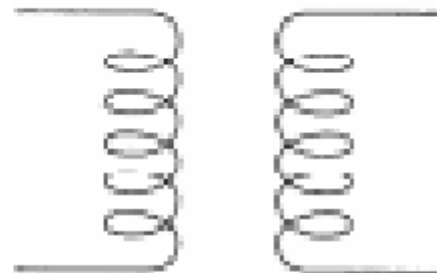
回流问题

在低频时，返回路径是电阻最小的路径；高频电流总是选择阻抗最小(电感最低)，直接位于信号下方的路径，因此返回电流会流过邻近的电路层，而无论这个临近层是电源层还是地线层。



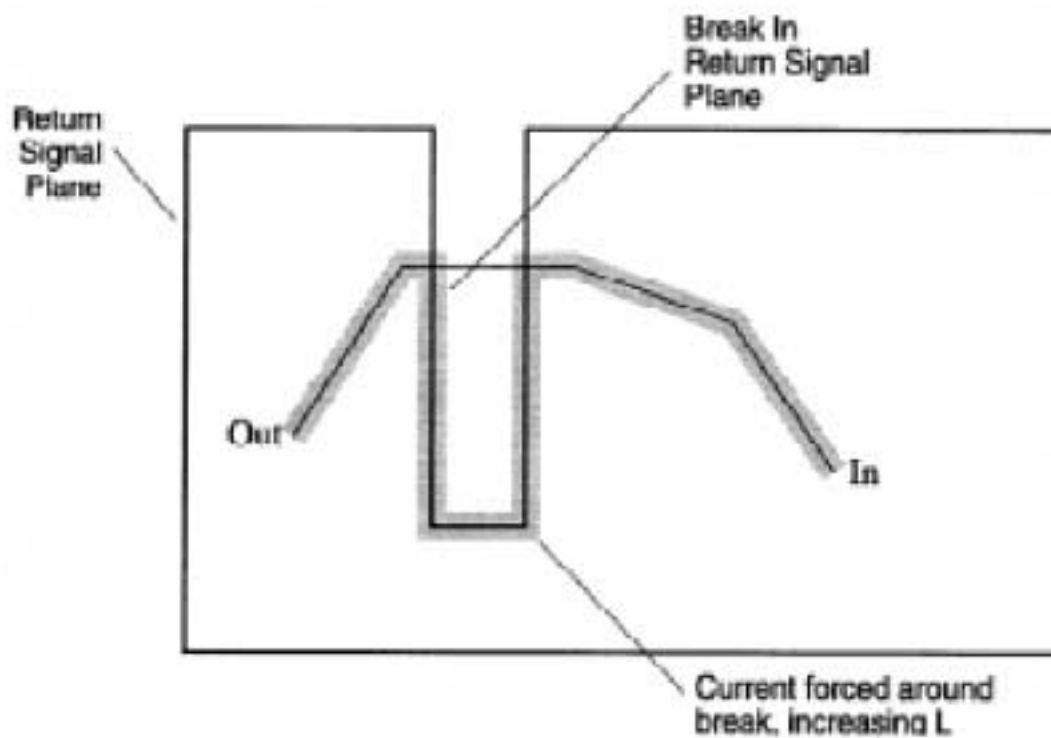
回流问题

环路最小原则，即信号线与其回路构成的环路面积要尽可能小，环面积越小，对外的辐射越小，接收外界的干扰也越小。

 i_1  i_2 **a)****b)**

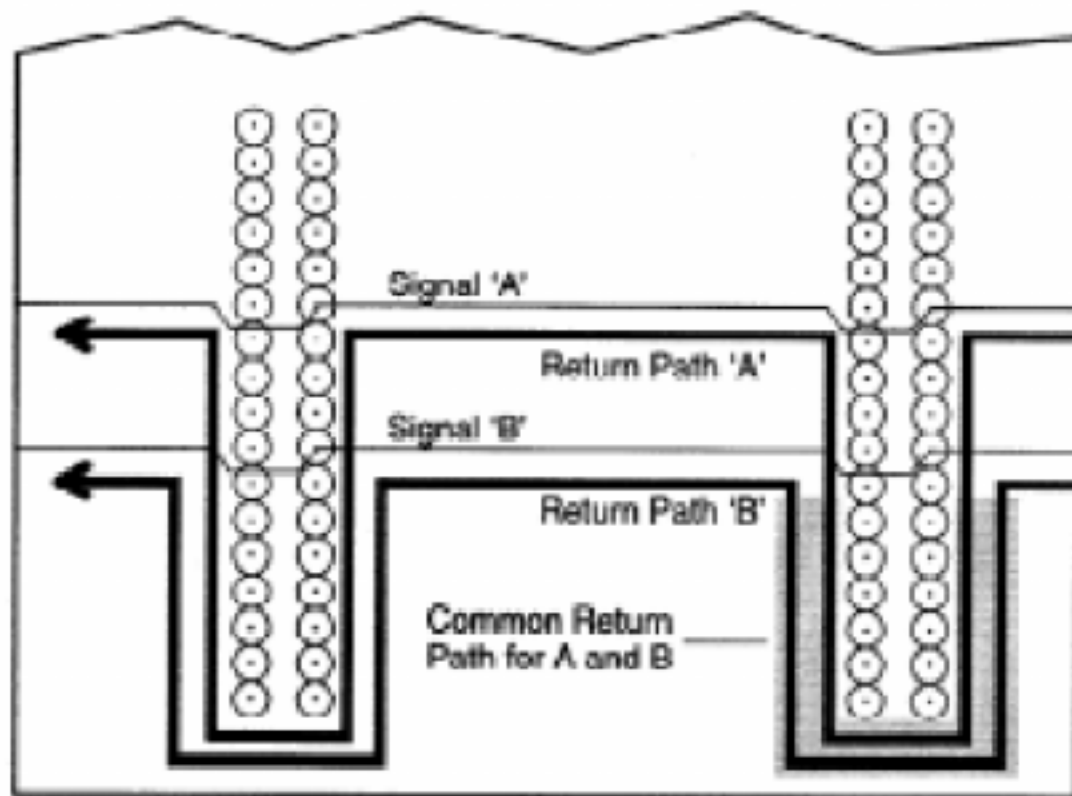
回流问题

不要跨分割走线：跨分割走线使得环路面积增大，容易受到干扰和干扰其它器件



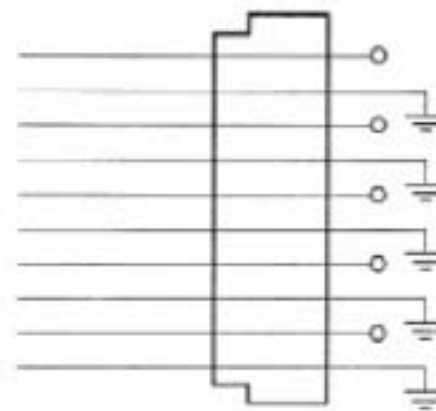
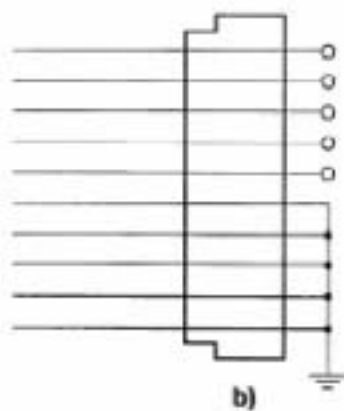
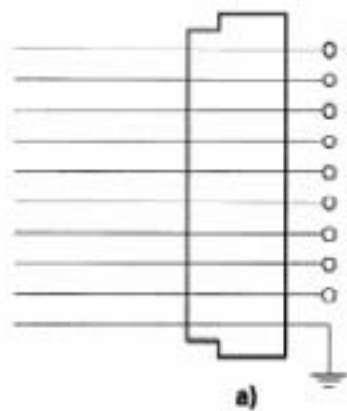
回流应对措施

应用过孔排时，需要注意是否造成镜像平面的断裂；



回流应对措施

接插件信号布置时考虑安排参考地：每个信号安排一个回流地



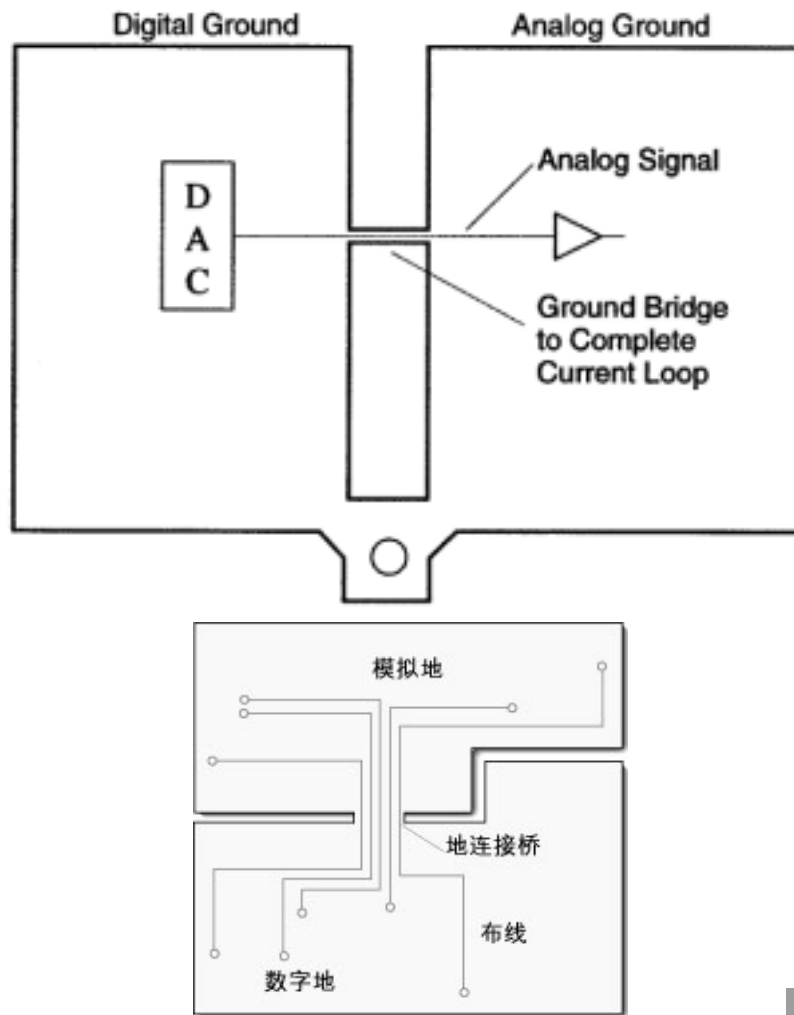
回流应对措施

数字电路的频率高，模拟电路的敏感度强，所以需要考虑将混合信号电路板上的数字地和模拟地分割开，采用跳线或0欧姆电阻将分割地连接在一起。

注意分区和布线，确保在所有的层上没有数字信号线位于模拟部分之上，也没有任何模拟信号线位于数字部分之上。

回流应对措施

对于分割之间的间隙布线，可以先在被分割的地之间进行单点连接，形成两个地之间的连接桥，然后通过该连接桥布线。这样，在每一个信号线的下方都能够提供一个直接的电流回流路径，从而使形成的环路面积很小。



回流应对措施

采用光隔离器件或变压器也能实现信号跨越分割间隙。对于前者，跨越分割间隙的是光信号；在采用变压器的情况下，跨越分割间隙的是磁场。还有一种可行的办法是采用差分信号：信号从一条线流入从另外一条信号线返回，这种情况下，不需要地作为回流路径。