

高速 PCB 设计指南之一

第一篇 PCB 布线

在 PCB 设计中，布线是完成产品设计的重要步骤，可以说前面的准备工作都是为它而做的，在整个 PCB 中，以布线的设计过程限定最高，技巧最细、工作量最大。PCB 布线有单面布线、双面布线及多层布线。布线的方式也有两种：自动布线及交互式布线，在自动布线之前，可以用交互式预先对要求比较严格的线进行布线，输入端与输出端的边线应避免相邻平行，以免产生反射干扰。必要时应加地线隔离，两相邻层的布线要互相垂直，平行容易产生寄生耦合。

自动布线的布通率，依赖于良好的布局，布线规则可以预先设定，包括走线的弯曲次数、导通孔的数目、步进的数目等。一般先进行探索式布经线，快速地把短线连通，然后进行迷宫式布线，先把要布的连线进行全局的布线路径优化，它可以根据需要断开已布的线。并试着重新再布线，以改进总体效果。

对目前高密度的 PCB 设计已感觉到贯通孔不太适应了，它浪费了许多宝贵的布线通道，为解决这一矛盾，出现了盲孔和埋孔技术，它不仅完成了导通孔的作用，还省出许多布线通道使布线过程完成得更加方便，更加流畅，更为完善，PCB 板的设计过程是一个复杂而又简单的过程，要想很好地掌握它，还需广大电子工程设计人员去自己体会，才能得到其中的真谛。

1 电源、地线的处理

既使在整个 PCB 板中的布线完成得都很好，但由于电源、地线的考虑不周到而引起的干扰，会使产品的性能下降，有时甚至影响到产品的成功率。所以对电、地线的布线要认真对待，把电、地线所产生的噪音干扰降到最低限度，以保证产品的质量。

对每个从事电子产品设计的工程人员来说都明白地线与电源线之间噪音所产生的原因，现只对降低式抑制噪音作以表述：

- (1)、众所周知的是在电源、地线之间加上耦合电容。
- (2)、尽量加宽电源、地线宽度，最好是地线比电源线宽，它们的关系是：地线 > 电源线 > 信号线，通常信号线宽为：0.2 ~ 0.3mm, 最细宽度可达 0.05 ~ 0.07mm, 电源线为 1.2 ~ 2.5 mm 对数字电路的 PCB 可用宽的地导线组成一个回路，即构成一个地网来使用（模拟电路的地不能这样使用）。
- (3)、用大面积铜层作地线用，在印制板上把没被用上的地方都与地相连接作为地线用。或是做成多层板，电源，地线各占用一层。

2 数字电路与模拟电路的共地处理

现在有许多 PCB 不再是单一功能电路（数字或模拟电路），而是由数字电路和模拟电路混合构成的。因此在布线时就需要考虑它们之间互相干扰问题，特别是地线上的噪音干扰。

数字电路的频率高，模拟电路的敏感度强，对信号线来说，高频的信号线尽可能远离敏感的模拟电路器件，对地线来说，整人 PCB 对外界只有一个结点，所以必须在 PCB 内部进行处理数、模共地的问题，而在板内部数字地和模拟地实际上是分开的它们之间互不相连，只是在 PCB 与外界连接的接口处（如插头等）。数字地与模拟地有一点短接，请注意，只有一个连接点。也有在 PCB 上不共地的，这由系统设计来决定。

3 信号线布在电（地）层上

在多层印制板布线时，由于在信号线层没有布完的线剩下已经不多，再多加层数就会造成浪费也会给生产增加一定的工作量，成本也相应增加了，为解决这个矛盾，可以考虑在电（地）层上进行布线。首先应考虑用电源层，其次才是地层。因为最好是保留地层的完整性。

4 大面积导体中连接腿的处理

在大面积的接地（电）中，常用元器件的腿与其连接，对连接腿的处理需要进行综合的考虑，就电气性能而言，元件腿的焊盘与铜面满接为好，但对元件的焊接装配就存在一些不良隐患如：焊接需要大功率加热器。容易造成虚焊点。所以兼顾电气性能与工艺需要，做成十字花焊盘，称之为热隔离（heat shield）俗称热焊盘（Thermal），这样，可使在焊接时因截面过分散热而产生虚焊点的可能性大大减少。多层板的接电（地）层腿的处理相同。

5 布线中网络系统的作用

在许多 CAD 系统中，布线是依据网络系统决定的。网格过密，通路虽然有所增加，但步进太小，图场的数据量过大，这必然对设备的存储空间有更高的要求，同时也对象计算机类电子产品的运算速度有极大的影响。而有些通路是无效的，如被元件腿的焊盘占用的或被安装孔、定位孔所占用的等。网格过疏，通路太少对布通率的影响极大。所以要有一个疏密合理的网格系统来支持布线的进行。

标准元器件两腿之间的距离为 0.1 英寸 (2.54mm)，所以网格系统的基础一般就定为 0.1 英寸 (2.54 mm) 或小于 0.1 英寸的整倍数，如：0.05 英寸、0.025 英寸、0.02 英寸等。

6 设计规则检查（DRC）

布线设计完成后，需认真检查布线设计是否符合设计者所制定的规则，同时也需确认所制定的规则是否符合印制板生产工艺的需求，一般检查有如下几个方面：

- （1）、线与线，线与元件焊盘，线与贯通孔，元件焊盘与贯通孔，贯通孔与贯通孔之间的距离是否合理，是否满足生产要求。
- （2）、电源线和地线的宽度是否合适，电源与地线之间是否紧耦合（低的波阻抗）？在 PCB 中是否还有能让地线加宽的地方。
- （3）、对于关键的信号线是否采取了最佳措施，如长度最短，加保护线，输入线及输出线被明显地分开。
- （4）、模拟电路和数字电路部分，是否有各自独立的地线。
- （5）后加在 PCB 中的图形（如图标、注标）是否会造成信号短路。
- （6）对一些不理想的线形进行修改。
- （7）、在 PCB 上是否加有工艺线？阻焊是否符合生产工艺的要求，阻焊尺寸是否合适，字符标志是否压在器件焊盘上，以免影响电装质量。
- （8）、多层板中的电源地层的外框边缘是否缩小，如电源地层的铜箔露出板外容易造成短路。

第二篇 PCB 布局

在设计中，布局是一个重要的环节。布局结果的好坏将直接影响布线的效果，因此可以这样认为，合理的布局是 PCB 设计成功的第一步。

布局的方式分两种，一种是交互式布局，另一种是自动布局，一般是在自动布局的基础上用交互式布局进行调整，在布局时还可根据走线的情况对门电路进行再分配，将两个门电路进行交换，使其成为便于布线的最佳布局。在布局完成后，还可对设计文件及有关信息进行返回标注于原理图，使得 PCB 板中的有关信息与原理图相一致，以便在今后的建档、更改设计能同步起来，同时对模拟的有关信息进行更新，使得能对电路的电气性能及功能进行板级验证。

--考虑整体美观

一个产品的成功与否，一是要注重内在质量，二是兼顾整体的美观，两者都较完美才能认为该产品是成功的。

在一个 PCB 板上，元件的布局要求要均衡，疏密有序，不能头重脚轻或一头沉。

--布局的检查

印制板尺寸是否与加工图纸尺寸相符？能否符合 PCB 制造工艺要求？有无定位标记？

元件在二维、三维空间上是否有冲突？

元件布局是否疏密有序，排列整齐？是否全部布完？

需经常更换的元件能否方便的更换？插件板插入设备是否方便？

热敏元件与发热元件之间是否有适当的距离？

调整可调元件是否方便？

在需要散热的地方，装了散热器没有？空气流是否通畅？

信号流程是否顺畅且互连最短？

插头、插座等与机械设计是否矛盾？

线路的干扰问题是否有所考虑？

第三篇 高速 PCB 设计

(一)、电子系统设计所面临的挑战

随着系统设计复杂性和集成度的大规模提高，电子系统设计师们正在从事 100MHz 以上的电路设计，总线的工作频率也已经达到或者超过 50MHz，有的甚至超过 100MHz。目前约 50% 的设计的时钟频率超过 50MHz，将近 20% 的设计主频超过 120MHz。

当系统工作在 50MHz 时，将产生传输线效应和信号的完整性问题；而当系统时钟达到 120MHz 时，除非使用高速电路设计知识，否则基于传统方法设计的 PCB 将无法工作。因此，高速电路设计技术已经成为电子系统设计师必须采取的设计手段。只有通过使用高速电路设计师的设计技术，才能实现设计过程的可控性。

(二)、什么是高速电路

通常认为如果数字逻辑电路的频率达到或者超过 45MHz~50MHz，而且工作在这个频率之上的电路已经占到了整个电子系统一定的份量（比如说 1 / 3），就称为高速电路。

实际上，信号边沿的谐波频率比信号本身的频率高，是信号快速变化的上升沿与下降沿（或称信号的跳变）引发了信号传输的非预期结果。因此，通常约定如果线传播延时大于 1/2 数字信号驱动端的上升时间，则认为此类信号是高速信号并产生传输线效应。

信号的传递发生在信号状态改变的瞬间，如上升或下降时间。信号从驱动端到接收端经过一段固定的时间，如果传输时间小于 1/2 的上升或下降时间，那么来自接收端的反射信号将在信号改变状态之前到达驱动端。反之，反射信号将在信号改变状态之后到达驱动端。如果反射信号很强，叠加的波形就有可能改变逻辑状态。

(三)、高速信号的确定

上面我们定义了传输线效应发生的前提条件，但是如何得知线延时是否大于 1/2 驱动端的信号上升时间？一般地，信号上升时间的典型值可通过器件手册给出，而信号的传播时间在 PCB 设计中由实际布线长度决定。下图为信号上升时间和允许的布线长度（延时）的对应关系。

PCB 板上每单位英寸的延时为 0.167ns。但是，如果过孔多，器件管脚多，网线上设置的约束多，延时将增大。通常高速逻辑器件的信号上升时间大约为 0.2ns。如果板上有 GaAs 芯片，则最大布线长度为 7.62mm。

设 T_r 为信号上升时间， T_{pd} 为信号线传播延时。如果 $T_r \geq 4T_{pd}$ ，信号落在安全区域。如果 $2T_{pd} \leq T_r < 4T_{pd}$ ，信号落在不确定区域。如果 $T_r < 2T_{pd}$ ，信号落在问题区域。对于落在不确定区域及问题区域的信号，应该使用高速布线方法。

(四)、什么是传输线

PCB 板上的走线可等效为下图所示的串联和并联的电容、电阻和电感结构。串联电阻的典型值 0.25-0.55 ohms/foot，因为绝缘层的缘故，并联电阻阻值通常很高。将寄生电阻、电容和电感加到实际的 PCB 连线中之后，连线上的最终阻抗称为特征阻抗 Z_0 。线径越宽，距电源/地越近，或隔离层的介电常数越高，特征阻抗就越小。如果传输线和接收端的阻抗不匹配，那么输出的电流信号和信号最终的稳定状态将不同，这就引起信号在接收端产生反

射，这个反射信号将传回信号发射端并再次反射回来。随着能量的减弱反射信号的幅度将减小，直到信号的电压和电流达到稳定。这种效应被称为振荡，信号的振荡在信号的上升沿和下降沿经常可以看到。

（五）、传输线效应

基于上述定义的传输线模型，归纳起来，传输线会对整个电路设计带来以下效应。

- 反射信号 Reflected signals
- 延时和时序错误 Delay & Timing errors
- 多次跨越逻辑电平门限错误 False Switching
- 过冲与下冲 Overshoot/Undershoot
- 串扰 Induced Noise (or crosstalk)
- 电磁辐射 EMI radiation

5.1 反射信号

如果一根走线没有被正确终结（终端匹配），那么来自于驱动端的信号脉冲在接收端被反射，从而引发不预期效应，使信号轮廓失真。当失真变形非常显著时可导致多种错误，引起设计失败。同时，失真变形的信号对噪声的敏感性增加了，也会引起设计失败。如果上述情况没有被足够考虑，EMI 将显著增加，这就不单单影响自身设计结果，还会造成整个系统的失败。

反射信号产生的主要原因：过长的走线；未被匹配终结的传输线，过量电容或电感以及阻抗失配。

5.2 延时和时序错误

信号延时和时序错误表现为：信号在逻辑电平的高与低门限之间变化时保持一段时间信号不跳变。过多的信号延时可能导致时序错误和器件功能的混乱。

通常在有多个接收端时会出现问题。电路设计师必须确定最坏情况下的时间延时以确保设计的正确性。信号延时产生的原因：驱动过载，走线过长。

5.3 多次跨越逻辑电平门限错误

信号在跳变的过程中可能多次跨越逻辑电平门限从而导致这一类型的错误。多次跨越逻辑电平门限错误是信号振荡的一种特殊的形式，即信号的振荡发生在逻辑电平门限附近，多次跨越逻辑电平门限会导致逻辑功能紊乱。反射信号产生的原因：过长的走线，未被终结的传输线，过量电容或电感以及阻抗失配。

5.4 过冲与下冲

过冲与下冲来源于走线过长或者信号变化太快两方面的原因。虽然大多数元件接收端有输入保护二极管保护，但有时这些过冲电平会远远超过元件电源电压范围，损坏元器件。

5.5 串扰

串扰表现为在一根信号线上有信号通过时，在 PCB 板上与之相邻的信号线上就会感应出相关的信号，我们称之为串扰。

信号线距离地线越近，线间距越大，产生的串扰信号越小。异步信号和时钟信号更容易产生串扰。因此解串扰的方法是移开发生串扰的信号或屏蔽被严重干扰的信号。

5.6 电磁辐射

EMI(Electro-Magnetic Interference) 即电磁干扰, 产生的问题包含过量的电磁辐射及对电磁辐射的敏感性两方面。EMI 表现为当数字系统加电运行时, 会对周围环境辐射电磁波, 从而干扰周围环境中电子设备的正常工作。它产生的主要原因是电路工作频率太高以及布局布线不合理。目前已有进行 EMI 仿真的软件工具, 但 EMI 仿真器都很昂贵, 仿真参数和边界条件设置又很困难, 这将直接影响仿真结果的准确性和实用性。最通常的做法是将控制 EMI 的各项设计规则应用在设计的每一环节, 实现在设计各环节上的规则驱动和控制。

(六)、避免传输线效应的方法

针对上述传输线问题所引入的影响, 我们从以下几方面谈谈控制这些影响的方法。

6.1 严格控制关键网线的走线长度

如果设计中有高速跳变的边沿, 就必须考虑到在 PCB 板上存在传输线效应的问题。现在普遍使用的很高时钟频率的快速集成电路芯片更是存在这样的问题。解决这个问题有一些基本原则: 如果采用 CMOS 或 TTL 电路进行设计, 工作频率小于 10MHz, 布线长度应不大于 7 英寸。工作频率在 50MHz 布线长度应不大于 1.5 英寸。如果工作频率达到或超过 75MHz 布线长度应在 1 英寸。对于 GaAs 芯片最大的布线长度应为 0.3 英寸。如果超过这个标准, 就存在传输线的问题。

6.2 合理规划走线的拓扑结构

解决传输线效应的另一个方法是选择正确的布线路径和终端拓扑结构。走线的拓扑结构是指一根网线的布线顺序及布线结构。当使用高速逻辑器件时, 除非走线分支长度保持很短, 否则边沿快速变化的信号将被信号主干走线上的分支走线所扭曲。通常情形下, PCB 走线采用两种基本拓扑结构, 即菊花链 (Daisy Chain) 布线和星形 (Star) 分布。

对于菊花链布线, 布线从驱动端开始, 依次到达各接收端。如果使用串联电阻来改变信号特性, 串联电阻的位置应该紧靠驱动端。在控制走线的高次谐波干扰方面, 菊花链布线效果最好。但这种布线方式布通率最低, 不容易 100% 布通。实际设计中, 我们是使菊花链布线中分支长度尽可能短, 安全的长度值应该是: $\text{Stub Delay} \leq \text{Trt} * 0.1$ 。

例如, 高速 TTL 电路中的分支端长度应小于 1.5 英寸。这种拓扑结构占用的布线空间较小并可用单一电阻匹配终结。但是这种走线结构使得在不同的信号接收端信号的接收是不同步的。

星形拓扑结构可以有效的避免时钟信号的不同步问题, 但在密度很高的 PCB 板上手工完成布线十分困难。采用自动布线器是完成星型布线的最好的方法。每条分支上都需要终端电阻。终端电阻的阻值应和连线的特征阻抗相匹配。这可通过手工计算, 也可通过 CAD 工具计算出特征阻抗值和终端匹配电阻值。

在上面的两个例子中使用了简单的终端电阻, 实际中可选择使用更复杂的匹配终端。第一种选择是 RC 匹配终端。RC 匹配终端可以减少功率消耗, 但只能使用于信号工作比较稳定的情况。这种方式最适合于对时钟线信号进行匹配处理。其缺点是 RC 匹配终端中的电容可能影响信号的形状和传播速度。

串联电阻匹配终端不会产生额外的功率消耗, 但会减慢信号的传输。这种方式用于时间延迟影响不大的总线驱动电路。串联电阻匹配终端的优势还在于可以减少板上器件的使用数量和连线密度。

最后一种方式为分离匹配终端, 这种方式匹配元件需要放置在接收端附近。其优点是不

会拉低信号，并且可以很好的避免噪声。典型的用于 TTL 输入信号 (ACT, HCT, FAST)。

此外，对于终端匹配电阻的封装型式和安装型式也必须考虑。通常 SMD 表面贴装电阻比通孔元件具有较低的电感，所以 SMD 封装元件成为首选。如果选择普通直插电阻也有两种安装方式可选：垂直方式和水平方式。

垂直安装方式中电阻的一条安装管脚很短，可以减少电阻和电路板间的热阻，使电阻的热量更加容易散发到空气中。但较长的垂直安装会增加电阻的电感。水平安装方式因安装较低有更低的电感。但过热的电阻会出现漂移，在最坏的情况下电阻成为开路，造成 PCB 走线终结匹配失效，成为潜在的失败因素。

6.3 抑止电磁干扰的方法

很好地解决信号完整性问题将改善 PCB 板的电磁兼容性 (EMC)。其中非常重要的一项是保证 PCB 板有很好的接地。对复杂的设计采用一个信号层配一个地线层是十分有效的方法。此外，使电路板的最外层信号的密度最小也是减少电磁辐射的好方法，这种方法可采用 "表面积层" 技术 "Build-up" 设计制做 PCB 来实现。表面积层通过在普通工艺 PCB 上增加薄绝缘层和用于贯穿这些层的微孔的组合来实现，电阻和电容可埋在表层下，单位面积上的走线密度会增加近一倍，因而可降低 PCB 的体积。PCB 面积的缩小对走线的拓扑结构有巨大的影响，这意味着缩小的电流回路，缩小的分支走线长度，而电磁辐射近似正比于电流回路的面积；同时小体积特征意味着高密度引脚封装器件可以被使用，这又使得连线长度下降，从而电流回路减小，提高电磁兼容特性。

6.4 其它可采用技术

为减小集成电路芯片电源上的电压瞬时过冲，应该为集成电路芯片添加去耦电容。这可以有效去除电源上的毛刺的影响并减少在印制板上的电源环路的辐射。

当去耦电容直接连接在集成电路的电源管腿上而不是连接在电源层上时，其平滑毛刺的效果最好。这就是为什么有一些器件插座上带有去耦电容，而有的器件要求去耦电容距器件的距离要足够的小。

任何高速和高功耗的器件应尽量放置在一起以减少电源电压瞬时过冲。

如果没有电源层，那么长的电源连线会在信号和回路间形成环路，成为辐射源和易感应电路。

走线构成一个不穿过同一网线或其它走线的环路的情况称为开环。如果环路穿过同一网线其它走线则构成闭环。两种情况都会形成天线效应 (线天线和环形天线)。天线对外产生 EMI 辐射，同时自身也是敏感电路。闭环是一个必须考虑的问题，因为它产生的辐射与闭环面积近似成正比。

结束语

高速电路设计是一个非常复杂的设计过程，ZUKEN 公司的高速电路布线算法 (Route Editor) 和 EMC/EMI 分析软件 (INCASES, Hot-Stage) 应用于分析和发现问题。本文所阐述的方法就是专门针对解决这些高速电路设计问题的。此外，在进行高速电路设计时有多个因素需要加以考虑，这些因素有时互相对立。如高速器件布局时位置靠近，虽可以减少延时，但可能产生串扰和显著的热效应。因此在设计中，需权衡各因素，做出全面的折衷考虑；既满足设计要求，又降低设计复杂度。高速 PCB 设计手段的采用构成了设计过程的可控性，只有可控的，才是可靠的，也才能是成功的！

高速 PCB 设计指南之二

第一篇 高密度 (HD) 电路的设计

本文介绍，许多人把芯片规模的 BGA 封装看作是由便携式电子产品所需的空間限制的一个可行的解决方案，它同时满足这些产品更高功能与性能的要求。为便携式产品的高密度电路设计应该为装配工艺着想。

当为今天价值推动的市场开发电子产品时，性能与可靠性是最优先考虑的。为了在这个市场上竞争，开发者还必须注重装配的效率，因为这样可以控制制造成本。电子产品的技术进步和不断增长的复杂性正产生对更高密度电路制造方法的需求。当设计要求表面贴装、密间距和向量封装的集成电路 IC 时，可能要求具有较细的线宽和较密间隔的更高密度电路板。可是，展望未来，一些已经在供应微型旁路孔、序列组装电路板的公司正大量投资来扩大能力。这些公司认识到便携式电子产品对更小封装的目前趋势。单是通信与个人计算产品工业就足以领导全球的市场。

高密度电子产品的开发者越来越受到几个因素的挑战：物理 复杂元件上更密的引脚间隔、财力 贴装必须很精密、和环境 许多塑料封装吸潮，造成装配处理期间的破裂。物理因素也包括安装工艺的复杂性与最终产品的可靠性。进一步的财政决定必须考虑产品将如何制造和装配设备效率。较脆弱的引脚元件，如 0.50 与 0.40 mm 0.020 与 0.016 引脚间距的 SQFP shrink quad flat pack，可能在维护一个持续的装配工艺合格率方面向装配专家提出一个挑战。最成功的开发计划是那些已经实行工艺认证的电路板设计指引和工艺认证的焊盘几何形状。

在环境上，焊盘几何形状可能不同，它基于所用的安装电子零件的焊接类型。可能的時候，焊盘形状应该以一种对使用的安装工艺透明的方式来定义。不管零件是安装在板的一面或两面、经受波峰、回流或其它焊接，焊盘与零件尺寸应该优化，以保证适当的焊接点与检查标准。虽然焊盘图案是在尺寸上定义的，并且因为它是印制板电路几何形状的一部分，它们受到可生产性水平和与电镀、腐蚀、装配或其它条件有关的公差限制。生产性方面也与阻焊层的使用和在阻焊与导体图案之间的对齐定位有关。

1、焊盘的要求

国际电子技术委员会 IEC International Electrotechnical Commission 的 61188 标准认识到对焊接圆角或焊盘凸起条件的不同目标的需要。这个新的国际标准确认两个为开发焊盘形状提供信息的基本方法：

1) . 基于工业元件规格、电路板制造和元件贴装精度能力的准确资料。这些焊盘形状局限于一个特定的元件，有一个标识焊盘形状的编号。

2) . 一些方程式可用来改变给定的信息，以达到一个更稳健的焊接连接，这是用于一些特殊的情况，在这些情况中用于贴装或安装设备比在决定焊盘细节时所假设的精度有或多或少的差别。

该标准为用于贴装各种引脚或元件端子的焊盘定义了最大、中等和最小材料情况。除非另外标明，这个标准将所有三中“希望目标”标记为一级、二级或三级。

一级：最大 - 用于低密度产品应用，“最大”焊盘条件用于波峰或流动焊接无引脚的片状元件和有引脚的翅形元件。为这些元件以及向内的 J 型引脚元件配置的几何形状可以为

手工焊接和回流焊接提供一个较宽的工艺窗口。

二级：中等 - 具有中等水平元件密度的产品可以考虑采用这个“中等”的焊盘几何形状。与 IPC - SM - 782 标准焊盘几何形状非常相似，为所有元件类型配置的中等焊盘将为回流焊接工艺提供一个稳健的焊接条件，并且应该为无引脚元件和翅形引脚类元件的波峰或流动焊接提供适当的条件。

三级：最小 - 具有高元件密度的产品通常是便携式产品应用可以考虑“最小”焊盘几何形状。最小焊盘几何形状的选择可能不适合于所有的产品。在采用最小的焊盘形状之前，使用这应该考虑产品的限制条件，基于表格中所示的条件进行试验。

在 IPC - SM - 782 中所提供的以及在 IEC 61188 中所配置的焊盘几何形状应该接纳元件公差和工艺变量。虽然在 IPC 标准中的焊盘已经为使用者的多数装配应用提供一个稳健的界面，但是一些公司已经表示了对采用最小焊盘几何形状的需要，以用于便携式电子产品和其它独特的高密度应用。

国际焊盘标准 (IEC 61188) 了解到更高零件密度应用的要求，并提供用于特殊产品类型的焊盘几何形状的信息。这些信息的目的是要提供适当的表面贴装焊盘的尺寸、形状和公差，以保证适当焊接圆角的足够区域，也允许对这些焊接点的检查、测试和返工。

图一和表一所描述的典型的三类焊盘几何形状是为每一类元件所提供的：最大焊盘（一级）、中等焊盘（二级）和最小焊盘（三级）。

图一、两个端子的、矩形电容与电阻元件的 IEC 标准可以不同以满足特殊产品应用

焊盘特性	最大一级	中等二级	最小三级
脚趾 -焊盘突出	0.6	0.4	0.2
脚跟 -焊盘突出	0.0	0.0	0.0
侧面 -焊盘突出	0.1	0.0	0.0
开井余量	0.5	0.25	0.05
圆整因素	最近 0.5	最近 0.05	最近 0.05

表一、矩形与方形端的元件
(陶瓷电容与电阻) (单位 :mm)

焊接点的脚趾、脚跟和侧面圆角必须针对元件、电路板和贴装精度偏差的公差平方和。如图二所示，最小的焊接点或焊盘突出是随着公差变量而增加的（表二）。

图二、带状翅形引脚元件的 IEC 标准定义了三种可能的变量以满足用户的应用

焊盘特性	最大一级	中等二级	最小三级
脚趾 -焊盘突出	0.8	0.5	0.2
脚跟 -焊盘突出	0.5	0.35	0.2
侧面 -焊盘突出	0.05	0.05	0.03
开井余量	0.5	0.25	0.05
圆整因素	最近 0.5	最近 0.05	最近 0.05

表二、平带 L 形与翅形引脚
(大于 0.625mm 的间距) (单位 :mm)

如果这些焊盘的用户希望对贴装和焊接设备有一个更稳健的工艺条件，那么分析中的个别元素可以改变到新的所希望的尺寸条件。这包括元件、板或贴装精度的扩散，以及最小的焊接点或焊盘突出的期望（表 3，4，5 和 6）。

用于焊盘的轮廓公差方法的方式与元件的类似。所有焊盘公差都是要对每一个焊盘以最大尺寸提供一个预计的焊盘图形。单向公差是要减小焊盘尺寸，因此得当焊接点形成的较小区域。为了使开孔的尺寸标注系统容易，焊盘是跨过内外极限标注尺寸的。

在这个标准中，尺寸标注概念使用极限尺寸和几何公差来描述焊盘允许的最大与最小尺寸。当焊盘在其最大尺寸时，结果可能是最小可接受的焊盘之间的间隔；相反，当焊盘在其最小尺寸时，结果可能是最小的可接受焊盘，需要达到可靠的焊接点。这些极限允许判断焊盘通过 / 不通过的条件。

假设焊盘几何形状是正确的，并且电路结构的最终都满足所有规定标准，焊接缺陷应该可以减少；尽管如此，焊接缺陷还可能由于材料与工艺变量而发生。为密间距 fine pitch 开发焊盘的设计者必须建立一个可靠的焊接连接所要求的最小脚尖与脚跟，以及在元件封装特征上允许最大与最小或至少的材料条件。

表三、J 形引脚（单位 :mm）

焊盘特性	最大一级	中等二级	最小三级
脚趾 -焊盘突出	0.2	0.2	0.2
脚跟 -焊盘突出	0.8	0.6	0.4
侧面 -焊盘突出	0.1	0.05	0.0
开井余量	1.5	0.8	0.2
圆整因素	最近 0.5	最近 0.05	最近 0.05

表四、圆柱形端子（ MELF ）（单位 :mm）

焊盘特性	最大一级	中等二级	最小三级
脚趾 -焊盘突出	1.0	0.4	0.2
脚跟 -焊盘突出	0.2	0.1	0.0
侧面 -焊盘突出	0.2	0.1	0.0
开井余量	0.2	0.25	0.25
圆整因素	最近 0.5	最近 0.05	最近 0.05

表五、只有底面的端子（单位 :mm）

焊盘特性	最大一级	中等二级	最小三级
脚趾 -焊盘突出	0.2	0.1	0
脚跟 -焊盘突出	0.2	0.1	0
侧面 -焊盘突出	0.2	0.1	0
开井余量	0.25	0.1	0.05
圆整因素	最近 0.5	最近 0.05	最近 0.05

表六、内向 L 形带状引脚（单位 :mm）

焊盘特性	最大一级	中等二级	最小三级
脚趾-焊盘突出	0.1	0.1	0.0
脚跟-焊盘突出	1.0	0.5	0.2
侧面-焊盘突出	0.1	0.1	0.1
开井余量	0.5	0.25	0.05
圆整因素	最近 0.5	最近 0.05	最近 0.05

2、BGA 与 CAP

BGA 封装已经发展到满足现在的焊接安装技术。塑料与陶瓷 BGA 元件具有相对广泛的接触间距 (1.50, 1.27 和 1.00 mm)，而相对而言，芯片规模的 BGA 栅格间距为 0.50, 0.60 和 0.80 mm。BGA 与密间距 BGA 元件两者相对于密间距引脚框架封装的 IC 都不容易损坏，并且 BGA 标准允许选择性地减少接触点，以满足特殊的输入/输出 (I/O) 要求。当为 BGA 元件建立接触点布局和引线排列时，封装开发者必须考虑芯片设计以及芯片块的尺寸和形状。在技术引线排列时的另一个要面对的问题是芯片的方向。芯片模块的焊盘向上或向下。芯片模块“面朝上”的结构通常是当供应商正在使用 COB (chip-on-board) (内插器) 技术时才采用的。

元件构造，以及在其制造中使用的材料结合，不在这个工业标准与指引中定义。每一个制造商都将企图将其特殊的结构胜任用户所定义的应用。例如，消费产品可能有一个相对良好的工作环境，而工业或汽车应用的产品经常必须运行在更大的压力条件下。取决于制造 BGA 所选择材料的物理特性，可能要使用到倒装芯片或引线接合技术。因为芯片安装结构是刚性材料，芯片模块安装座一般以导体定中心，信号从芯片模块焊盘走入接触球的排列矩阵。

在该文件中详细叙述的栅格阵列封装外形在 JEDEC 的 95 出版物中提供。方形 BGA, JEDEC MS-028 定义一种较小的矩形塑料 BGA 元件类别，接触点间隔为 1.27 mm。该矩阵元件的总的外形规格允许很大的灵活性，如引脚间隔、接触点矩阵布局与构造。JEDEC MO-151 定义各种塑料封装的 BGA。方形轮廓覆盖的尺寸从 7.0 - 50.0，三种接触点间隔 - 1.50, 1.27 和 1.00 mm。

球接触点可以单一的形式分布，行与列排列有双数或单数。虽然排列必须保持对整个封装外形的对称，但是各元件制造商允许在某区域内减少接触点的位置。

3、芯片规模的 BGA 变量

针对“密间距”和“真正芯片大小”的 IC 封装，最近开发的 JEDEC BGA 指引提出许多物理属性，并为封装供应商提供“变量”形式的灵活性。JEDEC JC-11 批准的第一份对密间距元件类别的文件是注册外形 MO-195，具有基本 0.50 mm 间距接触点排列的统一方形封装系列。

封装尺寸范围从 4.0 - 21.0 mm，总的高度 (定义为“薄的轮廓”限制到从贴装表面最大为 1.20 mm。下面的例子代表为将来的标准考虑的一些其它变量。

球间距与球尺寸将也会影响电路布线效率。许多公司已经选择对较低 I/O 数的 CSP 不采用 0.50 mm 间距。较大的球间距可能减轻最终用户对更复杂的印刷电路板 (PCB) 技术的需求。

0.50 mm 的接触点排列间隔是 JEDEC 推荐最小的。接触点直径规定为 0.30 mm，公差范围为最小 0.25、最大 0.35 mm。可是大多数采用 0.50 mm 间距

的 BGA 应用将依靠电路的次表面布线。直径上小至 0.25 mm 的焊盘之间的间隔宽度只够连接一根 0.08 mm (0.003) 宽度的电路。将许多多余的电源和接地触点分布到矩阵的周围，这样将提供对排列矩阵的有限渗透。这些较高 I/O 数的应用更可能决定于多层、盲孔或封闭的焊盘上的电镀旁路孔 (via-on-pad) 技术。

4、考虑封装技术

元件的环境与电气性能可能是与封装尺寸一样重要的问题。用于高密度、高 I/O 应用的封装技术首先必须满足环境标准。例如，那些使用刚性内插器 (interposer) 结构的、由陶瓷或有机基板制造的不能紧密地配合硅芯片的外形。元件四周的引线接合座之间的互连必须流向内面。µBGA 封装结构的一个实际优势是它在硅芯片模块外形内提供所有电气界面的能力。

µBGA 使用一种高级的聚酰胺薄膜作为其基体结构，并且使用半加成铜电镀工艺来完成芯片上铝接合座与聚酰胺内插器上球接触座之间的互连。依顺材料的独特结合使元件能够忍受极端恶劣的环境。这种封装已经由一些主要的 IC 制造商用来满足具有广泛运作环境的应用。

超过 20 家主要的 IC 制造商和封装服务提供商已经采用了 µBGA 封装。定义为‘面朝下’的封装，元件外形密切配合芯片模块的外形，芯片上的铝接合焊盘放于朝向球接触点和 PCB 表面的位置。这种结构在工业中有最广泛的认同，因为其建立的基础结构和无比的可靠性。µBGA 封装的材料与引脚设计的独特系统是在物理上顺应的，补偿了硅芯片与 PCB 结构的温度膨胀系统的较大差别。

5、安装座计划

推荐给 BGA 元件的安装座或焊盘的几何形状通常是圆形的，可以调节直径来满足接触点间隔和尺寸的变化。焊盘直径应该不大于封装上接触点或球的直径，经常比球接触点规定的正常直径小 10%。在最后确定焊盘排列与几何形状之前，参考 IPC-SM-782 第 14.0 节或制造商的规格。

有两种方法用来定义安装座：定义焊盘或铜，定义阻焊，如图三所示。

图三、BGA 的焊盘可以通过化学腐蚀的图案来界定，无阻焊层或有阻焊层叠加在焊盘圆周上（阻焊层界定）

铜定义焊盘图形 - 通过腐蚀的铜界定焊盘图形。阻焊间隔应该最小离腐蚀的铜焊盘 0.075 mm。对要求间隔小于所推荐值的应用，咨询印制板供应商。

阻焊定义焊盘图形 - 如果使用阻焊界定的图形，相应地调整焊盘直径，以保证阻焊的覆盖。

BGA 元件上的焊盘间隔活间距是“基本的”，因此是不累积的；可是，贴装精度和 PCB 制造公差必须考虑。如前面所说的，BGA 的焊盘一般是圆形的、阻焊界定或腐蚀阻焊脱离焊盘界定的。虽然较大间距的 BGA 将接纳电路走线的焊盘之间的间隔，较高 I/O 的元件将依靠电镀旁路孔来将电路走到次表面层。表七所示的焊盘几何形状推荐一个与名义标准接触点或球的直径相等或稍小的直径。

表七、BGA 元件安装的焊盘图形

接触点间距

(基本的) 标准球直径 焊盘直径 (mm)

最小 名义 最大 最小 - 最大

0.05 0.25 0.30 0.35 0.25-0.30

0.65 0.25 0.30 0.35 0.25-0.30

0.65 0.35 0.40 0.45 0.35-0.40

0.80 0.25 0.30 0.35 0.25-0.30

0.80 0.35 0.40 0.45 0.35-0.40

0.80 0.45 0.50 0.55 0.40-0.50

1.00 0.55 0.60 0.65 0.50-0.60

1.27 0.70 0.75 0.80 0.60-0.70

1.50 0.70 0.75 0.80 0.60-0.70

有些公司企图为所有密间距的 BGA 应用维持一个不变的接触点直径。可是, 因为一些 0.65 与 0.80 mm 接触点间距的元件制造商允许随意的球与接触点直径的变化, 设计者应该在制定焊盘直径之前参考专门的供应商规格。较大的球与焊盘的直径可能限制较高 I/O 元件的电路布线。一些 BGA 元件类型的焊盘几何形状可能不允许宽度足够容纳不止一条或两条电路的间隔。例如, 0.50 mm 间距的 BGA 将不允许甚至一条大于 0.002 或 0.003 的电路。那些采用密间距 BGA 封装变量的可能发现焊盘中的旁路孔 (微型旁路孔) 更加实际, 特别如果元件密度高, 必须减少电路布线。

6、装配工艺效率所要求的特征

为了采纳对密间距表面贴装元件 (SMD) 的模板的精确定位, 要求一些视觉或摄像机帮助的对中方法。全局定位基准点是用于准确的锡膏印刷的模板定位和在精确的 SMD 贴装中作为参考点。模板印刷机的摄相机系统自动将板对准模板, 达到准确的锡膏转移。

对于那些使用模板到电路板的自动视觉对中的系统, 电路板的设计者必须在焊盘层的设计文件中提供至少两个全局基准点 (图四)。在组合板的每一个装配单元内也必须提供局部基准点目标, 以帮助自动元件贴装。另外, 对于每一个密间距 QFP、TSP 和高 I/O 密间距 BGA 元件, 通常提供一或两个目标。

在所有位置推荐使用一个基准点的尺寸。虽然形状和尺寸可以对不同的应用分别对待, 但是大多数设备制造商都认同 1.0 mm (0.040) 直径的实心点。该点必须没有阻焊层, 以保证摄相机可以快速识别。除了基准点目标外, 电路板必须包含一些定位孔, 用于二次装配有关的操作。组合板应该提供两或三个定位孔, 每个电路板报单元提供至少两个定位孔。通常, 装配专家规定尺寸 (0.65 mm 是常见的), 应该指定无电镀孔。

至于在锡膏印刷模板夹具上提供的基准点, 一些系统检测模板的定面, 而另一些则检测底面。模板上的全局基准点只是半腐蚀在模板的表面, 用黑树脂颜料填充。

7、指定表面最终涂层

为元件的安装选择专门类型的表面最终涂镀方法可以提高装配工艺的效率, 但是也可能影响 PCB 的制造成本。在铜箔上电镀锡或锡/铅合金作为抗腐蚀层是非常常见的制造方法。选择性地去掉铜箔的减去法化学腐蚀继续在 PCB 工业广泛使用。因为锡/铅导线当暴露在 195 °C 温度以上时变成液体, 所以大多数使用回流焊接技术的表面贴装板都指定裸铜上的阻焊层 (SMOBC, solder mask over bare copper) 来保持阻焊材料下一个平坦均匀的表面。当处理 SMOBC 板时, 锡或锡/铅是化学剥离的, 只留下铜导体和没有电镀的元件安装座。铜导体用环氧树脂或聚合物阻焊层涂盖, 以防止对

焊接有关工艺的暴露。虽然电路导线有阻焊层覆盖，设计者还必须为那些不被阻焊层覆盖的部分元件安装座指定表面涂层。下面的例子是广泛使用在制造工业的合金电镀典型方法。

通常要求预处理安装座的应用是超密间距 QFP 元件。例如，TAB (table automated bond) 元件可能具有小于 0.25 mm 的引脚间距。通过在这些座上提供 700 - 800 μ 的锡 / 铅合金，装配专家可以上少量的助焊剂、贴装零件和使用加热棒、热风、激光或软束线光源来回流焊接该元件。在特殊的安装座上选择性地电镀或保留锡 / 铅合金将适用于超密间距 TAB 封装的回流焊接。

使用热风均匀法，锡 / 铅在上阻焊层之后涂镀在电路板上。该工艺是，电镀的板经过清洗、上助焊剂和浸入熔化的焊锡中，当合金还是液体状态的时候，多余的材料被吹离表面，留下合金覆盖的表面。热风焊锡均匀 HASL (hot air solder leveling) 电镀工艺广泛使用，一般适合于回流焊接装配工艺；可是，焊锡量与平整度的不一致可能不适合于使用密间距元件的电路板。

密间距的 SQFP、TSP 和 BGA 元件要求非常均匀和平整的表面涂层。作为控制在密间距元件的安装座上均匀锡膏量的方法，表面必须尽可能地平整。为了保证平整度，许多公司在铜箔上使用镍合金，接着一层很薄的金合金涂层，来去掉氧化物。

在阻焊涂层工艺之后，在暴露的裸铜上使用无电镀镍 / 金。用这个工艺，制造商通常将使用锡 / 铅电镀图案作为抗腐蚀层，在腐蚀之后剥离锡 / 铅合金，但是不是对暴露的安装座和孔施用焊锡合金，而是电路板浸镀镍 / 金合金。

按照 IPC - 2221 标准《印制板设计的通用标准》，推荐的无电镀镍厚度是 2.5 - 5.0 μ m (至少 1.3 μ m)，而推荐的浸金厚度为 0.08 - 0.23 μ m。

有关金的合金与焊接工艺的一句话忠告：如果金涂层厚度超过 0.8 μ m (3 μ)，那么金对锡 / 铅比率可能引起最终焊接点的脆弱。脆弱将造成温度循环中的过分开裂或装配后的板可能暴露到的其它物理应力。

8、合金电镀替代方案

在上阻焊层之后给板增加焊锡合金是有成本代价的，并且给基板遭受极大的应力条件。例如用锡 / 铅涂层，板插入熔化的焊锡中，然后抽出和用强风将多余的锡 / 铅材料去掉。温度冲击可能导致基板结构的脱层、损坏电镀孔和可能影响长期可靠性的缺陷。Ni / Au 涂镀，虽然应力较小，但不是所有电路板制造商都有的一种技术。作为对电镀的另一种选择，许多公司已经找到成功的、有经济优势的和平整的安装表面的方法，这就是有机保护层或在裸铜上与上助焊剂涂层。

作为阻止裸铜安装座和旁通孔 / 测试焊盘上氧化增长的一个方法，将一种特殊的保护剂或阻化剂涂层应用到板上。诸如苯并三唑 (Benzotriazole) 和咪唑 (Imidazole) 这些有机 / 氮涂层材料被用来取代上面所描述的合金表面涂层，可从几个渠道购买到，不同的商标名称。在北美洲，广泛使用的一种产品是 ENTEK PLUS CU - 106A。这种涂层适合于大多数有机助焊焊接材料，在对装配工艺中经常遇到的三、四次高温暴露之后仍有保护特征。多次暴露的能力是重要的。当 SMD 要焊接到装配的主面和第二面的时候，会发生两次对回流焊接温度的暴露。混合技术典型的多次装配步骤也可能包括对波峰焊接或其它焊接工艺的暴露。

9、一般成本考虑

与 PCB 电镀或涂镀有关的成本不总是详细界定的。一些供应商感觉方法之间的成本差别占总的单位成本中的很小部分，所以界不界定是不重要的。其他的可能对不是其能力之内

的成本有一个额外的费用，因为板必须送出去最后加工。例如，在加州的一家公司将板发送给在德州的一家公司进行 Ni / Au 电镀。这个额外处理的费用可能没有清晰地界定为客户的一个额外开支；可是，总的板成本受到影响。

每一个电镀和涂镀工艺都有其优点与缺点。设计者与制造工程师必须通过试验或工艺效率评估仔细地权衡每一个因素。在指定 PCB 制造是必须考虑的问题都有经济以及工艺上的平衡。对于细导线、高元件密度或密间距技术与 μ BGA，平整的外形是必须的。焊盘表面涂层可以是电镀的或涂敷的，但必须考虑装配工艺与经济性。

在所有涂敷和电镀的选择中，Ni / Au 是最万能的（只要金的厚度低于 5 μ ）。电镀工艺比保护性涂层好的优势是货架寿命、永久性地覆盖在那些不暴露到焊接工艺的旁路孔或其它电路特征的铜上面、和抗污染。虽然表面涂层特性之间的平衡将影响最终选择，但是可行性与总的 PCB 成本最可能决定最后的选择。在北美，HASL 工艺传统上主宰 PCB 工业，但是表面的均匀性难于控制。对于密间距元件的焊接，一个受控的装配工艺取决于一个平整均匀的安装座。密间距元件包括 T SOP、SQFP 和 μ BGA 元件族。如果密间距元件在装配中不使用，使用 HASL 工艺是可行的选择。

10、阻焊层 (soldermask) 要求

阻焊层在控制回流焊接工艺期间的焊接缺陷中的角色是重要的，PCB 设计者应该尽量减小焊盘特征周围的间隔或空气间隙。虽然许多工艺工程师宁可阻焊层分开板上所有焊盘特征，但是密间距元件的引脚间隔与焊盘尺寸将要求特殊的考虑。虽然在四边的 QFP 上不分区阻焊层开口或窗口可能是可接受的，但是控制元件引脚之间的锡桥可能更加困难。对于 BGA 的阻焊层，许多公司提供一种阻焊层，它不接触焊盘，但是覆盖焊盘之间的任何特征，以防止锡桥。多数表面贴装的 PCB 以阻焊层覆盖，但是阻焊层的涂敷，如果厚度大于 0.04 mm (0.0015)，可能影响锡膏的应用。表面贴装 PCB，特别是那些使用密间距元件的，都要求一种低轮廓感光阻焊层。阻焊材料必须通过液体湿工艺或者干薄膜叠层来使用。干薄膜阻焊材料是以 0.07 - 0.10 mm (0.003 - 0.004) 厚度供应的，可适合于一些表面贴装产品，但是这种材料不推荐用于密间距应用。很少公司提供薄到可以满足密间距标准的干薄膜，但是有几家公司可以提供液体感光阻焊材料。通常，阻焊的开口应该比焊盘大 0.15 mm (0.006)。这允许在焊盘所有边上 0.07 mm (0.003) 的间隙。低轮廓的液体感光阻焊材料是经济的，通常指定用于表面贴装应用，提供精确的特征尺寸和间隙。

结论

密间距 (fine-pitch)、BGA 和 CSP 的装配工艺可以调整到满足可接受的效率水平，但是弯曲的引脚和锡膏印刷的不持续性经常给装配工艺合格率带来麻烦。虽然使用小型的密间距元件提供布局的灵活性，但是将很复杂的多层基板报上的元件推得更近，可能牺牲可测试性和修理。BGA 元件的使用已经提供较高的装配工艺合格率和更多的布局灵活性，提供较紧密的元件间隔与较短的元件之间的电路。一些公司正企图将几个电路功能集成到一两个多芯片的 BGA 元件中来释放面积的限制。用户化的或专用的 IC 可以缓解 PCB 的栅格限制，但是较高的 I/O 数与较密的引脚间距一般都会迫使设计者使用更多的电路层，因此增加 PCB 制造的复杂性与成本。

芯片规模的 BGA 封装被许多人看作是新一代手持与便携式电子产品空间限制的可行答案。许多公司也正在期待改进的功能以及更高的性能。当为这些元件选择最有效的接触点间距时，必须考虑硅芯片模块的尺寸、信号的数量、所要求的电源与接地点和在印制板上采用这些元件时的实际限制。虽然密间距的芯片规模 (chip scale) 与芯片大小的元

件被看作是新出现的技术，但是主要的元件供应商和几家主要的电子产品制造商已经采用了一两种 C S P 的变化类型。在较小封装概念中的这种迅速增长是必须的，它满足产品开发商对减小产品尺寸、增加功能并且提高性能的需求。

第二篇 抗干扰 3（部分）

3 提高敏感器件的抗干扰性能

提高敏感器件的抗干扰性能是指从敏感器件这边考虑尽量减少对干扰噪声的拾取，以及从不正常状态尽快恢复的方法。

提高敏感器件抗干扰性能的常用措施如下：

- （1）布线时尽量减少回路环的面积，以降低感应噪声。
- （2）布线时，电源线和地线要尽量粗。除减小压降外，更重要的是降低耦合噪声。
- （3）对于单片机闲置的 I/O 口，不要悬空，要接地或接电源。其它 IC 的闲置端在不改变系统逻辑的情况下接地或接电源。
- （4）对单片机使用电源监控及看门狗电路，如：IMP809，IMP706，IMP813，X25043，X25045 等，可大幅度提高整个电路的抗干扰性能。
- （5）在速度能满足要求的前提下，尽量降低单片机的晶振和选用低速数字电路。
- （6）IC 器件尽量直接焊在电路板上，少用 IC 座。

第三篇 印制电路板的可靠性设计 -去耦电容配置

在直流电源回路中，负载的变化会引起电源噪声。例如在数字电路中，当电路从一个状态转换为另一种状态时，就会在电源线上产生一个很大的尖峰电流，形成瞬变的噪声电压。配置去耦电容可以抑制因负载变化而产生的噪声，是印制电路板的可靠性设计的一种常规做法，配置原则如下：

电源输入端跨接一个 10 ~ 100uF 的电解电容器，如果印制电路板的位置允许，采用 100uF 以上的电解电容器的抗干扰效果会更好。

为每个集成电路芯片配置一个 0.01uF 的陶瓷电容器。如遇到印制电路板空间小而装不下时，可每 4 ~ 10 个芯片配置一个 1 ~ 10uF 钽电解电容器，这种器件的高频阻抗特别小，在 500kHz ~ 20MHz 范围内阻抗小于 1 Ω ，而且漏电流很小（0.5uA 以下）。

对于噪声能力弱、关断时电流变化大的器件和 ROM、RAM 等存储型器件，应在芯片的电源线（Vcc）和地线（GND）间直接接入去耦电容。

去耦电容的引线不能过长，特别是高频旁路电容不能带引线。

第四篇 电磁兼容性和 PCB 设计约束（缺具体数据）

PCB 布线对 PCB 的电磁兼容性影响很大，为了使 PCB 上的电路正常工作，应根据本文所述的约束条件来优化布线以及元器件 /接头和某些 IC 所用去耦电路的布局

（一）、PCB 材料的选择

通过合理选择 PCB 的材料和印刷线路的布线路径，可以做出对其它线路耦合低的传输线。当传输线导体间的距离 d 小于同其它相邻导体间的距离时，就能做到更低的耦合，或者更小的串扰（见《电子工程专辑》 2000 年第 1 期"应用指南"）。

设计之前，可根据下列条件选择最经济的 PCB 形式：

对 EMC 的要求

印制板的密集程度

组装与生产的能力

· CAD系统能力

设计成本

· PCB的数量

电磁屏蔽的成本

当采用非屏蔽外壳产品结构时，尤其要注意产品的整体成本 /元器件封装 /管脚样式、 PCB 形式、电磁场屏蔽、构造和组装），在许多情况下，选好合适的 PCB 形式可以不必在塑胶外壳里加入金属屏蔽盒。

为了提高高速模拟电路和所有数字应用的抗扰性同时减少有害辐射，需要用到传输线技术。根据输出信号的转换情况，S-VCC、S-VEE 及 VEE-VCC 之间的传输线需要表示出来，如图 1 所示。

信号电流由电路输出级的对称性决定。对 MOS 而言 IOL=IOH, 而对 TTL 而言 IOL > IOH.

功能 /逻辑类型	ZO(?)
电源（典型值）	< < 10
ECL 逻辑	50
TTL 逻辑	100
HC(T) 逻辑	200

表 1：几种信号路径的传输线阻抗 ZO。

逻辑器件类型和功能上的原因决定了传输线典型特征阻抗 ZO，如表 1 所示。

图 1：显示三种特定传输线的（数字） IC 之间典型互联图

图 2：IC 去耦电路。

图 3：正确的去耦电路块

表 2：去耦电容 Cdec..的推荐值。

逻辑电路噪声容限

(二)、信号线路及其信号回路

传送信号的线路要与其信号回路尽可能靠近，以防止这些线路包围的环路区域产生辐射，并降低环路感应电压的磁化系数。

一般情况下，当两条线路间的距离等于线宽时，耦合系数大约为 0.5 到 0.6，线路的有效自感应从 $1 \mu\text{H/m}$ 降到 $0.4\text{--}0.5 \mu\text{H/m}$ 。

这就意味着信号回路电流的 40% 到 50% 自由地就流向了 PCB 上其它线路。

对两个（子）电路块间的每一块信号路径，无论是模拟的还是数字的，都可以用三种传输线来表示，如图 1 所示，其中阻抗可从表 1 得到。

TTL 逻辑电路由高电平向低电平转换时，吸收电流会大于电源电流以，在这种情况下，通常将传输线定义在 V_{cc} 和 S 之间，而不是 V_{EE} 和 S 之间。通过采用铁氧体磁环可完全控制信号线和信号回路线上的电流。

在平行导体情况下，传输线的特征阻抗会因为铁氧体而受到影响，而在同轴电缆的情况下，铁氧体只会对电缆的外部参数有影响。

因此，相邻线路应尽可能细，而上下排列的则相反（通常距离小于 1.5mm / 双层板中环氧树脂的厚度）。布线应使每条信号线和它的信号回路尽可能靠近（信号和电源布线均适用）。如果传输线导体间耦合不够，可采用铁氧体磁环。

(三)、IC 的去耦

通常 IC 仅通过电容来达到去耦的目的，因为电容并不理想，所以会产生谐振。在大于谐振频率时，电容表现得象个电感，这就意味着 di/dt 受到了限制。电容的值由 IC 管脚间允许的电源电压波动来决定，根据资深设计人员的实践经验，电压波动应小于信号线最坏状况下的噪声容限的 25%，下面公式可计算出每种逻辑系列输出门电路的最佳去耦电容值：

$$I = C \cdot dV/dt$$

表 2 给出了几种逻辑系列门电路在最坏情况下信号线噪声的容限，同时还给出每个输出级应加的去耦电容 C_{dec} 的推荐值。

图 4：PCB 上环路的辐射

对快速逻辑电路来说，如果去耦电容含有很大串联电感（这种电感也许是由电容的结构、长的连接线或 PCB 的印制线路造成的），电容的值可能不再有用。这时则需要在尽可能靠近 IC 管脚的地方加入另外一个小陶瓷电容（ $100\text{--}100\text{pF}$ ），与“LF-”去耦电容并联。陶瓷电容的谐振频率（包括到 IC 电源管脚的线路长度）应高于逻辑电路的带宽 $[1/(t_r \cdot r)]$ ，其中， r 是逻辑电路中电压的上升时间。

如果每个 IC 都有去耦电容，信号回路电流可选择最方便的路径， V_{EE} 或者 V_{CC} ，这可以由传送信号的线路和电源线路间的互耦来决定。

在两个去耦电容（每个 IC 一个）和电源线路形成的电感 L_{trace} 之间，会形成串联谐振电路，这种谐振只可以发生在低频（ $< 1\text{MHz}$ ）或谐振电路的 Q 值较低（ < 2 ）的情况下。

通过将高射频损耗扼流线圈串联在 V_{cc} 网络和要去耦的 IC 中，可使谐振频率保持在 1MHz 以下，如果射频损耗太低可通过并联或串联电阻来补偿（图 2）。

扼流线圈应该总是采用封闭的内芯，否则它会成为一个射频发射器或磁场铁感应器。

例如： $1\text{MHz} \cdot 1\mu\text{H}$ $Z_1 = 6.28$? $R_s = 3.14$? $Q < 2$ $R_p = 12.56$?

大于谐振频率时，"传输线"的特征阻抗 Z_0 （此时将 IC 的阻抗看作电源负载）等于： $Z_0 = (L_{\text{trace}}/C_{\text{decoupling}})$ 的平方根

去耦电容的串联电感和连接线路的电感对射频电源电流分配没有多大影响，比如采用了一个 $1\mu\text{H}$ 扼流线圈的情况。但它仍然会决定 IC 电源管脚间的电压波动，表 3 给出了电源信噪容限为 25% 时，推荐的最大电感值 L_{trace} 。根据图 2 所建议的去耦方法，两个 IC 间的传输线数量从 3 条减少到了 1 条（见图 3）。

因此，对每个 IC 采用适当的去耦方法： $L_{\text{choke}}+C_{\text{dec}}$ 。电路块间就只需定义一条传输线。

对于 $r < 3\text{ns}$ 的高速逻辑电路，与去耦电容串联的全部电感必须要很低（见表 3）。与电源管脚串联的 50mm 印制线路相当于一个 50nH 电感，与输出端的负载（典型值为 50pF）一起决定了最小上升时间为 3.2ns。如要求更快的上升时间，就必须缩短去耦电容的引脚。长度（最好无引脚）并缩短 IC 封装的引脚，例如可以用 IC 去耦电容，或最好采用将（电源）管脚在中间的 IC 与很小的 3E 间距（DIL）无引脚陶瓷电容相结合等方法来达到这一目的，也可以用带电源层和接地层的多层电路板。另外采用电源管脚在中间的 SO 封装还可得到进一步的改善。但是，使用快速逻辑电路时，应采用多层电路板。

（四）、根据辐射决定环路面积

无终点传输线的反射情况决定了线路的最大长度。由于对产品的 EM 辐射有强制性要求，因此环路区域的面积和线路长度都受到限制，如果采用非屏蔽外壳，这种限制将直接由 PCB 来实现。

注意：如果在异步逻辑电路设计中采用串联端接负载，必须要注意会出现准稳性，特别是对称逻辑输入电路无法确定输入信号是高还是低，而且可能会导致非定义输出情况。

图 3：正确的去耦电路块。

对于频域中的逻辑信号，频谱的电流幅度在超出逻辑信号带宽（ $=1/r$ ）的频率上与频率的平方成反比。用角频率表示，环路的辐射阻抗仍随频率平方成正比。因而可计算出最大的环路面积，它由时钟速率或重复速率、逻辑信号的上升时间或带宽以及时域的电流幅度决定。电流波形由电压波形决定，电流半宽时间约等于电压的上升时间。

电流幅度可用角频率（ $=1/r$ ）表示为： $I(f) = 2 \cdot I_{\text{r}} / T$

其中： I_{r} 为时域电流幅度； T 为时钟速率的倒数，即周期；

r 为电压的上升时间，约等于电流半宽时间 H 。

从这一等式可计算出某种逻辑系列电路在某一时钟速率下最大环路面积，表 5 给出了相应的环路面积。最大环路面积由时钟速率、逻辑电路类型（ I_{r} = 输出电流）和 PCB 上同时存在的开关环路数量 n 决定。

如果所用的时钟速率超过 30MHz，就必须要采用多层电路板，在这种情况下，环氧树脂的厚度与层数有关，在 60 至 300 μm 之间。只有当 PCB 上的高速时钟信号的数量有限时，通过采用层到层的线路进行仔细布线，也可在双层板上得到可以接受的结果。

注意：在这种情况下，如采用普通 DIL 封装，则会超过环路面积的限制，一定要有另外的屏蔽措施和适当的滤波。

所有连接到其它面板及部件的连接头必须尽可能相互靠近放置，这样在电缆中传导的共模电流就不会流入 PCB 电路中的线路，另外，PCB 上参考点间的电压降也无法激励（天线）

电缆。

为避免这种共模影响，必须使靠近接头的参考地和 PCB 上电路的接地层、接地网格或电路参考地隔开，如果可能，这些接地片应接到产品的金属外壳上。从这个接地片上，只有高阻器件如电感、电阻、簧片继电器和光耦合器可接在两个地之间。所有的接头要尽可能靠近放置，以防止外部电流流过 PCB 上的线路或参考地。

(五)、电缆及接头的正确选择

电缆的选择由流过电缆的信号幅度和频率成分决定。对于位于产品外部的电缆来说，如果传送 10kHz 以上时钟速率的数据信号，则一定要用到屏蔽（产品要求），屏蔽部分应在电缆的两端连接到地（金属外壳产品），这样能确保对电场和磁场都进行屏蔽。

如果用的是分开接地，则应连到 "接头地" 而不是 "电路地"。

如果时钟速率在 10kHz 到 1MHz 之间，并且逻辑电路的上升时间尽可能保持低，将可以得到 80% 以上的光覆盖或小于 10Nh/m 的转移阻抗。如果时钟速率超过 1MHz 时，就需要更好的屏蔽电缆。

通常，除同轴电缆外，电缆的屏蔽不应用作为信号回路。

通过在信号输入 / 输出和地 / 参考点之间串入无源滤波器以减少射频成分，可以不必采用高质量屏蔽和相应接头。好的屏蔽电缆应配备合适的连接头。

高速 PCB设计指南之三

第一篇 改进电路设计规程提高可测试性

随着微型化程度不断提高，元件和布线技术也取得巨大发展，例如 BGA外壳封装的高集成度的微型 IC，以及导体之间的绝缘间距缩小到 0.5mm, 这些仅是其中的两个例子。电子元件的布线设计方式，对以后制作流程中的测试能否很好进行，影响越来越大。下面介绍几种重要规则及实用提示。

通过遵守一定的规程（DFT-Design for Testability，可测试的设计），可以大大减少生产测试的准备和实施费用。这些规程已经过多年发展，当然，若采用新的生产技术和元件技术，它们也要相应的扩展和适应。随着电子产品结构尺寸越来越小，目前出现了两个特别引人注目的问题：一是可接触的电路节点越来越少；二是像在线测试（In-Circuit-Test）这些方法的应用受到限制。为了解决这些问题，可以在电路布局上采取相应的措施，采用新的测试方法和采用创新性适配器解决方案。第二个问题的解决还涉及到使原来作为独立工序使用的测试系统承担附加任务。这些任务包括通过测试系统对存储器组件进行编程或者实行集成化的元器件自测试（Built-in Self Test，BIST，内建的自测试）。将这些步骤转移到测试系统中去，总起来看，还是创造了更多的附加价值。为了顺利地实施这些措施，在产品科研开发阶段，就必须有相应的考虑。

1、什么是可测试性

可测试性的意义可理解为：测试工程师可以用尽可能简单的方法来检测某种元件的特性，看它能否满足预期的功能。简单地讲就是：

- I 检测产品是否符合技术规范的方法简单化到什么程度？
- I 编制测试程序能快到什么程度？
- I 发现产品故障全面化到什么程度？
- I 接入测试点的方法简单化到什么程度？

为了达到良好的可测试必须考虑机械方面和电气方面的设计规程。当然，要达到最佳的可测试性，需要付出一定代价，但对整个工艺流程来说，它具有一系列的好处，因此是产品能否成功生产的重要前提。

2、为什么要发展测试友好技术

过去，若某一产品在上一测试点不能测试，那么这个问题就被简单地推移到下一个测试点上去。如果产品缺陷在生产测试中不能发现，则此缺陷的识别与诊断也会简单地被推移到功能和系统测试中去。

相反地，今天人们试图尽可能提前发现缺陷，它的好处不仅仅是成本低，更重要的是今天的产品非常复杂，某些制造缺陷在功能测试中可能根本检查不出来。例如某些要预先装软件或编程的元件，就存在这样的问题。（如快闪存储器或 ISPs：In-System Programmable Devices 系统内可编程器件）。这些元件的编程必须在研制开发阶段就计划好，而测试系统也必须掌握这种编程。

测试友好的电路设计要费一些钱，然而，测试困难的电路设计费的钱会更多。测试本身是有成本的，测试成本随着测试级数的增加而加大；从在线测试到功能测试以及系统测试，测试费用越来越大。如果跳过其中一项测试，所耗费用甚至会更大。一般的规则是每增加一

级测试费用的增加系数是 10 倍。通过测试友好的电路设计，可以及早发现故障，从而使测试友好的电路设计所费的钱迅速地得到补偿。

3、文件资料怎样影响可测试性

只有充分利用元件开发中完整的数据资料，才有可能编制出能全面发现故障的测试程序。在许多情况下，开发部门和测试部门之间的密切合作是必要的。文件资料对测试工程师了解元件功能，制定测试战略，有无可争议的影响。

为了绕开缺乏文件和不甚了解元件功能所产生的问题，测试系统制造商可以依靠软件工具，这些工具按照随机原则自动产生测试模式，或者依靠非矢量相比，非矢量方法只能算作一种权宜的解决办法。

测试前的完整的文件资料包括零件表，电路设计图数据（主要是 CAD 数据）以及有关元件功能的详细资料（如数据表）。只有掌握了所有信息，才可能编制测试矢量，定义元件失效样式或进行一定的预调整。

某些机械方面的数据也是重要的，例如那些为了检查组件的焊接是否良好及定位是否所需要的数据。最后，对于可编程的元件，如快闪存储器，PLD、FPGA 等，如果不是在最后安装时才编程，是在测试系统上就应编好程序的话，也必须知道各自的编程数据。快闪元件的编程数据应完整无缺。如快闪芯片含 16Mbit 的数据，就应该可以用到 16Mbit，这样可以防止误解和避免地址冲突。例如，如果用一个 4Mbit 存储器向一个元件仅提供 300Kbit 数据，就可能出现这种情况。当然数据应准备成流行的标准格式，如 Intel 公司的 Hex 或 Motorola 公司的 S 记录结构等。大多数测试系统，只要能够对快闪或 ISP 元件进行编程，是可以解读这些格式的。前面所提到的许多信息，其中许多也是元件制造所必须的。当然，在可制造性和可测试性之间应明确区别，因为这是完全不同的概念，从而构成不同的前提。

4、良好的可测试性的机械接触条件

如果不考虑机械方面的基本规则，即使在电气方面具有非常良好的可测试性的电路，也可能难以测试。许多因素会限制电气的可测试性。如果测试点不够或太小，探针床适配器就难以接触到电路的每个节点。如果测试点位置误差和尺寸误差太大，就会产生测试重复性不好的问题。在使用探针床适配器时，应留意一系列有关套牢孔与测试点的大小和定位的建议。

5、最佳可测试性的电气前提条件

电气前提条件对良好的可测试性，和机械接触条件一样重要，两者缺一不可。一个门电路不能进行测试，原因可能是无法通过测试点接触到启动输入端，也可能是启动输入端处在封装壳内，外部无法接触，在原则上这两情况同样都是不好的，都使测试无法进行。在设计电路时应该注意，凡是要用在线测试法检测的元件，都应该具备某种机理，使各个元件能够在电气上绝缘起来。这种机理可以借助于禁止输入端来实现，它可以将元件的输出端控制在静态的高欧姆状态。

虽然几乎所有的测试系统都能够逆驱动（Backdriving）方式将某一节点的状态带到任意状态，但是所涉及的节点最好还是要备有禁止输入端，首先将此节点带到高欧姆状态，然后再“平缓地”加上相应的电平。

同样，节拍发生器总是通过启动引线，门电路或插接电桥从振荡器后面直接断开。启动输入端决不可直接与电路相连，而是通过 100 欧姆的电阻与电路连接。每个元件应有自己的启动、复位或控制引线脚。必须避免许多元件的启动输入端共用一个电阻与电路相连。这条规则对于 ASIC 元件也适用，这些元件也应有一个引线脚，通过它，可将输出端带到高欧姆状态。如果元件在接通工作电压时可实行复位，这对于由测试器来引发复位也是非常有帮助。

助的。在这种情况下，元件在测试前就可以简单地置于规定的状态。

不用的元件引线脚同样也应该是可接触的，因为在这些地方未发现的短路也可能造成元件故障。此外，不用的门电路往往在以后会被利用于设计改进，它们可能会改接到电路中来。所以同样重要的是，它们从一开始就应经过测试，以保证其工件可靠。

6、改进可测试性

使用探针床适配器时，改进可测试性的建议

套牢孔

- | 呈对角线配置
- | 定位精度为 $\pm 0.05\text{mm}$ ($\pm 2\text{mil}$)
- | 直径精度为 $\pm 0.076/-0\text{mm}$ ($+3/-0\text{mil}$)
- | 相对于测试点的定位精度为 $\pm 0.05\text{mm}$ ($\pm 2\text{mil}$)
- | 离开元件边缘距离至少为 3mm
- | 不可穿通接触

测试点

- | 尽可能为正方形
- | 测试点直径至少为 0.88mm (35mil)
- | 测试点大小精度为 $\pm 0.076\text{mm}$ ($\pm 3\text{mil}$)
- | 测试点之间间隔精度为 $\pm 0.076\text{mm}$ ($\pm 3\text{mil}$)
- | 测试点间隔尽可能为 2.5mm
- | 镀锡，端面可直接焊接
- | 距离元件边缘至少为 3mm
- | 所有测试点应可能处于插件板的背面
- | 测试点应均匀布在插件板上
- | 每个节点至少有一个测试点 (100%通道)
- | 备用或不用的门电路都有测试点
- | 供电电源的多外测试点分布在不同位置

元件标志

- | 标志文字同一方向
- | 型号、版本、系列号及条形码明确标识
- | 元件名称要清晰可见，且尽可能直接标在元件近旁

7、关于快闪存储器和其它可编程元件

快闪存储器的编程时间有时会很长（对于大的存储器或存储器组可达 1 分钟）。因此，此时不容许有其它元件的逆驱动，否则快闪存储器可能会受到损害。为了避免这种情况，必须将所有与地址总线的控制线相连的元件置于高欧姆状态。同样，数据总线也必须能够被置于隔绝状态，以确保快闪存储器为空载，并可进行下步编程。

系统内可编程元件（ISP）有一些要求，如 Altera，Xilinx 和 Lattice 等公司的产品，还有其它一些特殊要求。除了可测试性的机械和电气前提条件应得到保证外，还要保证具有编程和确证数据的可能性。对于 Altera 和 Xilinx 元件，使用了连串矢量格式（Serial Vector Format SVF），这种格式近期几乎已发展成为工业标准。许多测试系统可以对这类元件编程，

并将连串矢量格式 (SVF) 内的输入数据用于测试信号发生器。通过边界扫描键 (Boundary-Scan-Key JTAG) 对这些元件编程, 也将连串数据格式编程。在汇集编程数据时, 重要的是应考虑到电路中全部的元件链, 不应将数据仅仅还原给要编程的元件。

编程时, 自动测试信号发生器考虑到整个的元件链, 并将其它元件接入旁路模型中。相反, Lattice 公司要求用 JEDEC格式的数据, 并通过通常的输入端和输出端并行编程。编程后, 数据还要用于检查元件功能。开发部门提供的数据应尽可能地便于测试系统直接应用, 或者通过简单转换便可应用。

8、对于边界扫描 (JTAG) 应注意什么

由基于复杂元件组成精细网格的组件, 给测试工程师只提供很少的可接触的测试点。此时也仍然可能提高可测试性。对此可使用边界扫描和集成自测试技术来缩短测试完成时间和提高测试效果。

对于开发工程师和测试工程师来说, 建立在边界扫描和集成自测试技术基础上的测试战略肯定会增加费用。开发工程师必然要在电路中使用的边界扫描元件 (IEEE-1149.1- 标准), 并且要设法使相应的具体的测试引线脚可以接触 (如测试数据输入 -TDI, 测试数据输出 -TDO, 测试钟频 -TCK 和测试模式选择 -TMS 以及 ggf. 测试复位)。测试工程师给元件制定一个边界扫描模型 (BSDL边界扫描描述语言)。此时他必须知道, 有关元件支持何种边界扫描功能和指令。边界扫描测试可以诊断直至引线级的短路和断路。除此之外, 如果开发工程师已作规定, 可以通过边界扫描指令 “RunBIST” 来触发元件的自动测试。尤其是当电路中有许多 ASICs 和其它复杂元件时, 对于这些元件并不存在惯常的测试模型, 通过边界扫描元件, 可以大大减少制定测试模型的费用。

时间和成本降低的程度对于每个元件都是不同的。对于一个有 IC 的电路, 如果需要 100 %发现, 大约需要 40 万个测试矢量, 通过使用边界扫描, 在同样的故障发现率下, 测试矢量的数目可以减少到数百个。因此, 在没有测试模型, 或接触电路的节点受到限制的条件下, 边界扫描方法具有特别的优越性。是否要采用边界扫描, 是取决于开发利用和制造过程中增加的成本费用。在边界扫描必须和要求发现故障的时间, 测试时间, 进入市场的时间, 适配器成本进行权衡, 并尽可能节约。在许多情况下, 将传统的在线测试方法和边界扫描方法混合盐业的方案是最佳的解决方式

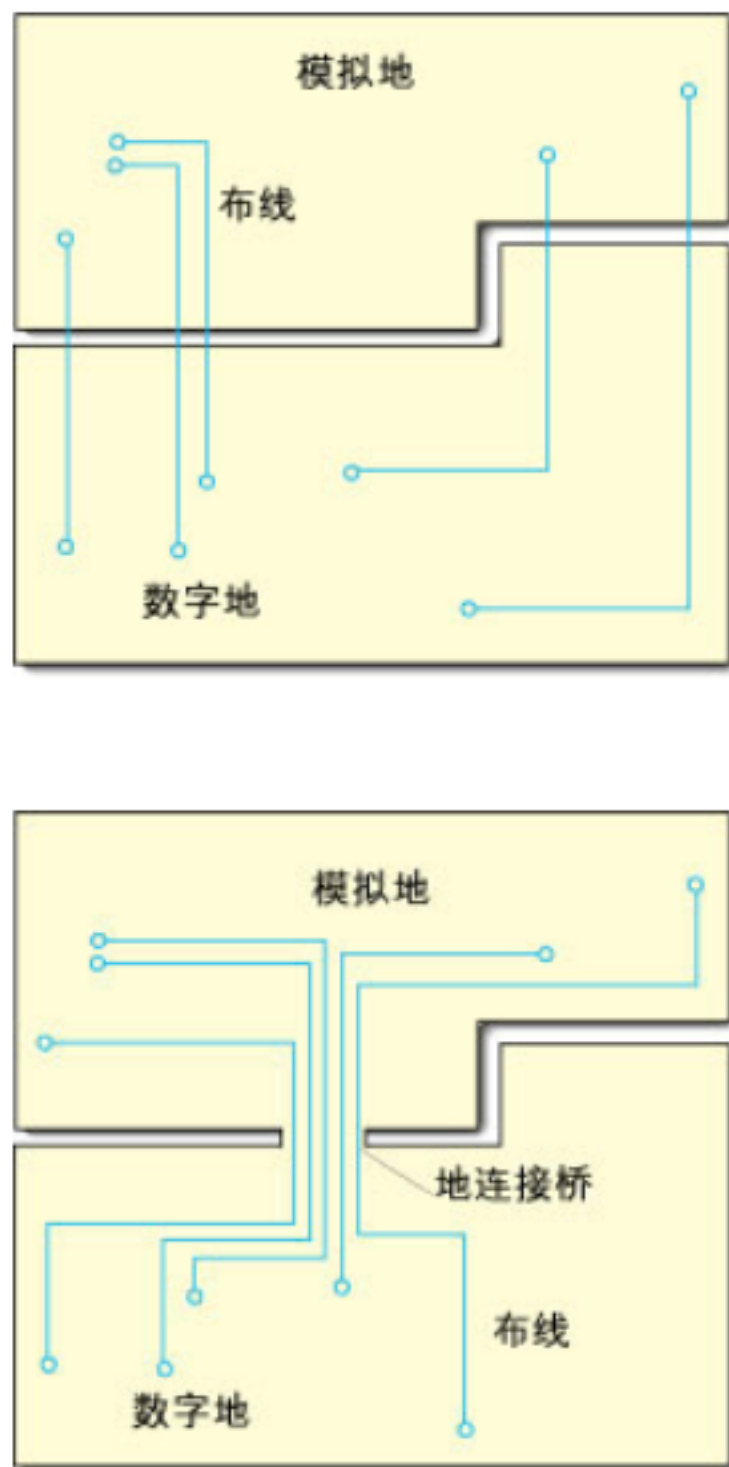
第二篇 混合信号 PCB的分区设计

摘要: 混合信号电路 PCB的设计很复杂, 元器件的布局、布线以及电源和地线的处理将直接影响到电路性能和电磁兼容性能。本文介绍的地和电源的分区设计能优化混合信号电路的性能。

如何降低数字信号和模拟信号间的相互干扰呢? 在设计之前必须了解电磁兼容 (EMC) 的两个基本原则: 第一个原则是尽可能减小电流环路的面积; 第二个原则是系统只采用一个参考面。相反, 如果系统存在两个参考面, 就可能形成一个偶极天线 (注: 小型偶极天线的辐射大小与线的长度、流过的电流大小以及频率成正比); 而如果信号不能通过尽可能小的环路返回, 就可能形成一个大的环状天线 (注: 小型环状天线的辐射大小与环路面积、流过环路的电流大小以及频率的平方成正比)。在设计中要尽可能避免这两种情况。

有人建议将混合信号电路板上的数字地和模拟地分割开, 这样能实现数字地和模拟地之间的隔离。尽管这种方法可行, 但是存在很多潜在的问题, 在复杂的大型系统中问题尤其突

出。最关键的问题是不能跨越分割间隙布线，一旦跨越了分割间隙布线，电磁辐射和信号串扰都会急剧增加。在 PCB 设计中最常见的问题就是信号线跨越分割地或电源而产生 EMI 问题。



如图 1 所示，我们采用上述分割方法，而且信号线跨越了两个地之间的间隙，信号电流的返回路径是什么呢？假定被分割的两个地在某处连接在一起（通常情况下是在某个位置单点连接），在这种情况下，地电流将会形成一个大的环路。流经大环路的高频电流会产生辐射和很高的地电感，如果流过大环路的是低电平模拟电流，该电流很容易受到外部信号干扰。最糟糕的是当把分割地在电源处连接在一起时，将形成一个非常大的电流环路。另外，模拟地和数字地通过一个长导线连接在一起会构成偶极天线。

了解电流回流到地的路径和方式是优化混合信号电路板设计的关键。许多设计工程师仅仅考虑信号电流从哪儿流过，而忽略了电流的具体路径。如果必须对地线层进行分割，而且必须通过分割之间的间隙布线，可以先在被分割的地之间进行单点连接，形成两个地之间的连接桥，然后通过该连接桥布线。这样，在每一个信号线的下方都能够提供一个直接的电流回流路径，从而使形成的环路面积很小。

采用光隔离器件或变压器也能实现信号跨越分割间隙。对于前者，跨越分割间隙的是光信号；在采用变压器的情况下，跨越分割间隙的是磁场。还有一种可行的办法是采用差分信号：信号从一条线流入从另外一条信号线返回，这种情况下，不需要地作为回流路径。

要深入探讨数字信号对模拟信号的干扰必须先了解高频电流的特性。高频电流总是选择阻抗最小（电感最低），直接位于信号下方的路径，因此返回电流会流过邻近的电路层，而无论这个临近层是电源层还是地线层。

在实际工作中一般倾向于使用统一地，而将 PCB 分区为模拟部分和数字部分。模拟信号

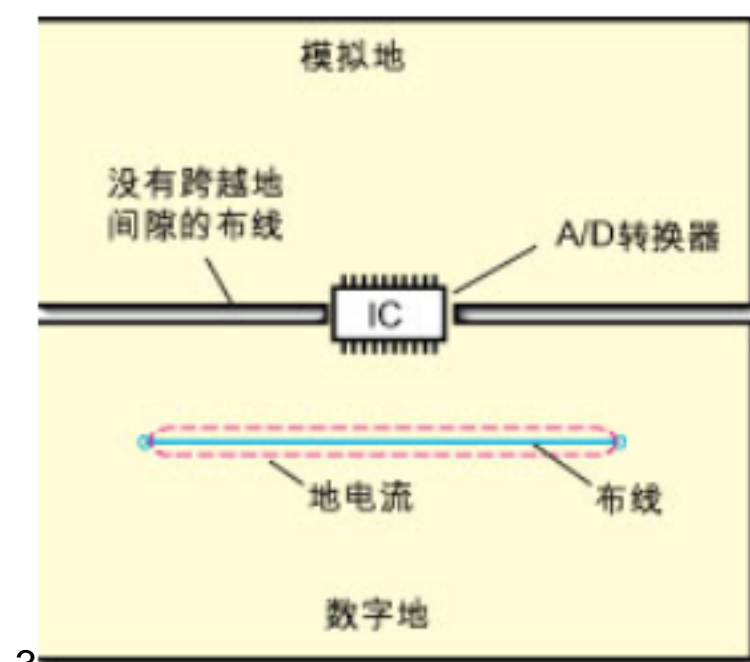
在电路板所有层的模拟区内布线，而数字信号在数字电路区内布线。在这种情况下，数字信号返回电流不会流入到模拟信号的地。

只有将数字信号布线在电路板的模拟部分之上或者将模拟信号布线在电路板的数字部分之上时，才会出现数字信号对模拟信号的干扰。出现这种问题并不是因为没有分割地，真正的原因是数字信号的布线不适当。

PCB 设计采用统一地，通过数字电路和模拟电路分区以及合适的信号布线，通常可以解决一些比较困难的布局布线问题，同时也不会产生因地分割带来的一些潜在的麻烦。在这种情况下，元器件的布局和分区就成为决定设计优劣的关键。如果布局布线合理，数字地电流将限制在电路板的数字部分，不会干扰模拟信号。对于这样的布线必须仔细地检查和核对，要保证百分之百遵守布线规则。否则，一条信号线走线不当就会彻底破坏一个本来非常不错的电路板。

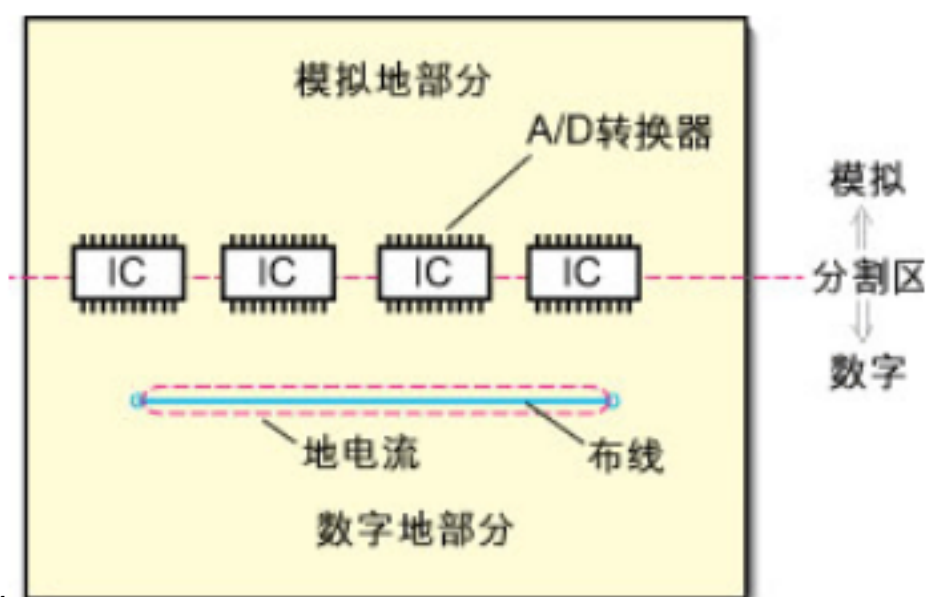
在将 A/D 转换器的模拟地和数字地管脚连接在一起时，大多数的 A/D 转换器厂商会建议：将 AGND 和 DGND 管脚通过最短的引线连接到同一个低阻抗的地上（注：因为大多数 A/D 转换器芯片内部没有将模拟地和数字地连接在一起，必须通过外部管脚实现模拟和数字地的连接），任何与 DGND 连接的外部阻抗都会通过寄生电容将更多的数字噪声耦合到 IC 内部的模拟电路上。按照这个建议，需要把 A/D 转换器的 AGND 和 DGND 管脚都连接到模拟地上，但这种方法会产生诸如数字信号去耦电容的接地端应该接到模拟地还是数字地的问题。

如果系统仅有一个 A/D 转换器，上面的问题就很容易解决。如图



3 中所示，将地分割开，在 A/D 转换器下面把模拟地和数字地部分连接在一起。采取该方法时，必须保证两个地之间的连接桥宽度与 IC 等宽，并且任何信号线都不能跨越分割间隙。

如果系统中 A/D 转换器较多，例如 10 个 A/D 转换器怎样连接呢？如果在每一个 A/D 转换器的下面都将模拟地和数字地连接在一起，则产生多点相连，模拟地和数字地之间的隔离就毫无意义。而如果不这样连接，就违反了厂商的要求。



最好的办法是开始时就用地。如图

4

所

示，将统一的地分为模拟部分和数字部分。这样的布局布线既满足了 IC 器件厂商对模拟地和数字地管脚低阻抗连接的要求，同时又不会形成环路天线或偶极天线而产生 EMC问题。

如果对混合信号 PCB设计采用统一地的做法心存疑虑，可以采用地线层分割的方法对整个电路板布局布线，在设计时注意尽量使电路板在后边实验时易于用间距小于 1/2 英寸的跳线或 0 欧姆电阻将分割地连接在一起。注意分区和布线，确保在所有的层上没有数字信号线位于模拟部分之上，也没有任何模拟信号线位于数字部分之上。而且，任何信号线都不能跨越地间隙或是分割电源之间的间隙。要测试该电路板的功能和 EMC性能，然后将两个地通过 0 欧姆电阻或跳线连接在一起，重新测试该电路板的功能和 EMC性能。比较测试结果，会发现几乎在所有的情况下，统一地的方案在功能和 EMC性能方面比分割地更优越。

#分割地的方法还有用吗？

在以下三种情况可以用到这种方法：一些医疗设备要求在与病人连接的电路和系统之间的漏电流很低；一些工业过程控制设备的输出可能连接到噪声很大而且功率高的机电设备上；另外一种情况就是在 PCB的布局受到特定限制时。

在混合信号 PCB板上通常有独立的数字和模拟电源，能够而且应该采用分割电源面。但是紧邻电源层的信号线不能跨越电源之间的间隙，而所有跨越该间隙的信号线都必须位于紧邻大面积地的电路层上。在有些情况下，将模拟电源以 PCB连接线而不是一个面来设计可以避免电源面的分割问题。

#混合信号 PCB设计是一个复杂的过程，设计过程要注意以下几点：

1. 将 PCB分区为独立的模拟部分和数字部分。
2. 合适的元器件布局。
3. A/D 转换器跨分区放置。
4. 不要对地进行分割。在电路板的模拟部分和数字部分下面敷设统一地。
5. 在电路板的所有层中，数字信号只能在电路板的数字部分布线。
6. 在电路板的所有层中，模拟信号只能在电路板的模拟部分布线。
7. 实现模拟和数字电源分割。
8. 布线不能跨越分割电源面之间的间隙。
9. 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上。
10. 分析返回地电流实际流过的路径和方式。
11. 采用正确的布线规则。

欲知更多信息请查询：www.sigcon.com、www.ultracad.com 和 www.hottconsultants.com。

第三篇 蛇形走线有什么作用？

请问各路大侠，蛇形走线有什么作用？为什么要蛇形走线？哪些类信号线需要蛇形走线，如果要进行蛇形布线，需要满足什么规则和注意什么问题？烦劳大侠们指点一下。

RE:蛇形走线有什么作用？ - 北京 / vhd1 回复于 2000-9-15 9:11:00

>>电感作用

视情况而定，比如 PCI 板上的蛇行线就是为了适应 PCI 33MHzClock 的线长要求

RE:蛇形走线有什么作用 ? - 深圳 / jack 回复于 2000-9-15 12:04:00

关于蛇形走线，因为应用场合不同具不同的作用，如果蛇形走线在电脑板中出现，其主要起到一个滤波电感的作用，提高电路的抗干扰能力，若在一般普通 PCB板中，除了具有滤波电感的作用外，还可作为收音机天线的电感线圈等等。

RE:蛇形走线有什么作用 ? - Shanghai / clgoal 回复于 2000-9-15 13:14:00

电脑主机板中的蛇形走线，主要用在一些时钟信号中，如 PCIClk,AGPClk，它的作用有两点：
1、阻抗匹配 2、滤波电感。对一些重要信号，如 INTEL HUB架构中的 HUBLink,一共 13 根，跑 233MHz 要求必须严格等长，以消除时滞造成的隐患，绕线是唯一的解决办法。一般来讲，蛇形走线的线距 ≥ 2 倍的线宽。

RE:蛇形走线有什么作用 ? - beijing / free 回复于 2000-10-16 12:24:00

等长布线，尤其是在高频电路中的数据线。

RE:蛇形走线有什么作用 ? - 广西北海 / chenshu2000 回复于 2000-10-19 9:18:00

有没有计算蛇形线电感量的公式或经验值？

RE:蛇形走线有什么作用 ? - 北京 / fangll 回复于 2000-10-22 21:56:00

specctra 可以编程设定网络走线的阻抗匹配规则和差分线走线规则
帮助里面讲了一些一般的设计原则

RE:蛇形走线有什么作用 ? - 大连 / nkhare 回复于 2001-2-15 20:07:00

有时也兼作电阻作用。

RE:蛇形走线有什么作用 ? - jinan / wwx 回复于 2001-2-15 22:51:00

实际是一个分布参数的 LC 滤波器。

RE:蛇形走线有什么作用 ? - 广州 / anrey 回复于 2001-2-16 11:04:00

滤波

RE:蛇形走线有什么作用 ? - 珠海 / liangby 回复于 2001-2-16 11:44:00

等长线。平横分布参数

RE:蛇形走线有什么作用 ? - 珠海 / bigcat 回复于 2001-2-16 20:36:00

高速数字 PCB板的等线长是为了使各信号的延迟差保持在一个范围内，保证系统在同一周期内读取的数据的有效性（延迟差超过一个时钟周期时会错读下一周期的数据），一般要求延迟差不超过 $1/4$ 时钟周期，单位长度的线延迟差也是固定的，延迟跟线宽，线长，铜厚，板层结构有关，但线过长会增大分布电容和分布电感，使信号质量，所以时钟 IC 引脚一般都接 RC端接，但蛇形走线并非起电感的作用，相反的，电感会使信号中的上升沿中的高次谐波相移，造成信号质量恶化，所以要求蛇形线间距最少是线宽的两倍，信号的上升时间越小就越易受分布电容和分布电感的影响。

RE: 蛇形走线有什么作用 ? - 北京 / BITLEFT 回复于 2001-6-20 9:59:00

蛇行走线应该注意什么问题? 如果, 走得不好, 对 pcb 板的抗干扰能力是不是不能好转, 反而会有恶化作用?

RE: 蛇形走线有什么作用 ? - GuangZhou / yxlian 回复于 2001-6-20 11:19:00

简单地说, PCB 上的任何一条走线在通过高频信号的情况下都会对该信号造成时延时, 蛇形走线的主要作用是补偿“同一组相关”信号线中延时较小的部分, 这些部分通常是没有或比其它信号少通过另外的逻辑处理; 最典型的的就是时钟线, 通常它不需经过任何其它逻辑处理, 因而其延时会小于其它相关信号。

14:44:00

哈, 在微波电路中, 大多蛇行线是为了减小 PCB 的面积! ——因为线长有严格限制。

RE: 蛇形走线有什么作用 ? - 珠海 / bigcat 回复于 2001-6-20 19:14:00

等线长的蛇形走线没有任何抗干扰的功能, 它的作用是将有时序要求的总线或时钟线的延迟控制在所要求的范围内, 至于要求如果不会算也可从 DATASHEET 上得到, 一般有时序要求的都会给出线长匹配的数据; 在走线时一般遵循 3W 法则 (绕线的间距要两倍于线宽), 这样可消除线间 78% 的互感, 尽量减少因电感变化而引起的阻抗不连续。

另外说明我不是高手, 抬得越高摔得越痛; 若想见识高手, 可以到 WWW. EDACHINA.COM 的高速设计论坛上, 有一篇解释版主回的线间串扰的帖子, 有波形图和注释, 这样可以知道什么样水平的是高手。

RE: 蛇形走线有什么作用 ? - 上海市 / bab0523 回复于 2001-7-10 13:35:00

主板中, 蛇形走线基本上是为了等长, 不光 HUBLINK CPUCLK PCICLK; IDE, DIMM 也要绕线, 绕线线距依据走线线距, 可 1:2, 1:3, 1:4——

RE: 蛇形走线有什么作用 ? - 东莞 / yuanqui_cn 回复于 2001-8-18 14:30:00

在 2.4G 的对讲机中用作电感, 可是我不知怎样计算电感量, 不知大侠有这方面的经验

RE: 蛇形走线有什么作用 ? - hanzhou / wdyuut 回复于 2001-8-22 15:35:00

RE: 蛇形走线, 大多为了实现总线间的长度匹配, 或为了减少布线面积, 从电磁干扰的角度来说, 比较不利, 增大了环路面积, 考虑到线间干扰, 常常不能达到减少布线面积的目的

RE: 蛇形走线有什么作用 ? - 东莞长安 / 蒋国伟 回复于 2001-8-22 18:21:00

短而窄的蛇形走线可做保险丝。

第四篇 确保信号完整性的电路板设计准则

信号完整性 (SI) 问题解决得越早, 设计的效率就越高, 从而可避免在电路板设计完成之后才增加端接器件。SI 设计规划的工具和资源不少, 本文探索信号完整性的核心议题以

及解决 SI 问题的几种方法，在此忽略设计过程的技术细节。

1、SI 问题的提出

随着 IC 输出开关速度的提高，不管信号周期如何，几乎所有设计都遇到了信号完整性问题。即使过去你没有遇到 SI 问题，但是随着电路工作频率的提高，今后一定会遇到信号完整性问题。

信号完整性问题主要指信号的过冲和阻尼振荡现象，它们主要是 IC 驱动幅度和跳变时间的函数。也就是说，即使布线拓扑结构没有变化，只要芯片速度变得足够快，现有设计也将处于临界状态或者停止工作。我们用两个实例来说明信号完整性设计是不可避免的。

实例之一：在通信领域，前沿的电信公司正为语音和数据交换生产高速电路板（高于 500MHz），此时成本并不特别重要，因而可以尽量采用多层板。这样的电路板可以实现充分接地并容易构成电源回路，也可以根据需要采用大量离散的端接器件，但是设计必须正确，不能处于临界状态。

SI 和 EMC 专家在布线之前要进行仿真和计算，然后，电路板设计就可以遵循一系列非常严格的设计规则，在有疑问的地方，可以增加端接器件，从而获得尽可能多的 SI 安全裕量。电路板实际工作过程中，总会出现一些问题，为此，通过采用可控阻抗端接线，可以避免出现 SI 问题。简而言之，超标准设计可以解决 SI 问题。

实例之二：从成本上考虑，电路板通常限制在四层以内（里面两层分别是电源层和接地层）。这极大限制了阻抗控制的作用。此外，布线层少将加剧串扰，同时信号线间距还必须最小以布放更多的印制线。另一方面，设计工程师必须采用最新和最好的 CPU 内存和视频总线设计，这些设计就必须考虑 SI 问题。

关于布线、拓扑结构和端接方式，工程师通常可以从 CPU 制造商那里获得大量建议，然而，这些设计指南还有必要与制造过程结合起来。在很大程度上，电路板设计师的工作比电信设计师的工作要困难，因为增加阻抗控制和端接器件的空间很小。此时要充分研究并解决那些不完整的信号，同时确保产品的设计期限。

下面介绍设计过程通用的 SI 设计准则。

2、设计前的准备工作

在设计开始之前，必须先行思考并确定设计策略，这样才能指导诸如元器件的选择、工艺选择和电路板生产成本控制等工作。就 SI 而言，要预先进行调研以形成规划或者设计准则，从而确保设计结果不出现明显的 SI 问题、串扰或者时序问题。有些设计准则可以由 IC 制造商提供，然而，芯片供应商提供的准则（或者你自己设计的准则）存在一定的局限性，按照这样的准则可能根本设计不了满足 SI 要求的电路板。如果设计规则很容易，也就不需要设计工程师了。

在实际布线之前，首先要解决下列问题，在多数情况下，这些问题会影响你正在设计（或者正在考虑设计）的电路板，如果电路板的数量很大，这项工作就是有价值的。

3、电路板的层叠

某些项目组对 PCB 层数的确定有很大的自主权，而另外一些项目组却没有这种自主权，因此，了解你所处的位置很重要。与制造和成本分析工程师交流可以确定电路板的层叠误差，这时还是发现电路板制造公差的良好时机。比如，如果你指定某一层是 50 阻抗控制，制造商怎样测量并确保这个数值呢？

其他的重要问题包括：预期的制造公差是多少？在电路板上预期的绝缘常数是多少？线

宽和间距的允许误差是多少？接地层和信号层的厚度和间距的允许误差是多少？所有这些信息可以在预布线阶段使用。

根据上述数据，你就可以选择层叠了。注意，几乎每一个插入其他电路板或者背板的 PCB 都有厚度要求，而且多数电路板制造商对其可制造的不同类型的层有固定的厚度要求，这将会极大地约束最终层叠的数目。你可能很想与制造商紧密合作来定义层叠的数目。应该采用阻抗控制工具为不同层生成目标阻抗范围，务必要考虑到制造商提供的制造允许误差和邻近布线的影响。

在信号完整的理想情况下，所有高速节点应该布线在阻抗控制内层（例如带状线），但是实际上，工程师必须经常使用外层进行所有或者部分高速节点的布线。要使 SI 最佳并保持电路板去耦，就应该尽可能将接地层 / 电源层成对布放。如果只能有一对接地层 / 电源层，你就只有将就了。如果根本就没有电源层，根据定义你可能会遇到 SI 问题。你还可能遇到这样的情况，即在未定义信号的返回通路之前很难仿真或者模拟电路板的性能。

4、串扰和阻抗控制

来自邻近信号线的耦合将导致串扰并改变信号线的阻抗。相邻平行信号线的耦合分析可能决定信号线之间或者各类信号线之间的“安全”或预期间距（或者平行布线长度）。比如，欲将时钟到数据信号节点的串扰限制在 100mV 以内，却要信号走线保持平行，你可以通过计算或仿真，找到在任何给定布线层上信号之间的最小允许间距。同时，如果设计中包含阻抗重要的节点（或者是时钟或者专用高速内存架构），你就必须将布线放置在一层（或若干层）上以得到想要的阻抗。

5、重要的高速节点

延迟和时滞是时钟布线必须考虑的关键因素。因为时序要求严格，这种节点通常必须采用端接器件才能达到最佳 SI 质量。要预先确定这些节点，同时将调节元器件放置和布线所需要的时间加以计划，以便调整信号完整性设计的指标。

6、技术选择

不同的驱动技术适于不同的任务。信号是点对点的还是一点对多抽头的？信号是从电路板输出还是留在相同的电路板上？允许的时滞和噪声裕量是多少？作为信号完整性设计的通用准则，转换速度越慢，信号完整性越好。50MHz 时钟采用 500ps 上升时间是没有理由的。一个 2-3ns 的摆率控制器件速度要足够快，才能保证 SI 的品质，并有助于解决象输出同步交换 (SSO) 和电磁兼容 (EMC) 等问题。

在新型 FPGA 可编程技术或者用户定义 ASIC 中，可以找到驱动技术的优越性。采用这些定制（或者半定制）器件，你就有很大的余地选定驱动幅度和速度。设计初期，要满足 FPGA 或 ASIC 设计时间的要求并确定恰当的输出选择，如果可能的话，还要包括引脚选择。

在这个设计阶段，要从 IC 供应商那里获得合适的仿真模型。为了有效的覆盖 SI 仿真，你将需要一个 SI 仿真程序和相应的仿真模型（可能是 IBIS 模型）。

最后，在预布线和布线阶段你应该建立一系列设计指南，它们包括：目标层阻抗、布线间距、倾向采用的器件工艺、重要节点拓扑和端接规划。

7、预布线阶段

预布线 SI 规划的基本过程是首先定义输入参数范围（驱动幅度、阻抗、跟踪速度）和可能的拓扑范围（最小/最大长度、短线长度等），然后运行每一个可能的仿真组合，分析时序和 SI 仿真结果，最后找到可以接受的数值范围。

接着，将工作范围解释为 PCB 布线的布线约束条件。可以采用不同软件工具执行这种类型的“清扫”准备工作，布线程序能够自动处理这类布线约束条件。对多数用户而言，时序信息实际上比 SI 结果更为重要，互连仿真的结果可以改变布线，从而调整信号通路的时序。

在其他应用中，这个过程可以用来确定与系统时序指标不兼容的引脚或者器件的布局。此时，有可能完全确定需要手工布线的节点或者不需要端接的节点。对于可编程器件和 ASIC 来说，此时还可以调整输出驱动的选择，以便改进 SI 设计或避免采用离散端接器件。

8、布线后 SI 仿真

一般来说，SI 设计指导规则很难保证实际布线完成之后不出现 SI 或时序问题。即使设计是在指南的引导下进行，除非你能够持续自动检查设计，否则，根本无法保证设计完全遵守准则，因而难免出现问题。布线后 SI 仿真检查将允许有计划地打破（或者改变）设计规则，但是这只是出于成本考虑或者严格的布线要求下所做的必要工作。

现在，采用 SI 仿真引擎，完全可以仿真高速数字 PCB（甚至是多板系统），自动屏蔽 SI 问题并生成精确的“引脚到引脚”延迟参数。只要输入信号足够好，仿真结果也会一样好。这使得器件模型和电路板制造参数的精确性成为决定仿真结果的关键因素。很多设计工程师将仿真“最小”和“最大”的设计角落，再采用相关的信息来解决问题并调整生产率。

9、后制造阶段

采取上述措施可以确保电路板的 SI 设计品质，在电路板装配完成之后，仍然有必要将电路板放在测试平台上，利用示波器或者 TDR（时域反射计）测量，将真实电路板和仿真预期结果进行比较。这些测量数据可以帮助你改进模型和制造参数，以便你在下一次预设计调研工作中做出更佳的（更少的约束条件）决策。

10、模型的选择

关于模型选择的文章很多，进行静态时序验证的工程师们可能已经注意到，尽管从器件数据表可以获得所有的数据，要建立一个模型仍然很困难。SI 仿真模型正好相反，模型的建立容易，但是模型数据却很难获得。本质上，SI 模型数据唯一的可靠来源是 IC 供应商，他们必须与设计工程师保持默契的配合。IBIS 模型标准提供了一致的数据载体，但是 IBIS 模型的建立及其品质的保证却成本高昂，IC 供应商对此投资仍然需要市场需求的推动作用，而电路板制造商可能是唯一的需方市场。

11、未来技术的趋势

设想系统中所有输出都可以调整以匹配布线阻抗或者接收电路的负载，这样的系统测试方便，SI 问题可以通过编程解决，或者按照 IC 特定的工艺分布来调整电路板使 SI 达到要求，这样就能使设计容差更大或者使硬件配置的范围更宽。

目前，业界也在关注一种 SI 器件技术，其中许多技术包含设计好的端接装置（比如 LVDS）和自动可编程输出强度控制和动态自动端接功能，采用这些技术的设计可以获得优良的 SI 品质，但是，大多数技术与标准的 CMOS 或者 TTL 逻辑电路差别太大，与现有仿真模型的配合不大好。

因此，EDA 公司也正加入到“轻轻松松设计”的竞技场之中，人们为了在设计初期解决 SI 问题已经做了大量工作，将来，不必 SI 专家就能借助自动化工具解决 SI 问题。尽管目前技术还没有发展到那个水平，但是人们正探索新的设计方法，从“SI 和时序布线”出发开始设计的技术仍在发展，预计未来几年内将诞生新的设计技术

高速 PCB设计指南之四

第一篇 印制电路板的可靠性设计

目前电子器材用于各类电子设备和系统仍然以印制电路板为主要装配方式。实践证明，即使电路原理图设计正确，印制电路板设计不当，也会对电子设备的可靠性产生不利影响。例如，如果印制板两条细平行线靠得很近，则会形成信号波形的延迟，在传输线的终端形成反射噪声。因此，在设计印制电路板的时候，应注意采用正确的方法。

一、地线设计

在电子设备中，接地是控制干扰的重要方法。如能将接地和屏蔽正确结合起来使用，可解决大部分干扰问题。电子设备中地线结构大致有系统地、机壳地（屏蔽地）、数字地（逻辑地）和模拟地等。在地线设计中应注意以下几点：

1. 正确选择单点接地与多点接地

低频电路中，信号的工作频率小于 1MHz，它的布线和器件间的电感影响较小，而接地电路形成的环流对干扰影响较大，因而应采用一点接地。当信号工作频率大于 10MHz 时，地线阻抗变得很大，此时应尽量降低地线阻抗，应采用就近多点接地。当工作频率在 1 ~ 10MHz 时，如果采用一点接地，其地线长度不应超过波长的 1/20，否则应采用多点接地法。

2. 将数字电路与模拟电路分开

电路板上既有高速逻辑电路，又有线性电路，应使它们尽量分开，而两者的地线不要相混，分别与电源端地线相连。要尽量加大线性电路的接地面积。

3. 尽量加粗接地线

若接地线很细，接地电位则随电流的变化而变化，致使电子设备的定时信号电平不稳，抗噪声性能变坏。因此应将接地线尽量加粗，使它能通过三位于印制电路板的允许电流。如有可能，接地线的宽度应大于 3mm。

4. 将接地线构成闭环路

设计只由数字电路组成的印制电路板的地线系统时，将接地线做成闭环路可以明显的提高抗噪声能力。其原因在于：印制电路板上有很多集成电路元件，尤其遇有耗电多的元件时，因受接地线粗细的限制，会在地结上产生较大的电位差，引起抗噪声能力下降，若将接地结构成环路，则会缩小电位差值，提高电子设备的抗噪声能力。

二、电磁兼容性设计

电磁兼容性是指电子设备在各种电磁环境中仍能够协调、有效地进行工作的能力。电磁兼容性设计的目的是使电子设备既能抑制各种外来的干扰，使电子设备在特定的电磁环境中能够正常工作，同时又能减少电子设备本身对其它电子设备的电磁干扰。

1. 选择合理的导线宽度由于瞬变电流在印制线条上所产生的冲击干扰主要是由印制导线的电感成分造成的，因此应尽量减小印制导线的电感量。印制导线的电感量与其长度成正比，与其宽度成反比，因而短而精的导线对抑制干扰是有利的。时钟引线、行驱动器或总线驱动器的信号线常常载有大的瞬变电流，印制导线要尽可能地短。对于分立元件电路，印制导线宽度在 1.5mm 左右时，即可完全满足要求；对于集成电路，印制导线宽度可在 0.2 ~ 1.0mm 之间选择。

2. 采用正确的布线策略采用平等走线可以减少导线电感，但导线之间的互感和分布电容增加，如果布局允许，最好采用井字形网状布线结构，具体做法是印制板的一面横向布线，另

一面纵向布线，然后在交叉孔处用金属化孔相连。为了抑制印制板导线之间的串扰，在设计布线时应尽量避免长距离的平行走线，尽可能拉开线与线之间的距离，信号线与地线及电源线尽可能不交叉。在一些对干扰十分敏感的信号线之间设置一根接地的印制线，可以有效地抑制串扰。

为了避免高频信号通过印制导线时产生的电磁辐射，在印制电路板布线时，还应注意以下几点：

尽量减少印制导线的不连续性，例如导线宽度不要突变，导线的拐角应大于 90 度禁止环状走线等。

时钟信号引线最容易产生电磁辐射干扰，走线时应与地线回路相靠近，驱动器应紧挨着连接器。

总线驱动器应紧挨其欲驱动的总线。对于那些离开印制电路板的引线，驱动器应紧紧挨着连接器。

数据总线的布线应每两根信号线之间夹一根信号地线。最好是紧紧挨着最不重要的地址引线放置地回路，因为后者常载有高频电流。

在印制板布置高速、中速和低速逻辑电路时，应按照图 1 的方式排列器件。

3. 抑制反射干扰为了抑制出现在印制线条终端的反射干扰，除了特殊需要之外，应尽可能缩短印制线的长度和采用慢速电路。必要时可加终端匹配，即在传输线的末端对地和电源端各加接一个相同阻值的匹配电阻。根据经验，对一般速度较快的 TTL 电路，其印制线条长于 10cm 以上时就应采用终端匹配措施。匹配电阻的阻值应根据集成电路的输出驱动电流及吸收电流的最大值来决定。

三、去耦电容配置

在直流电源回路中，负载的变化会引起电源噪声。例如在数字电路中，当电路从一种状态转换为另一种状态时，就会在电源线上产生一个很大的尖峰电流，形成瞬变的噪声电压。

配置去耦电容可以抑制因负载变化而产生的噪声，是印制电路板的可靠性设计的一种常规做法，配置原则如下：

电源输入端跨接一个 10~100uF 的电解电容器，如果印制电路板的位置允许，采用 100uF 以上的电解电容器的抗干扰效果会更好。

为每个集成电路芯片配置一个 0.01uF 的陶瓷电容器。如遇到印制电路板空间小而装不下时，可每 4~10 个芯片配置一个 1~10uF 钽电解电容器，这种器件的高频阻抗特别小，在 500kHz~20MHz 范围内阻抗小于 1 Ω ，而且漏电流很小（0.5uA 以下）。

对于噪声能力弱、关断时电流变化大的器件和 ROM、RAM 等存储型器件，应在芯片的电源（Vcc）和地线（GND）间直接接入去耦电容。

去耦电容的引线不能过长，特别是高频旁路电容不能带引线。

四、印制电路板的尺寸与器件的布置

印制电路板大小要适中，过大时印制线条长，阻抗增加，不仅抗噪声能力下降，成本也高；过小，则散热不好，同时易受临近线条干扰。

在器件布置方面与其它逻辑电路一样，应把相互有关的器件尽量放得靠近些，这样可以获得较好的抗噪声效果。如图 2 所示。时钟发生器、晶振和 CPU 的时钟输入端都易产生噪声，要相互靠近些。易产生噪声的器件、小电流电路、大电流电路等应尽量远离逻辑电路，如有可能，应另做电路板，这一点十分重要。

五、热设计

从有利于散热的角度出发，印制板最好是直立安装，板与板之间的距离一般不应小于 2cm，而且器件在印制板上的排列方式应遵循一定的规则：

- 对于采用自由对流空气冷却的设备，最好是将集成电路（或其它器件）按纵长方式排列，如图 3 示；对于采用强制空气冷却的设备，最好是将集成电路（或其它器件）按横长方式排列，如图 4 所示。

- 同一块印制板上的器件应尽可能按其发热量大小及散热程度分区排列，发热量小或耐热性差的器件（如小信号晶体管、小规模集成电路、电解电容等）放在冷却气流的最上流（入口处），发热量大或耐热性好的器件（如功率晶体管、大规模集成电路等）放在冷却气流最下游。

- 在水平方向上，大功率器件尽量靠近印制板边沿布置，以便缩短传热路径；在垂直方向上，大功率器件尽量靠近印制板上部布置，以便减少这些器件工作时对其它器件温度的影响。

- 对温度比较敏感的器件最好安置在温度最低的区域（如设备的底部），千万不要将它放在发热器件的正上方，多个器件最好是在水平面上交错布局。

- 设备内印制板的散热主要依靠空气流动，所以在设计时要研究空气流动路径，合理配置器件或印制电路板。空气流动时总是趋向于阻力小的地方流动，所以在印制电路板上配置器件时，要避免在某个区域留有较大的空域。整机中多块印制电路板的配置也应注意同样的问题。

大量实践经验表明，采用合理的器件排列方式，可以有效地降低印制电路的温升，从而使器件及设备的故障率明显下降。

以上所述只是印制电路板可靠性设计的一些通用原则，印制电路板可靠性与具体电路有着密切的关系，在设计中还需根据具体电路进行相应处理，才能最大程度地保证印制电路板的可靠性。

六、产品骚扰的抑制方案

1 接地 1.1 设备的信号接地

目的：为设备中的任何信号提供一个公共的参考电位。

方式：设备的信号接地系统可以是一块金属板。

1.2 基本的信号接地方式

有三种基本的信号接地方式：浮地、单点接地、多点接地。

1.2.1 浮地 目的：使电路或设备与公共地线可能引起环流的公共导线隔离起来，浮地还使不同电位的电路之间配合变得容易。 缺点：容易出现静电积累引起强烈的静电放电。 折衷方案：接入泄放电阻。

1.2.2 单点接地 方式：线路中只有一个物理点被定义为接地参考点，凡需要接地均接于此。 缺点：不适宜用于高频场合。

1.2.3 多点接地 方式：凡需要接地的点都直接连到距它最近的接地平面上，以便使接地线长度为最短。 缺点：维护较麻烦。

1.2.4 混合接地 按需要选用单点及多点接地。

1.3 信号接地线的处理（搭接）

搭接是在两个金属点之间建立低阻抗的通路。

分直接搭接、间接搭接方式。

无论哪一种搭接方式，最重要的是强调搭接良好。

1.4 设备的接地（接大地）

设备与大地连在一起，以大地为参考点，目的：

- 1) 实现设备的安全接地
- 2) 泄放机箱上所积累的电荷，避免设备内部放电。
- 3) 接高设备工作的稳定性，避免设备对大地的电位在外界电磁环境作用下发生的变化。

1.5 拉大地的方法和接地电阻 接地棒。

1.6 电气设备的接地

例 2 屏蔽 2.1 电场屏蔽 2.1.1 电场屏蔽的机理 分布电容间的耦合
处理方法：

- 1) 增大 A、B 距离。
 - 2) B 尽量贴近接地板。
 - 3) A、B 间插入金属屏蔽板。
- 2.1.2 电场屏蔽设计重点：
- 1) 屏蔽板程控受保护物；屏蔽板接地必须良好。
 - 2) 注意屏蔽板的形状。
 - 3) 屏蔽板以良好导体为好，厚度无要求，强度要足够。

2.2 磁场屏蔽

2.2.1 磁场屏蔽的机理

高导磁材料的低磁阻起磁分路作用，使屏蔽体内的磁场大大降低。

2.2.2 磁场屏蔽设计重点

- 1) 选用高导磁率材料。
- 2) 增加屏蔽体的壁厚。
- 3) 被屏蔽物不要紧靠屏蔽体。
- 4) 注意结构设计。
- 5) 对强用双层磁屏蔽体。

2.3 电磁场屏蔽的机理

- 1) 表面的反射。
- 2) 屏蔽体内部的吸收。

2.3.2 材料对电磁屏蔽的效果

2.4 实际的电磁屏蔽体

七、产品内部的电磁兼容性设计

1 印刷电路板设计中的电磁兼容性

1.1 印刷线路板中的公共阻抗耦合问题 数字地与模拟地分开，地线加宽。

1.2 印刷线路板的布局

对高速、中速和低速混用时，注意不同的布局区域。

对低模拟电路和数字逻辑要分离。

1.3 印刷线路板的布线（单面或双面板）

专用零伏线，电源线的走线宽度 1mm

电源线和地线尽可能靠近，整块印刷板上的电源与地要呈“井”字形分布，以便使分布线电流达到均衡。

要为模拟电路专门提供一根零伏线。

为减少线间串扰，必要时可增加印刷线条间距离，在意安插一些零伏线作

为线间隔离。

印刷电路的插头也要多安排一些零伏线作为线间隔离。

特别注意电流流通中的导线环路尺寸。

如有可能在控制线（于印刷板上）的入口处加接 R-C 去耦，以便消除传输中可能出现的干扰因素。

印刷弧上的线宽不要突变，导线不要突然拐角（90 度）。

1.4 对在印刷线路板上使用逻辑电路有益建议

凡能不用高速逻辑电路的就不用。

在电源与地之间加去耦电容。

注意长线传输中的波形畸变。

用 R-S 触发的作按钮与电子线路之间配合的缓冲。

1.4.1 逻辑电路工作时，所引入的电源线干扰及抑制方法

1.4.2 逻辑电路输出波形传输中的畸变问题

1.4.3 按钮操作与电子线路工作的配合问题

1.5 印刷线路板的互连 主要是线间串扰，影响因素：

直角走线

屏蔽线

阻抗匹配

长线驱动

2 开关电源设计中的电磁兼容性

2.1 开关电源对电网传导的骚扰与抑制

骚扰来源：

非线性流。

初级电路中功率晶体管外壳与散热器之间的容光焕发耦合在电源输入端产生的传导共模噪声。

抑制方法：

对开关电压波形进行“修整”。

在晶体管与散热器之间加装带屏蔽层的绝缘垫片。

在市电输入电路上加接电源滤波器。

2.2 开关电源的辐射骚扰与抑制

注意辐射骚扰与抑制

抑制方法：

尽可能地减小环路面积。

印刷线路板上正负载流导体的布局。

在次线整流回路中使用软恢复二极管或在二极管上并联聚酯薄膜电容器。

对晶体管开关波形进行“修整”。

2.3 输出噪声的减小

原因是二极管反向电流陡变及回路分布电感。二极管结电容等形成高频衰减振荡，而

滤波电容的等效串联电感又削弱了滤波的作用，因此在输出改波中出现尖峰干扰解决办法是加小电感和高频电容。

3 设备内部的布线

3.1 线间电磁耦合现象及抑制方法

对磁场耦合：

减小干扰和敏感电路的环路面积最好办法是使用双绞线和屏蔽线。

增大线间距离（使互感减小）。

尽可有使干扰源线路与受感应线路呈直角布线。

对电容耦合：

增大线间距离。

屏蔽层接地。

降低敏感线路的输入阻抗。

如有可能在敏感电路采用平衡线路作输入，利用平衡线路固有的共模抑制能力克服干扰源对敏感线路的干扰。

3.2 一般的布线方法：

按功率分类，不同分类的导线应分别捆扎，分开敷设的线束间距离应为 50 ~ 75mm

4 屏蔽电缆的接地

4.1 常用的电缆

双绞线在低于 100KHz 下使用非常有效，高频下因特性阻抗不均匀及由此造成的波形反射而受到限制。

带屏蔽的双绞线，信号电流在两根内导线上流动，噪声电流在屏蔽层里流动，因此消除了公共阻抗的耦合，而任何干扰将同时感应到两根导线上，使噪声相消。

非屏蔽双绞线抵御静电耦合的能力差些。但对防止磁场感应仍有很好作用。非屏蔽双绞线的屏蔽效果与单位长度的导线扭绞次数成正比。

同轴电缆有较均匀的特性阻抗和较低的损耗，使从真流到甚高频都有较好特性。

无屏蔽的带状电缆。

最好的接线方式是信号与地线相间，稍次的方法是一根地、两根信号再一根地依次类推，或专用一块接地平板。

4.2 电缆线屏蔽层的接地

总之，将负载直接接地的方式是不合适的，这是因为两端接地的屏蔽层为磁感应的地环路电流提供了分流，使得磁场屏蔽性能下降。

4.3 电缆线的端接方法

在要求高的场合要为内导体提供 360° 的完整包裹，并用同轴接头来保证电场屏蔽的完整性。

5 对静电的防护

静电放电可通过直接传导，电容耦合和电感耦合三种方式进入电子线路。

直接对电路的静电放电经常会引起电路的损坏，对邻近物体的放电通过电容或电感耦合，会影响到电路工作的稳定性。

防护方法：

建立完善的屏蔽结构，带有接地的金属屏蔽壳体可将放电电流释放到地。

金属外壳接地可限制外壳电位的升高，造成内部电路与外壳之间的放电。

内部电路如果要与金属外壳相连时，要用单点接地，防止放电电流流过内部电路。

在电缆入口处增加保护器件。

在印刷板入口处增加保护环（环与接地端相连）。

6 设备内部开关接点的处理

6.1 开关断开过程中瞬变干扰形成

6.2 干扰的抑制措施

6.2.1 对被切换电感负载的处理

6.2.2 对开关触点的处理

八、如何提高电子产品的抗干扰能力和电磁兼容性

在研制带处理器的电子产品时，如何提高抗干扰能力和电磁兼容性？

1、下面的一些系统要特别注意抗电磁干扰：

(1) 微控制器时钟频率特别高，总线周期特别快的系统。

(2) 系统含有大功率，大电流驱动电路，如产生火花的继电器，大电流开关等。

(3) 含微弱模拟信号电路以及高精度 A/D 变换电路的系统。

2、为增加系统的抗电磁干扰能力采取如下措施：

- (1) 选用频率低的微控制器：选用外时钟频率低的微控制器可以有效降低噪声和提高系统的抗干扰能力。同样频率的方波和正弦波，方波中的高频成份比正弦波多得多。虽然方波的高频成份的波的幅度，比基波小，但频率越高越容易发射出成为噪声源，微控制器产生的最有影响的高频噪声大约是时钟频率的 3 倍。
- (2) 减小信号传输中的畸变 微控制器主要采用高速 CMOS 技术制造。信号输入端静态输入电流在 1mA 左右，输入电容 10PF 左右，输入阻抗相当高，高速 CMOS 电路的输出端都有相当的带载能力，即相当大的输出值，将一个门的输出端通过一段很长线引到输入阻抗相当高的输入端，反射问题就很严重，它会引起信号畸变，增加系统噪声。当 $T_{pd} > T_r$ 时，就成了一个传输线问题，必须考虑信号反射，阻抗匹配等问题。信号在印制板上的延迟时间与引线的特性阻抗有关，即与印制线路板材料的介电常数有关。可以粗略地认为，信号在印制板引线的传输速度，约为光速的 $1/3$ 到 $1/2$ 之间。微控制器构成的系统中常用逻辑元件的 T_r （标准延迟时间）为 3 到 18ns 之间。

在印制线路板上，信号通过一个 7W 的电阻和一段 25cm 长的引线，线上延迟时间大致在 4~20ns 之间。也就是说，信号在印刷线路上的引线越短越好，最长不宜超过 25cm 而且过孔数目也应尽量少，最好不多于 2 个。

当信号的上升时间快于信号延迟时间，就要按照快电子学处理。此时要考虑传输线的阻抗匹配，对于一块印刷线路板上的集成块之间的信号传输，避免出现 $T_d > T_{rd}$ 的情况，印刷线路板越大系统的速度就越不能太快。用以下结论归纳印刷线路板设计的一个规则：信号在印刷板上传输，其延迟时间不应大于所用器件的标称延迟时间。

(3) 减小信号线间的交叉干扰：A 点一个上升时间为 T_r 的阶跃信号通过引线 AB 传向 B 端。信号在 AB 线上的延迟时间是 T_d 。在 D 点，由于 A 点信号的向前传输，到达 B 点后的信号反射和 AB 线的延迟， T_d 时间以后会感应出一个宽度为 T_r

的负脉冲信号。在 C 点，由于 AB 上信号的传输与反射，会感应出一个宽度为信号在 AB 线上的延迟时间的两倍，即 $2T_d$ 的正脉冲信号。这就是信号间的交叉干扰。干扰信号的强度与 C 点信号的 di/dt 有关，与线间距离有关。当两信号线不是很长时，AB 上看到的实际是两个脉冲的迭加。

CMOS 工艺制造的微控制由输入阻抗高，噪声高，噪声容限也很高，数字电路是迭加 100~200mV 噪声并不影响其工作。若图中 AB 线是一模拟信号，这种干扰就变为不能容忍。如印刷线路板为四层板，其中有一层是大面积的地，或双面板，信号线的反面是大面积的地时，这种信号间的交叉干扰就会变小。原因是，大面积的地减小了信号线的特性阻抗，信号在 D 端的反射大为减小。特性阻抗与信号线到地间的介质的介电常数的平方成反比，与介质厚度的自然对数成正比。若 AB 线为一模拟信号，要避免数字电路信号线 CD 对 AB 的干扰，AB 线下方要有大面积的地，AB 线到 CD 线的距离要大于 AB 线与地距离的 2~3 倍。可用局部屏蔽地，在有引结的一面引左右两侧布以地线。

(4) 减小来自电源的噪声 电源在向系统提供能源的同时，也将其噪声加到所供电的电源上。电路中微控制器的复位线，中断线，以及其它一些控制线最容易受外界噪声的干扰。电网上的强干扰通过电源进入电路，即使电池供电的系统，电池本身也有高频噪声。模拟电路中的模拟信号更经受不住来自电源的干扰。

(5) 注意印刷线板与元器件的高频特性 在高频情况下，印刷线路板上的引线，过孔，电阻、电容、接插件的分布电感与电容等不可忽略。电容的分布电感不可忽略，电感的分布电容不可忽略。电阻产生对高频信号的反射，引线的分布电容会起作用，当长度大于噪声频率相应波长的 $1/20$ 时，就产生天线效应，噪声通过引线向外发射。印刷线路板的过孔大约引起 0.6pF 的电容。一个集成电路本身的封装材料引入 2~6pF 电容。一个线路板上的接插件，有 520nH 的分布电感。一个双列直插的 24 引脚集成电路插座，引入 4~18nH 的分布电感。这些小的分布参数对于这行较低频率下的微控制器系统中是可以忽略不计的；而对于高速系统必须予以特别注意。

(6) 元件布置要合理分区 元件在印刷线路板上排列的位置要充分考虑抗电磁干扰问题，原则之一是各部件之间的引线要尽量短。在布局上，要把模拟信号部分，高速数字电路部分，噪声源部分（如继电器，大电流开关等）这三部分合理地分开，使相互间的信号耦合为最小。G 处理好接地线 印刷电路板上，电源线和地线最重要。克服电磁干扰，最主要的手段就是接地。

对于双面板，地线布置特别讲究，通过采用单点接地法，电源和地是从电源的两端接到印刷线路板上来的，电源一个接点，地一个接点。印刷线路板上，要有多个返回地线，这些都会聚到回电源的那个接点上，就是所谓单点接地。所谓模拟地、数字地、大功率器件地分开，是指布线分开，而最后都汇集到这个接地点上来。与印刷线路板以外的信号相连时，通常采用屏蔽电缆。对于高频和数字信号，屏蔽电缆两端都接地。低频模拟信号用的屏蔽电缆，一端接地为好。

对噪声和干扰非常敏感的电路或高频噪声特别严重的电路应该用金属罩屏蔽起来。

(7) 用好去耦电容。 好的高频去耦电容可以去除高到 1GHz 的高频成份。陶瓷片电容或多层陶瓷电容的高频特性较好。设计印刷线路板时，每个集成电路的电源，地之间都要加一个去耦电容。去耦电容有两个作用：一方面是本集成电路的蓄能电容，提供和吸收该集成电路开门关门瞬间的充放电能；另一方面旁路掉该器件的高频噪声。数字电路中典型的去耦电容为 0.1μF 的去耦电容有 5nH 分布电感，

它的并行共振频率大约在 7MHz 左右,也就是说对于 10MHz 以下的噪声有较好的去耦作用,对 40MHz 以上的噪声几乎不起作用。

1uf, 10uf 电容,并行共振频率在 20MHz 以上,去除高频率噪声的效果要好一些。在电源进入印刷板的地方和一个 1uf 或 10uf 的去高频电容往往是有利的,即使是用电池供电的系统也需要这种电容。每 10 片左右的集成电路要加一片充放电电容,或称为蓄放电容,电容大小可选 10uf。最好不用电解电容,电解电容是两层薄膜卷起来的,这种卷起来的结构在高频时表现为电感,最好使用钽电容或聚碳酸酯电容。

去耦电容值的选取并不严格,可按 $C=1/f$ 计算;即 10MHz 取 0.1uf,对微控制器构成的系统,取 0.1~0.01uf 之间都可以。

3、降低噪声与电磁干扰的一些经验。

- (1) 能用低速芯片就不用高速的,高速芯片用在关键地方。
- (2) 可用串一个电阻的办法,降低控制电路上下沿跳变速率。
- (3) 尽量为继电器等提供某种形式的阻尼。
- (4) 使用满足系统要求的最低频率时钟。
- (5) 时钟产生器尽量靠近到用该时钟的器件。石英晶体振荡器外壳要接地
- (6) 用地线将时钟区圈起来,时钟线尽量短。
- (7) I/O 驱动电路尽量靠近印刷板边,让其尽快离开印刷板。对进入印制板的信号要加滤波,从高噪声区来的信号也要加滤波,同时用串终端电阻的办法,减小信号反射。
- (8) MCD 无用端要接高,或接地,或定义成输出端,集成电路上该接电源地的端都要接,不要悬空。
- (9) 闲置不用的门电路输入端不要悬空,闲置不用的运放正输入端接地,负输入端接输出端。
- (10) 印制板尽量使用 45 折线而不用 90 折线布线以减小高频信号对外的发射与耦合。
- (11) 印制板按频率和电流开关特性分区,噪声元件与非噪声元件要距离再远一些。
- (12) 单面板和双面板用单点接电源和单点接地、电源线、地线尽量粗,经济是能承受的话用多层板以减小电源,地的容生电感。
- (13) 时钟、总线、片选信号要远离 I/O 线和接插件。
- (14) 模拟电压输入线、参考电压端要尽量远离数字电路信号线,特别是时钟。
- (15) 对 A/D 类器件,数字部分与模拟部分宁可统一下也不要交叉。
- (16) 时钟线垂直于 I/O 线比平行 I/O 线干扰小,时钟元件引脚远离 I/O 电缆。
- (17) 元件引脚尽量短,去耦电容引脚尽量短。
- (18) 关键的线要尽量粗,并在两边加上保护地。高速线要短要直。
- (19) 对噪声敏感的线不要与大电流,高速开关线平行。
- (20) 石英晶体下面以及对噪声敏感的器件下面不要走线。
- (21) 弱信号电路,低频电路周围不要形成电流环路。
- (22) 任何信号都不要形成环路,如不可避免,让环路区尽量小。
- (23) 每个集成电路一个去耦电容。每个电解电容边上都要加一个小的旁路电容。
- (24) 用大容量的钽电容或聚酯电容而不用电解电容作电路充放电储能电容。使用管状电容时,外壳要接地

高速 PCB 设计指南之五

第一篇 DSP 系统的降噪技术

随着高速 DSP（数字信号处理器）和外设的出现，新产品设计人员面临着电磁干扰（EMI）日益严重的威胁。早期，把发射和干扰问题称之为 EMI 或 RFI（射频干扰）。现在用更确定的词“干扰兼容性”替代。电磁兼容性（EMC）包含系统的发射和敏感度两方面的问题。假若干扰不能完全消除，但也要使干扰减少到最小。如果一个 DSP 系统符合下面三个条件，则该系统是电磁兼容的。

1. 对其它系统不产生干扰。
2. 对其它系统的发射不敏感。
3. 对系统本身不产生干扰。

干扰定义

当干扰的能量使接收器处在不希望的状态时引起干扰。干扰的产生不是直接的（通过导体、公共阻抗耦合等）就是间接的（通过串扰或辐射耦合）。电磁干扰的产生是通过导体和通过辐射。很多电磁发射源，如光照、继电器、DC 电机和日光灯都可引起干扰。AC 电源线、互连电缆、金属电缆和子系统的内部电路也都可能产生辐射或接收到不希望的信号。在高速数字电路中，时钟电路通常是宽带噪声的最大产生源。在快速 DSP 中，这些电路可产生高达 300MHz 的谐波失真，在系统中应该把它们去掉。在数字电路中，最容易受影响的是复位线、中断线和控制线。

传导性 EMI

一种最明显而往往被忽略的能引起电路中噪声的路径是经过导体。一条穿过噪声环境的导线可检拾噪声并把噪声送到另外电路引起干扰。设计人员必须避免导线检拾噪声和在噪声产生引起干扰前，用去耦办法除去噪声。最普通的例子是噪声通过电源线进入电路。若电源本身或连接到电源的其它电路是干扰源，则在电源线进入电路之前必须对其去耦。

共阻抗耦合

当来自两个不同电路的电流流经一个公共阻抗时就会产生共阻抗耦合。阻抗上的压降由两个电路决定。来自两个电路的地电流流经共地阻抗。电路 1 的地电位被地电流 2 调制。噪声信号或 DC 补偿经共地阻抗从电路 2 耦合到电路 1。

辐射耦合

经辐射的耦合通称串扰，串扰发生在电流流经导体时产生电磁场，而电磁场在邻近的导体中感应瞬态电流。

辐射发射

辐射发射有两种基本类型：差分模式（DM）和共模（CM）。共模辐射或单极天线辐射是由无意的压降引起的，它使电路中所有地连接抬高到系统地电位之上。就电场大小而言，CM 辐射是比 DM 辐射更为严重的问题。为使 CM 辐射最小，必须用切合实际的设计使共模

电流降到零。

影响 EMC 的因数

电压 —— 电源电压越高，意味着电压振幅越大而发射就更多，而低电源电压影响敏感度。

频率 —— 高频产生更多的发射，周期性信号产生更多的发射。在高频数字系统中，当器件开关时产生电流尖峰信号；在模拟系统中，当负载电流变化时产生电流尖峰信号。

接地 —— 对于电路设计没有比可靠和完美的电源系统更重要的事情。在所有 EMC 问题中，主要问题是不适当的接地引起的。有三种信号接地方法：单点、多点 and 混合。在频率低于 1MHz 时可采用单点接地方法，但不适于高频。在高频应用中，最好采用多点接地。混合接地是低频用单点接地而高频用多点接地的方法。地线布局是关键。高频数字电路和低电平模拟电路的地回路绝对不能混合。

PCB 设计 —— 适当的印刷电路板（PCB）布线对防止 EMI 是至关重要的。

电源去耦 —— 当器件开关时，在电源线上会产生瞬态电流，必须衰减和滤掉这些瞬态电流来自高 di/dt 源的瞬态电流导致地和线迹“发射”电压。高 di/dt 产生大范围高频电流，激励部件和缆线辐射。流经导线的电流变化和电感会导致压降，减小电感或电流随时间的变化可使该压降最小。

降低噪声的技术

防止干扰有三种方法：

1. 抑制源发射。
2. 使耦合通路尽可能地无效。
3. 使接收器对发射的敏感度尽量小。

下面介绍板级降噪技术。板级降噪技术包括板结构、线路安排和滤波。

板结构降噪技术 包括：

- * 采用地和电源平板
- * 平板面积要大，以便为电源去耦提供低阻抗
- * 使表面导体最少
- * 采用窄线条（4 到 8 密耳）以增加高频阻尼和降低电容耦合
- * 分开数字、模拟、接收器、发送器地 / 电源线
- * 根据频率和类型分隔 PCB 上的电路
- * 不要切痕 PCB，切痕附近的线迹可能导致不希望的环路
- * 采用多层板密封电源和地板层之间的线迹
- * 避免大的开环板层结构
- * PCB 连接器接机壳地，这为防止电路边界处的辐射提供屏蔽
- * 采用多点接地使高频地阻抗低
- * 保持地引脚短于波长的 $1/20$ ，以防止辐射和保证低阻抗线路安排降噪技术包括用 45。而不是 90。线迹转向，90。转向会增加电容并导致传输线特性阻抗变化
- * 保持相邻激励线迹之间的间距大于线迹的宽度以使串扰最小
- * 时钟信号环路面积应尽量小
- * 高速线路和时钟信号线要短和直接连接
- * 敏感的线迹不要与传输高电流快速开关转换信号的线迹并行
- * 不要有浮空数字输入，以防止不必要的开关转换和噪声产生
- * 避免在晶振和其它固有噪声电路下面有供电线迹

- * 相应的电源、地、信号和回路线迹要平行以消除噪声
- * 保持时钟线、总线和片使能与输入 /输出线和连接器分隔
- * 路线时钟信号正交 I/O 信号
- * 为使串扰最小，线迹用直角交叉和散置地线
- * 保护关键线迹（用 4 密耳到 8 密耳线迹以使电感最小，路线紧靠地板层，板层之间夹层结构，保护夹层的每一边都有地）

滤波技术 包括：

- * 对电源线和所有进入 PCB 的信号进行滤波
- * 在 IC 的每一个点原引脚用高频低电感陶瓷电容（14MHz 用 0.1UF ,超过 15MHz 用 0.01UF）进行去耦
- * 旁路模拟电路的所有电源供电和基准电压引脚
- * 旁路快速开关器件
- * 在器件引线处对电源 /地去耦
- * 用多级滤波来衰减多频段电源噪声

其它降噪设计技术有：

- * 把晶振安装嵌入到板上并接地
- * 在适当的地方加屏蔽
- * 用串联终端使谐振和传输反射最小，负载和线之间的阻抗失配会导致信号部分反射，反射包括瞬时扰动和过冲，这会产生很大的 EMI
- * 安排邻近地线紧靠信号线以便更有效地阻止出现电场
- * 把去耦线驱动器和接收器适当地放置在紧靠实际的 I/O 接口处，这可降低到 PCB 其它电路的耦合，并使辐射和敏感度降低
- * 对有干扰的引线进行屏蔽和绞在一起以消除 PCB 上的相互耦合
- * 在感性负载上用箝位二极管

EMC 是 DSP 系统设计所要考虑的重要问题，应采用适当的降噪技术使 DSP 系统符合 EMC 要求

第二篇 PowerPCB 在印制电路板设计中的应用技术

作者：中国船舶工业总公司第七〇七研究所 谷健

印制电路板（PCB）是电子产品中电路元件和器件的支撑件。它提供电路元件和器件之间的电气连接。随着电子技术的飞速发展，PCB 的密度越来越高。PCB 设计的好坏对抗干扰能力影响很大。实践证明，即使电路原理图设计正确，印制电路板设计不当，也会对电子产品的可靠性产生不利影响。例如，如果印制板两条细平行线靠得很近，则会形成信号波形的延迟，在传输线的终端形成反射噪声。因此，在设计印制电路板的时候，应注意采用正确的方法，遵守 PCB 设计的一般原则，并应符合抗干扰设计的要求。

一、PCB 设计的一般原则

要使电子电路获得最佳性能，元器件的布局及导线的布设是很重要的。为了设计质量好、造价低的 PCB，应遵循以下的一般性原则：

1. 布局

首先，要考虑 PCB 尺寸大小。PCB 尺寸过大时，印制线条长，阻抗增加，抗噪声能力下降，成本也增加；过小，则散热不好，且邻近线条易受干扰。在确定 PCB 尺寸后，再确定特殊元件的位置。最后，根据电路的功能单元，对电路的全部元器件进行布局。

在确定特殊元件的位置时要遵守以下原则：

- （1）尽可能缩短高频元器件之间的连线，设法减少它们的分布参数和相互间的电磁干扰。易受干扰的元器件不能相互挨得太近，输入和输出元件应尽量远离。
- （2）某些元器件或导线之间可能有较高的电位差，应加大它们之间的距离，以免放电引出意外短路。带高电压的元器件应尽量布置在调试时手不易触及的地方。
- （3）重量超过 15g 的元器件，应当用支架加以固定，然后焊接。那些又大又重、发热量多的元器件，不宜装在印制板上，而应装在整机的机箱底板上，且应考虑散热问题。热敏元件应远离发热元件。
- （4）对于电位器、可调电感线圈、可变电容器、微动开关等可调元件的布局应考虑整机的结构要求。若是机内调节，应放在印制板上方便调节的地方；若是机外调节，其位置要与调节旋钮在机箱面板上的位置相适应。
- （5）应留出印制板定位孔及固定支架所占用的位置。

根据电路的功能单元。对电路的全部元器件进行布局时，要符合以下原则：

- （1）按照电路的流程安排各个功能电路单元的位置，使布局便于信号流通，并使信号尽可能保持一致的方向。
- （2）以每个功能电路的核心元件为中心，围绕它来进行布局。元器件应均匀、整齐、紧凑地排列在 PCB 上。尽量减少和缩短各元器件之间的引线和连接。
- （3）在高频下工作的电路，要考虑元器件之间的分布参数。一般电路应尽可能使元器件平行排列。这样，不但美观，而且装焊容易，易于批量生产。
- （4）位于电路板边缘的元器件，离电路板边缘一般不小于 2mm。电路板的最佳形状为矩形。长宽比为 3:2 或 4:3。电路板面尺寸大于 200×150mm 时，应考虑电路板所受的机械强度。

2. 布线

布线的原则如下：

- （1）输入输出端用的导线应尽量避免相邻平行。最好加线间地线，以免发生反馈耦合。
- （2）印制板导线的最小宽度主要由导线与绝缘基板间的粘附强度和流过它们的电流值决

定。当铜箔厚度为 0.5mm、宽度为 1 ~ 15mm 时，通过 2A 的电流，温度不会高于 3 。因此，导线宽度为 1.5mm 可满足要求。对于集成电路，尤其是数字电路，通常选 0.02 ~ 0.3mm 导线宽度。当然，只要允许，还是尽可能用宽线，尤其是电源线和地线。导线的最小间距主要由最坏情况下的线间绝缘电阻和击穿电压决定。对于集成电路，尤其是数字电路，只要工艺允许，可使间距小于 5 ~ 8mil。

(3) 印制导线拐弯处一般取圆弧形，而直角或夹角在高频电路中会影响电气性能。此外，尽量避免使用大面积铜箔，否则，长时间受热时，易发生铜箔膨胀和脱落现象。必须用大面积铜箔时，最好用栅格状。这样有利于排除铜箔与基板间粘合剂受热产生的挥发性气体。

3.焊盘

焊盘中心孔要比器件引线直径稍大一些。焊盘太大易形成虚焊。焊盘外径 D 一般不小于 $(d+1.2)$ mm，其中 d 为引线孔径。对高密度的数字电路，焊盘最小直径可取 $(d+1.0)$ mm。

二、PCB 及电路抗干扰措施

印制电路板的抗干扰设计与具体电路有着密切的关系，这里仅就 PCB 抗干扰设计的几项常用措施做一些说明。

1.电源线设计

根据印制线路板电流的大小，尽量加粗电源线宽度，减少环路电阻。同时，使电源线、地线的走向和数据传递的方向一致，这样有助于增强抗噪声能力。

2.地线设计

在电子产品设计中，接地是控制干扰的重要方法。如能将接地和屏蔽正确结合起来使用，可解决大部分干扰问题。电子产品中地线结构大致有系统地、机壳地（屏蔽地）、数字地（逻辑地）和模拟地等。在地线设计中应注意以下几点：

(1) 正确选择单点接地与多点接地

在低频电路中，信号的工作频率小于 1MHz，它的布线和器件间的电感影响较小，而接地电路形成的环流对干扰影响较大，因而应采用一点接地的方式。当信号工作频率大于 10MHz 时，地线阻抗变得很大，此时应尽量降低地线阻抗，应采用就近多点接地。当工作频率在 1 ~ 10MHz 时，如果采用一点接地，其地线长度不应超过波长的 1/20，否则应采用多点接地法。

(2) 数字地与模拟地分开。

电路板上既有高速逻辑电路，又有线性电路，应使它们尽量分开，而两者的地线不要相混，分别与电源端地线相连。低频电路的地应尽量采用单点并联接地，实际布线有困难时可部分串联后再并联接地。高频电路宜采用多点串联接地，地线应短而粗，高频元件周围尽量用栅格状大面积地箔。要尽量加大线性电路的接地面积。

(3) 接地线应尽量加粗。

若接地线用很细的线条，则接地电位则随电流的变化而变化，致使电子产品的定时信号电平不稳，抗噪声性能降低。因此应将接地线尽量加粗，使它能通过三倍于印制电路板的允许电流。如有可能，接地线的宽度应大于 3mm。

(4) 接地线构成闭环路。

设计只由数字电路组成的印制电路板的地线系统时，将接地线做成闭路可以明显地提高抗噪声能力。其原因在于：印制电路板上有很多集成电路元件，尤其遇有耗电多的元件时，因受接地线粗细的限制，会在地线上产生较大的电位差，引起抗噪能力下降，若将接地线构成环路，则会缩小电位差值，提高电子设备的抗噪声能力。

3.退藕电容配置

PCB 设计的常规做法之一是在印制板的各个关键部位配置适当的退藕电容。退藕电容的一般配置原则是：

- (1) 电源输入端跨接 10 ~ 100uF 的电解电容器。如有可能，接 100uF 以上的更好。
 - (2) 原则上每个集成电路芯片都应布置一个 0.01pF 的瓷片电容，如遇印制板空隙不够，可每 4 ~ 8 个芯片布置一个 1 ~ 10pF 的钽电容。
 - (3) 对于抗噪能力弱、关断时电源变化大的器件，如 RAM、ROM 存储器件，应在芯片的电源线和地线之间直接接入退藕电容。
 - (4) 电容引线不能太长，尤其是高频旁路电容不能有引线。
- 此外，还应注意以下两点：
- (1) 在印制板中有接触器、继电器、按钮等元件时，操作它们时均会产生较大火花放电，必须采用 RC 电路来吸收放电电流。一般 R 取 1 ~ 2K，C 取 2.2 ~ 47uF。
 - (2) CMOS 的输入阻抗很高，且易受感应，因此在使用时对不用端要接地或接正电源。

三、PowerPCB 简介

PowerPCB 是美国 Innoveda 公司软件产品。

PowerPCB 能够使用户完成高质量的设计，生动地体现了电子设计工业界各方面的内容。其约束驱动的设计方法可以减少产品完成时间。你可以对每一个信号定义安全间距、布线规则以及高速电路的设计规则，并将这些规划层次化的应用到板上、每一层上、每一类网络上、每一个网络上、每一组网络上、每一个管脚对上，以确保布局布线设计的正确性。它包括了丰富多样的功能，包括簇布局工具、动态布线编辑、动态电性能检查、自动尺寸标注和强大的 CAM 输出能力。它还有集成第三方软件工具的能力，如 SPECCTRA 布线器。

四、PowerPCB 使用技巧

PowerPCB 目前已在我所推广使用，它的基本使用技术已有培训教材进行了详细的讲解，而对于我所广大电子应用工程师来说，其问题在于已经熟练掌握了 TANGO 之类的布线工具之后，如何转到 PowerPCB 的应用上来。所以，本文就此类应用和培训教材上没有讲到，而我们应用较多的一些技术技巧作了论述。

1. 输入的规范问题

对于大多数使用过 TANGO 的人来说，刚开始使用 PowerPCB 的时候，可能会觉得 PowerPCB 的限制太多。因为 PowerPCB 对原理图输入和原理图到 PCB 的规则传输上是以保证其正确性为前提的。所以，它的原理图中没有能够将一根电气连线断开的功能，也不能随意将一根电气连线在某个位置停止，它要保证每一根电气连线都要有起始管脚和终止管脚，或是接在软件提供的连接器上，以供不同页面间的信息传输。这是它防止错误发生的一种手段，其实，也是我们应该遵守的一种规范化的原理图输入方式。

在 PowerPCB 设计中，凡是与原理图网表不一致的改动都要到 ECO 方式下进行，但它给用户提供了 OLE 链接，可以将原理图中的修改传到 PCB 中，也可以将 PCB 中的修改传回原理图。这样，既防止了由于疏忽引起的错误，又给真正需要进行修改提供了方便。但是，要注意的是，进入 ECO 方式时要选择“写 ECO 文件”选项，而只有退出 ECO 方式，才会进行写 ECO 文件操作。

2. 电源层和地层的选择

PowerPCB 中对电源层和地层的设置有两种选择，CAM Plane 和 Split/Mixed。Split/Mixed 主要用于多个电源或地共用一个层的情况，但只有一个电源和地时也可以用。它的主要优点是输出时的图和光绘的一致，便于检查。而 CAM Plane 用于单个的电源或地，这种方式是负片输出，要注意输出时需加上第 25 层。第 25 层包含了地电信息，主要指电层的焊盘要比正常的焊盘大 20mil 左右的安全距离，保证金属化过孔之后，不会有信号与地电相连。这就需要每个焊盘都包含有第 25 层的信息。而我们自己建库时往往会忽略这个问题，造成使用 Split/Mixed 选项。

3.推挤还是不推挤

PowerPCB 提供了一个很好用的功能就是自动推挤。当我们手动布线时，印制板在我们的完全控制之下，打开自动推挤的功能，会感到非常的方便。但是如果你完成了预布线之后，要自动布线时，最好将预布好的线固定住，否则自动布线时，软件会认为此线段可移动，而将你的工作完全推翻，造成不必要的损失。

4.定位孔的添加

我们的印制板往往需要加一些安装定位孔，但是对于 PowerPCB 来说，这就属于与原理图不一样的器件摆放，需要在 ECO 方式下进行。但如果在最后的检查中，软件因此而给出我们许多的错误，就不大方便了。这种情况可以将定位孔器件设为非 ECO 注册的即可。

在编辑器件窗口下，选中‘编辑电气特性’按钮，在该窗口中，选中‘普通’项，不选中“ECO 注册”项。这样在检查时，PowerPCB 不会认为这个器件是需要与网表比较的，不会出现不该有的错误。

5.添加新的电源封装

由于我们的国际与美国软件公司的标准不太一致，所以我们尽量配备了国际库供大家使用。但是电源和地的新符号，必须在软件自带的库中添加，否则它不会认为你建的符号是电源。

所以当我们建一个符合国标的电源符号时，需要先打开现有的电源符号组，选择‘编辑电气连接’按钮，点按‘添加’按钮，输入你新建的符号的名字等信息。然后，再选中‘编辑门封装’按钮，选中你刚刚建立的符号名，绘制出你需要的形状，退出绘图状态，保存。这个新的符号就可以在原理图中调出了。

6.空脚的设置

我们用的器件中，有的管脚本身就是空脚，标志为 NC。当我们建库的时候，就要注意，否则标志为 NC 的管脚会连在一起。这是由于你在建库时将 NC 管脚建在了“SINGAL_PINS”中，而 PowerPCB 认为“SINGAL_PINS”中的管脚是隐含的缺省管脚，是有用的管脚，如 VCC 和 GND。所以，如果的 NC 管脚，必须将它们从“SINGAL_PINS”中删除掉，或者说，你根本无需理睬它，不用作任何特殊的定义。

7.三极管的管脚对照

三极管的封装变化很多，当自己建三极管的库时，我们往往会发现原理图的网表传到 PCB 中后，与自己希望的连接不一致。这个问题主要还是出在建库上。

由于三极管的管脚往往用 E，B，C 来标志，所以在创建自己的三极管库时，要在‘编辑电气连接’窗口中选中“包括文字数字管脚”复选框，这时，“文字数字管脚”标签被点亮，进入该标签，将三极管的相应管脚改为字母。这样，与 PCB 封装对应连线时会感到比较便于识别。

8.表面贴器件的预处理

现在，由于小型化的需求，表面贴器件得到越来越多的应用。在布图过程中，表面贴器件的处理很重要，尤其是在布多层板的时候。因为，表面贴器件只在一层上有电气连接，不象双列直插器件在板子上的放置是通孔，所以，当别的层需要与表面器件相连时就要从表面贴器件的管脚上拉出一条短线，打孔，再与其它器件连接，这就是所谓的扇入（FAN-IN），扇出（FAN-OUT）操作。

如果需要的话，我们应该首先对表面贴器件进行扇入，扇出操作，然后再进行布线，这是因为如果我们只是在自动布线的设置文件中选择了要作扇入，扇出操作，软件会在布线的过程中进行这项操作，这时，拉出的线就会曲曲折折，而且比较长。所以，我们可以在布局完成后，先进入自动布线器，在设置文件中只选择扇入，扇出操作，不选择其它布线选项，这样从表面贴器件拉出来的线比较短，也比较整齐。

9. 将板图加入 AUTOCAD

有时我们需要将印制板图加入到结构图中，这时可以通过转换工具将 PCB 文件转换成 AUTOCAD 能够识别的格式。在 PCB 绘图框中，选中“文件”菜单中的“输出”菜单项，在弹出的文件输出窗口中将保存类型设为 DXF 文件，再保存。你就可以在 AUTOCAD 中打开这个图了。

当然，PADS 中有自动标注功能，可以对画好的印制板进行尺寸标注，自动显示出板框或定位孔的位置。要注意的是，标注结果在 Drill-Drawing 层要想在其它的输出图上加上标注，需要在输出时，特别加上这一层才行。

10. PowerPCB 与 ViewDraw 的接口

用 ViewDraw 的原理图，可以产生 PowerPCB 的表，而 PowerPCB 读入网表后，一样可以进行自动布线等功能，而且，PowerPCB 中有链接工具，可以与 VIEWDRAW 的原理图动态链接、修改，保持电气连接的一致性。

但是，由于软件修改升级的版本的差别，有时两个软件对器件名称的定义不一致，会造成网表传输错误。要避免这种错误的发生，最好专门建一个存放 ViewDraw 与 PowerPCB 对应器件的库，当然这只是针对于一部分不匹配的器件来说的。可以用 PowerPCB 中的拷贝功能，很方便地将已存在的 PowerPCB 中的其它库里的元件封装拷贝到这个库中，存成与 VIEWDRAW 中相对应的名字。

11. 生成光绘文件

以前，我们做印制板时都是将印制板图拷在软盘上，直接给制版厂。这种做法保密性差，而且很烦琐，需要给制版厂另写很详细的说明文件。现在，我们用 PowerPCB 直接生产光绘文件给厂家就可以了。从光绘文件的名字上就可以看出这是第几层的走线，是丝印还是阻焊，十分方便，又安全。

转光绘文件步骤：

- A．在 PowerPCB 的 CAM 输出窗口的 DEVICE SETUP 中将 APERTURE 改为 999。
- B．转走线层时，将文档类型选为 ROUTING，然后在 LAYER 中选择板框和你需要放在这一层上的东西。不注意的是，转走线时要将 LINE,TEXT 去掉（除非你要在线路上做铜字）。
- C．转阻焊时，将文档类型选为 SOLD_MASK，在顶层阻焊中要将过孔选中。
- D．转丝印时，将文档类型选为 SILK SCREEN，其余参照步骤 B 和 C。
- E．转钻孔数据时，将文档类型选为 NC DRILL，直接转换。

注意，转光绘文件时要先预览一下，预览中的图形就是你要的光绘输出的图形，所以要看仔细，以防出错。

有了对印制板设计的经验，如 PowerPCB 的强大功能，画复杂印制板已不是令人烦心的事情了。值得高兴的是，我们现在已经有了将 TANGO 的 PCB 转换成 PowerPCB 的工具，熟悉 TANGO 的广大科技人员可以更加方便的加入到 PowerPCB 绘图的行列中来，更加方便快捷地绘制出满意的印制板。

第三篇 PCB 互连设计过程中最大程度降低 RF 效应的基本方法

电路板系统的互连包括：芯片到电路板、PCB 板内互连以及 PCB 与外部器件之间的三类互连。在 RF 设计中，互连点处的电磁特性是工程设计面临的主要问题之一，本文介绍上述三类互连设计的各种技巧，内容涉及器件安装方法、布线的隔离以及减少引线电感的措施等等。

目前有迹象表明，印刷电路板设计的频率越来越高。随着数据速率的不断增长，数据传送所要求的带宽也促使信号频率上限达到 1GHz，甚至更高。这种高频信号技术虽然远远超出毫米波技术范围 (30GHz)，但的确也涉及 RF 和低端微波技术。

RF 工程设计方法必须能够处理在较高频段处通常会产生的较强电磁场效应。这些电磁场能在相邻信号线或 PCB 线上感生信号，导致令人讨厌的串扰（干扰及总噪声），并且会损害系统性能。回损主要是由阻抗失配造成，对信号产生的影响如加性噪声和干扰产生的影响一样。

高回损有两种负面效应：1. 信号反射回信号源会增加系统噪声，使接收机更加难以将噪声和信号区分开来；2. 任何反射信号基本上都会使信号质量降低，因为输入信号的形状出现了变化。

尽管由于数字系统只处理 1 和 0 信号并具有非常好的容错性，但是高速脉冲上升时产生的谐波会导致频率越高信号越弱。尽管前向纠错技术可以消除一些负面效应，但是系统的部分带宽用于传输冗余数据，从而导致系统性能的降低。一个较好的解决方案是让 RF 效应有助于而非有损于信号的完整性。建议数字系统最高频率处（通常是较差数据点）的回损总值为 -25dB，相当于 VSWR 为 1.1。

PCB 设计的目标是更小、更快和成本更低。对于 RF PCB 而言，高速信号有时会限制 PCB 设计的小型化。目前，解决串扰问题的主要方法是进行接地层管理，在布线之间进行间隔和降低引线电感 (stud capacitance)。降低回损的主要方法是进行阻抗匹配。此方法包括对绝缘材料的有效管理以及对有源信号线和地线进行隔离，尤其在状态发生跳变的信号线和地之间更要进行间隔。

由于互连点是电路链上最为薄弱的环节，在 RF 设计中，互连点处的电磁性质是工程设计面临的主要问题，要考察每个互连点并解决存在的问题。电路板系统的互连包括芯片到电路板、PCB 板内互连以及 PCB 与外部装置之间信号输入/输出等三类互连。

一、芯片到 PCB 板间的互连

Pentium IV 以及包含大量输入/输出互连点的高速芯片已经面世。就芯片本身而言，其性能可靠，并且处理速率已经能够达到 1GHz。在最近 GHz 互连研讨会 (www.az.ww.com) 上，最令人激动之处在于：处理 I/O 数量和频率不断增长问题的方法已经广为人知。芯片与 PCB 互连的最主要问题是互连密度太高会导致 PCB 材料的基本结构成为限制互连密度增长的因素。会议上提出了一个创新的解决方案，即采用芯片内部的本地无线发射器将数据传送到邻近的电路板上。

无论此方案是否有效，与会人员都非常清楚：就高频应用而言，IC 设计技术已远远领先于 PCB 设计技术。

二、PCB 板内互连

进行高频 PCB 设计的技巧和方法如下：

1. 传输线拐角要采用 45 角，以降低回损（图 1）；
2. 要采用绝缘常数按层次严格受控的高性能绝缘电路板。这种方法有利于对绝缘材料与邻近布线之间的电磁场进行有效管理。
3. 要完善有关高精度蚀刻的 PCB 设计规范。要考虑规定线宽总误差为 ± 0.0007 英寸、对布线形状的下切 (undercut) 和横断面进行管理并指定布线侧壁电镀条件。对布线 (导线) 几何形状和涂层表面进行总体管理，对解决与微波频率相关的趋肤效应问题及实现这些规范相当重要。
4. 突出引线存在抽头电感，要避免使用有引线的组件。高频环境下，最好使用表面安装组件。
5. 对信号过孔而言，要避免在敏感板上使用过孔加工 (pth) 工艺，因为该工艺会导致过孔处产生引线电感。如一个 20 层板上的一个过孔用于连接 1 至 3 层时，引线电感可影响 4 到 19 层。
6. 要提供丰富的接地层。要采用模压孔将这些接地层连接起来防止 3 维电磁场对电路板的影响。
7. 要选择非电解镀镍或浸镀金工艺，不要采用 HASL 法进行电镀。这种电镀表面能为高频电流提供更好的趋肤效应（图 2）。此外，这种高可焊涂层所需引线较少，有助于减少环境污染。
8. 阻焊层可防止焊锡膏的流动。但是，由于厚度不确定性和绝缘性能的未知性，整个板表面都覆盖阻焊材料将会导致微带设计中的电磁能量的较大变化。一般采用焊坝 (solder dam) 来作阻焊层。

如果你不熟悉这些方法，可向曾从事过军用微波电路板设计的经验丰富的设计工程师咨询。你还可同他们讨论一下你能承受的价格范围。例如，采用背面覆铜共面 (copper-backed coplanar) 微带设计比带状线设计更为经济，你可就此同他们进行讨论以便得到更好的建议。优秀的工程师可能不习惯考虑成本问题，但是其建议也是相当有帮助的。现在要尽量对那些不熟悉 RF 效应、缺乏处理 RF 效应经验的年轻工程师进行培养，这将会是一项长期工作。

此外，还可以采用其他解决方案，如改进计算机型，使之具备 RF 效应处理能力。

三、PCB 与外部装置互连

现在可以认为我们解决了板上以及各个分立组件互连上的所有信号管理问题。那么怎么解决从电路板到连接远端器件导线的信号输入/输出问题呢？同轴电缆技术的创新者 Trompeter Electronics 公司正致力于解决这个问题，并已经取得一些重要进展（图 3）。另外，看一下图 4 中给出的电磁场。这种情况下，我们管理着微带到同轴电缆之间的转换。在同轴电缆中，地线层是环形交织的，并且间隔均匀。在微带中，接地层在有源线之下。这就引入了某些边缘效应，需在设计时了解、预测并加以考虑。当然，这种不匹配也会导致回损，必须最大程度减小这种不匹配以避免产生噪音和信号干扰。

电路板内阻抗问题的管理并不是一个可以忽略的设计问题。阻抗从电路板表层开始，然后通过一个焊点到接头，最后终结于同轴电缆处。由于阻抗随频率变化，频率越高，阻抗管理越难。在宽带上采用更高频率来传输信号的问题看来是设计中面临的主要问题。

本文总结

PCB 平台技术需要不断改进以达到集成电路设计人员的要求。PCB 设计中高频信号的管理以及 PCB 电路板上信号输入/输出的管理都需要不断的改进。无论以后会发生什么令人激动的创新，我都认为带宽将会越来越高，而采用高频信号技术就是实现这种带宽不断增长的前提。

高速 PCB 设计指南之六

第一篇 混合信号电路板的设计准则

模拟电路的工作依赖连续变化的电流和电压。数字电路的工作依赖在接收端根据预先定义的电压电平或门限对高电平或低电平的检测，它相当于判断逻辑状态的“真”或“假”。在数字电路的高电平和低电平之间，存在“灰色”区域，在此区域数字电路有时表现出模拟效应，例如当从低电平向高电平（状态）跳变时，如果数字信号跳变的速度足够快，则将产生过冲和回铃反射现象。

对于现代板级设计来说，混合信号 PCB 的概念比较模糊，这是因为即使在纯粹的“数字”器件中，仍然存在模拟电路和模拟效应。因此，在设计初期，为了可靠实现严格的时序分配，必须对模拟效应进行仿真。实际上，除了通信产品必须具备无故障持续工作数年的可靠性之外，大量生产的低成本/高性能消费类产品中特别需要对模拟效应进行仿真。

现代混合信号 PCB 设计的另一个难点是不同数字逻辑的器件越来越多，比如 GTL、LVTTTL、LVCMOS 及 LVDS 逻辑，每种逻辑电路的逻辑门限和电压摆幅都不同，但是，这些不同逻辑门限和电压摆幅的电路必须共同设计在一块 PCB 上。在此，通过透彻分析高密度、高性能、混合信号 PCB 的布局和布线设计，你可以掌握成功策略和技术。

一、混合信号电路布线基础

当数字和模拟电路在同一块板卡上共享相同的元件时，电路的布局及布线必须讲究方法。图 1 所示的矩阵对混合信号 PCB 的设计规划有帮助。只有揭示数字和模拟电路的特性，才能在实际布局和布线中达到要求的 PCB 设计目标。

图 1：模拟和数字电路：混合信号设计的两个方面

在混合信号 PCB 设计中，对电源走线有特别的要求并且要求模拟噪声和数字电路噪声相互隔离以避免噪声耦合，这样一来布局和布线的复杂性就增加了。对电源传输线的特殊需求以及隔离模拟和数字电路之间噪声耦合的要求，使混合信号 PCB 的布局和布线的复杂性进一步增加。

如果将 A/D 转换器中模拟放大器的电源和 A/D 转换器的数字电源接在一起，则很有可能造成模拟部分和数字部分电路的相互影响。或许，由于输入/输出连接器位置的缘故，布局方案必须把数字和模拟电路的布线混合在一起。

在布局和布线之前，工程师要弄清楚布局和布线方案的基本弱点。即使存在虚假判断，大部分工程师倾向利用布局和布线信息来识别潜在的电气影响。

二、现代混合信号 PCB 的布局和布线

下面将通过 OC48 接口卡的设计来阐述混合信号 PCB 布局 and 布线的技术。OC48 代表光载波标准 48，基本上面向 2.5Gb 串行光通讯，它是现代通讯设备中高容量光通讯标准的一种。OC48 接口卡包含若干典型混合信号 PCB 的布局和布线问题，其布局和布线过程将指明解决混合信号 PCB 布局方案的顺序和步骤。

图 2：OC48 接口卡的逻辑

如图 2 所示，OC48 卡包含一个实现光信号和模拟电信号双向转换的光收发器。模拟信号输入或输出数字信号处理器，DSP 将这些模拟信号转换为数字逻辑电平，从而可与微处

理器、可编程门阵列以及在 OC48 卡上的 DSP 和微处理器的系统接口电路相连接。独立的锁相环、电源滤波器和本地参考电压源也集成在一起。

其中，微处理器是一个多电源器件，主电源为 2V，3.3V 的 I/O 信号电源由板上其他数字器件共享。独立数字时钟源为 OC48 I/O、微处理器和系统 I/O 提供时钟。

经过检查不同功能电路块的布局和布线要求，初步建议采用 12 层板，如图 3 所示。微带和带状线层的配置可以安全地减少邻近走线层的耦合并改善阻抗控制。第一层和第二层之间设置接地层，将把敏感的模拟参考源、CPU 核和 PLL 滤波器电源的布线与在第一层的微处理器和 DSP 器件相隔离。电源和接地层总是成对出现的，与 OC48 卡上为共享 3.3V 电源层所做的一样。这样将降低电源和地之间的阻抗，从而减少电源信号上的噪声。

要避免在邻近电源层的地方走数字时钟线和高频模拟信号线，否则，电源信号的噪声将耦合到敏感的模拟信号之中。

要根据数字信号布线的需要，仔细考虑利用电源和模拟接地层的开口 (split)，特别是在混合信号器件的输入和输出端。在邻近信号层穿过一开口走线会造成阻抗不连续和不良的传输线回路。这些都会造成信号质量、时序和 EMI 问题。

有时增加若干接地层，或在一个器件下面为本地电源层或接地层使用若干外围层，就可以取消开口并避免出现上述问题，在 OC48 接口卡上就采用了多个接地层。保持开口层和布线层位置的层叠对称可以避免卡变形并简化制作过程。由于 1 盎司覆铜板耐大电流的能力强，3.3V 电源层和对应的接地层要采用 1 盎司覆铜板，其它层可以采用 0.5 盎司覆铜板，这样，可以降低暂态高电流或尖峰期间引起的电压波动。

如果你从接地层往上设计一个复杂的系统，应采用 0.093 英寸和 0.100 英寸厚度的卡以支撑布线层及接地隔离层。卡的厚度还必须根据过孔焊盘和孔的布线特征尺寸调整，以便使钻孔直径与成品卡厚度的宽高比不超过制造商提供的金属化孔的宽高比。

如果要用最少的布线层数设计一个低成本、高产量的商业产品，则在布局或布线之前，要仔细考虑混合信号 PCB 上所有特殊电源的布线细节。在开始布局和布线之前，要让目标制造商复查初步的分层方案。基本上要根据成品的厚度、层数、铜的重量、阻抗 (带容差) 和最小的过孔焊盘和孔的尺寸来分层，制造商应该书面提供分层建议。

建议中要包含所有受控阻抗带状线和微带线的配置实例。要将你对阻抗的预测与制造商对阻抗的结合起来考虑，然后，利用这些阻抗预测可以验证用于开发 CAD 布线规则的仿真工具中的信号布线特性。

三、OC48 卡的布局

在光收发器和 DSP 之间的高速模拟信号对外部噪声非常敏感。同样，所有特殊电源和参考电压电路也使该卡的模拟和数字电源传输电路之间产生大量的耦合。有时，受机壳形状的限制，不得不设计高密度板卡。由于外部光缆接入卡的方位和光收发器部分元件尺寸较高，使收发器在卡中的位置很大程度上被固定死。系统 I/O 连接器位置和信号分配也是固定的。这是布局之前必须完成的基础工作 (见图 4)。

与大多数成功的高密度模拟布局和布线方案一样，布局要满足布线的要求，布局 and 布线的要求必须互相兼顾。对一块混合信号 PCB 的模拟部分和 2V 工作电压的本地 CPU 内核，不推荐采用“先布局后布线”的方法。对 OC48 卡来说，DSP 模拟电路部分包含有模拟参考电压和模拟电源旁路电容的部分应首先互动布线。完成布线后，具有模拟元件和布线的整个 DSP 要放到距离光收发器足够近的地方，充分保证高速模拟差分信号到 DSP 的布线长度最短、弯曲和过孔最少。差分布局和布线的对称性将减少共模噪声的影响。但是，在布线之前很难预测布局的最佳方案 (见图 5)。

要向芯片分销商咨询 PCB 排板的设计指南。在按照指南设计之前，要与分销商的应用

工程师充分交流。许多芯片分销商对提供高质量的布板建议有严格的时间限制。有时，他们提供的解决方案对于使用该器件的“一级客户”是可行的。在信号完整性（SI）设计领域，新器件的信号完整性设计特别重要。根据分销商的基本指南并与封装中每条电源和接地引脚的特定要求相结合，就可以开始对集成了 DSP 和微处理器的 OC48 卡布局布线。

高频模拟部分的位置和布线确定后，就可以按照框图中所示的分组方法放置其余的数字电路。要注意仔细设计下列电路：对模拟信号灵敏度高的 CPU 中 PLL 电源滤波电路的位置；本地 CPU 内核电压调整器；用于“数字”微处理器的参考电压电路。

数字布线的电气和制造准则规范此时才可以恰当地应用到设计之中。前述对高速数字总线和时钟信号的信号完整性的设计，揭示出一些对处理器总线、平衡 Ts 及某些时钟信号布线的时滞匹配的特殊布线拓扑要求。但是或许你不知道，也有人提出更新的建议，即增加若干端接电阻。

在解决问题的过程中，布板阶段做一些调整是当然的事。但是，在开始布线之前，很重要的一步是按照布局方案验证数字部分的时序。此时此刻，对板卡进行完整 DFM/DFT 布局复查将有助于确保该卡满足客户的需要。

四、OC48 卡的数字布线

对于数字器件电源线和混合信号 DSP 的数字部分，数字布线要从 SMD 出路图 (escape patterns) 开始。要采用装配工艺允许的最短和最宽的印制线。对于高频器件来说，电源的印制线相当于小电感，它将恶化电源噪声，使模拟和数字电路之间产生不期望的耦合。电源印制线越长，电感越大。

采用数字旁路电容可以得到最佳的布局和布线方案。简言之，根据需要微调旁路电容的位置，使之安装方便并分布在数字部件和混合信号器件数字部分的周围。要采用同样的“最短和最宽的走线”方法对旁路电容出路图进行布线。

当电源分支要穿过连续的平面时（如 OC48 接口卡上的 3.3V 电源层），则电源引脚和旁路电容本身不必共享相同的出口图，就可以得到最低的电感和 ESR 旁路。在 OC48 接口卡这样的混合信号 PCB 上，要特别注意电源分支的布线。记住，要在整个卡上以矩阵排列的形式放置额外的旁路电容，即使无源器件附近也要放置（见图 6）。

电源出路图确定之后，就可以开始自动布线。OC48 卡上的 ATE 测试触点要在逻辑设计时定义。要确保 ATE 接触到 100% 的节点。为了以 0.070 英寸的最小 ATE 测试探头实现 ATE 测试，必须保留引出过孔 (breakout via) 的位置，以保证电源层不会被过孔的反面焊盘 (antipads) 交叉所隔断。

如果要采用一个电源和接地层开口 (split) 方案，应在平行于开口的邻近布线层上选择偏移层 (layer bias)。在邻近层上按该开口区域的周长定义禁止布线区，防止布线进入。如果布线必须穿过开口区域到另一层，应确保与布线相邻的另一层为连续的接地层。这将减少反射路径。让旁路电容跨过开口的电源层对一些数字信号的布板有好处，但不推荐在数字和模拟电源层之间进行桥接，这是因为噪声会通过旁路电容互相耦合。

若干最新的自动布线应用程序能够对高密度多层数字电路进行布线。初步布线阶段要在 SMD 出口中使用 0.050 英寸大尺寸过孔间距和考虑所使用的封装类型，后续布线阶段要容许过孔的位置互相靠得比较近，这样所有工具都能实现最高的布通率和最低的过孔数。由于 OC48 处理器总线采用一种改进的星形拓扑结构，在自动布线时其优先级最高（见图 7）。

总结

OC48 卡布板完成之后要进行信号完整性核查和时序仿真。仿真证明布线指导达到预期的要求并改善了第二层总线的时序指标。最后进行设计规则检查、最终制造的复查、光罩和复查并签发给制造者，则布板任务才正式结束。

第二篇 分区设计

摘要：混合信号电路 PCB 的设计很复杂，元器件的布局、布线以及电源和地线的处理将直接影响到电路性能和电磁兼容性能。本文介绍的地和电源的分区设计能优化混合信号电路的性能。

如何降低数字信号和模拟信号间的相互干扰呢？在设计之前必须了解电磁兼容 (EMC) 的两个基本原则：第一个原则是尽可能减小电流环路的面积；第二个原则是系统只采用一个参考面。相反，如果系统存在两个参考面，就可能形成一个偶极天线（注：小型偶极天线的辐射大小与线的长度、流过的电流大小以及频率成正比）；而如果信号不能通过尽可能小的环路返回，就可能形成一个大的环状天线（注：小型环状天线的辐射大小与环路面积、流过环路的电流大小以及频率的平方成正比）。在设计中要尽可能避免这两种情况。

有人建议将混合信号电路板上的数字地和模拟地分割开，这样能实现数字地和模拟地之间的隔离。尽管这种方法可行，但是存在很多潜在的问题，在复杂的大型系统中问题尤其突出。最关键的问题是不能跨越分割间隙布线，一旦跨越了分割间隙布线，电磁辐射和信号串扰都会急剧增加。在 PCB 设计中最常见的问题就是信号线跨越分割地或电源而产生 EMI 问题。

如图 1 所示，我们采用上述分割方法，而且信号线跨越了两个地之间的间隙，信号电流的返回路径是什么呢？假定被分割的两个地在某处连接在一起（通常情况下是在某个位置单点连接），在这种情况下，地电流将会形成一个大的环路。流经大环路的高频电流会产生辐射和很高的地电感，如果流过大环路的是低电平模拟电流，该电流很容易受到外部信号干扰。最糟糕的是当把分割地在电源处连接在一起时，将形成一个非常大的电流环路。另外，模拟地和数字地通过一个长导线连接在一起会构成偶极天线。

了解电流回流到地的路径和方式是优化混合信号电路板设计的关键。许多设计工程师仅仅考虑信号电流从哪儿流过，而忽略了电流的具体路径。如果必须对地线层进行分割，而且必须通过分割之间的间隙布线，可以先在被分割的地之间进行单点连接，形成两个地之间的连接桥，然后通过该连接桥布线。这样，在每一个信号线的下方都能够提供一个直接的电流回流路径，从而使形成的环路面积很小。

采用光隔离器件或变压器也能实现信号跨越分割间隙。对于前者，跨越分割间隙的是光信号；在采用变压器的情况下，跨越分割间隙的是磁场。还有一种可行的办法是采用差分信号：信号从一条线流入从另外一条信号线返回，这种情况下，不需要地作为回流路径。

要深入探讨数字信号对模拟信号的干扰必须先了解高频电流的特性。高频电流总是选择阻抗最小（电感最低），直接位于信号下方的路径，因此返回电流会流过邻近的电路层，而无论这个临近层是电源层还是地线层。

在实际工作中一般倾向于使用统一地，而将 PCB 分区为模拟部分和数字部分。模拟信号在电路板所有层的模拟区内布线，而数字信号在数字电路区内布线。在这种情况下，数字信号返回电流不会流入到模拟信号的地。

只有将数字信号布线在电路板的模拟部分之上或者将模拟信号布线在电路板的数字部分之上时，才会出现数字信号对模拟信号的干扰。出现这种问题并不是因为没有分割地，真正的原因是数字信号的布线不适当。

PCB 设计采用统一地，通过数字电路和模拟电路分区以及合适的信号布线，通常可以解决一些比较困难的布局布线问题，同时也不会产生因地分割带来的一些潜在的麻烦。在这种情况下，元器件的布局和分区就成为决定设计优劣的关键。如果布局布线合理，数字地电流将限制在电路板的数字部分，不会干扰模拟信号。对于这样的布线必须仔细地检查和核对，要保证百分之百遵守布线规则。否则，一条信号线走线不当就会彻底破坏一个本来非常不错

的电路板。

在将 A/D 转换器的模拟地和数字地管脚连接在一起时，大多数的 A/D 转换器厂商会建议：将 AGND 和 DGND 管脚通过最短的引线连接到同一个低阻抗的地上（注：因为大多数 A/D 转换器芯片内部没有将模拟地和数字地连接在一起，必须通过外部管脚实现模拟和数字地的连接），任何与 DGND 连接的外部阻抗都会通过寄生电容将更多的数字噪声耦合到 IC 内部的模拟电路上。按照这个建议，需要把 A/D 转换器的 AGND 和 DGND 管脚都连接到模拟地上，但这种方法会产生诸如数字信号去耦电容的接地端应该接到模拟地还是数字地的问题。

如果系统仅有一个 A/D 转换器，上面的问题就很容易解决。如图 3 中所示，将地分割开，在 A/D 转换器下面把模拟地和数字地部分连接在一起。采取该方法时，必须保证两个地之间的连接桥宽度与 IC 等宽，并且任何信号线都不能跨越分割间隙。

如果系统中 A/D 转换器较多，例如 10 个 A/D 转换器怎样连接呢？如果在每一个 A/D 转换器的下面都将模拟地和数字地连接在一起，则产生多点相连，模拟地和数字地之间的隔离就毫无意义。而如果不这样连接，就违反了厂商的要求。

最好的办法是开始时就用统一地。如图 4 所示，将统一的地分为模拟部分和数字部分。这样的布局布线既满足了 IC 器件厂商对模拟地和数字地管脚低阻抗连接的要求，同时又不会形成环路天线或偶极天线而产生 EMC 问题。

如果对混合信号 PCB 设计采用统一地的做法心存疑虑，可以采用地线层分割的方法对整个电路板布局布线，在设计时注意尽量使电路板在后边实验时易于用间距小于 1/2 英寸的跳线或 0 欧姆电阻将分割地连接在一起。注意分区和布线，确保在所有的层上没有数字信号线位于模拟部分之上，也没有任何模拟信号线位于数字部分之上。而且，任何信号线都不能跨越地间隙或是分割电源之间的间隙。要测试该电路板的功能和 EMC 性能，然后将两个地通过 0 欧姆电阻或跳线连接在一起，重新测试该电路板的功能和 EMC 性能。比较测试结果，会发现几乎在所有的情况下，统一地的方案在功能和 EMC 性能方面比分割地更优越。

在以下三种情况可以用到这种方法：一些医疗设备要求在与病人连接的电路和系统之间的漏电流很低；一些工业过程控制设备的输出可能连接到噪声很大而且功率高的机电设备上；另外一种情况就是在 PCB 的布局受到特定限制时。

在混合信号 PCB 板上通常有独立的数字和模拟电源，能够而且应该采用分割电源面。但是 紧邻电源层的信号线不能跨越电源之间的间隙，而所有跨越该间隙的信号线都必须位于紧邻大面积地的电路层上。在有些情况下，将模拟电源以 PCB 连接线而不是一个面来设计可以避免电源面的分割问题。

混合信号 PCB 设计是一个复杂的过程，设计过程要注意以下几点：

1. 将 PCB 分区为独立的模拟部分和数字部分。
2. 合适的元器件布局。
3. A/D 转换器跨分区放置。
4. 不要对地进行分割。在电路板的模拟部分和数字部分下面敷设统一地。
5. 在电路板的所有层中，数字信号只能在电路板的数字部分布线。
6. 在电路板的所有层中，模拟信号只能在电路板的模拟部分布线。
7. 实现模拟和数字电源分割。
8. 布线不能跨越分割电源面之间的间隙。
9. 必须跨越分割电源之间间隙的信号线要位于紧邻大面积地的布线层上。
10. 分析返回地电流实际流过的路径和方式。
11. 采用正确的布线规则。

第六篇 RF 产品设计过程中降低信号耦合的 PCB 布线技巧

一轮蓝牙设备、无绳电话和蜂窝电话需求高潮正促使中国电子工程师越来越关注 RF 电路设计技巧。RF 电路板的设计是最令设计工程师感到头疼的部分，如想一次获得成功，仔细规划和注重细节是必须加以高度重视的两大关键设计规则。

射频 (RF) 电路板设计由于在理论上还有很多不确定性，因此常被形容为一种“黑色艺术”，但这个观点只有部分正确，RF 电路板设计也有许多可以遵循的准则和不应该被忽视的法则。不过，在实际设计时，真正实用的技巧是当这些准则和法则因各种设计约束而无法准确地实施时如何对它们进行折衷处理。

当然，有许多重要的 RF 设计课题值得讨论，包括阻抗和阻抗匹配、绝缘层材料和层叠板以及波长和驻波，不过，本文将集中探讨与 RF 电路板分区设计有关的各种问题。

今天的蜂窝电话设计以各种方式将所有的东西集成在一起，这对 RF 电路板设计来说很不利。现在业界竞争非常激烈，人人都在想办法用最小的尺寸和最小的成本集成最多的功能。模拟、数字和 RF 电路都紧密地挤在一起，用来隔开各自问题区域的空间非常小，而且考虑到成本因素，电路板层数往往又减到最小。令人感到不可思议的是，多用途芯片可将多种功能集成在一个非常小的裸片上，而且连接外界的引脚之间排列得又非常紧密，因此 RF、IF、模拟和数字信号非常靠近，但它们通常在电气上是不相干的。电源分配可能对设计者来说是一个噩梦，为了延长电池寿命，电路的不同部分是根据需要而分时工作的，并由软件来控制转换。这意味着你可能需要为你的蜂窝电话提供 5 到 6 种工作电源。

一、RF 布局概念

在设计 RF 布局时，有几个总的原则必须优先加以满足：

尽可能地把高功率 RF 放大器 (HPA) 和低噪声放大器 (LNA) 隔离开来，简单地说，就是让高功率 RF 发射电路远离低功率 RF 接收电路。如果你的 PCB 板上有很多物理空间，那么你可以很容易地做到这一点，但通常元器件很多，PCB 空间较小，因而这通常是不可能的。你可以把他们放在 PCB 板的两面，或者让它们交替工作，而不是同时工作。高功率电路有时还可包括 RF 缓冲器和压控制振荡器 (VCO)。

确保 PCB 板上高功率区至少有一整块地，最好上面没有过孔，当然，铜皮越多越好。稍后，我们将讨论如何根据需要打破这个设计原则，以及如何避免由此而可能引起的问题。

芯片和电源去耦同样也极为重要，稍后将讨论实现这个原则的几种方法。

RF 输出通常需要远离 RF 输入，稍后我们将进行详细讨论。

敏感的模拟信号应该尽可能远离高速数字信号和 RF 信号。

二、如何进行分区？

设计分区可以分解为物理分区和电气分区。物理分区主要涉及元器件布局、朝向和屏蔽等问题；电气分区可以继续分解为电源分配、RF 走线、敏感电路和信号以及接地等的分区。

首先我们讨论物理分区问题。元器件布局是实现一个优秀 RF 设计的关键，最有效的技术是首先固定位于 RF 路径上的元器件，并调整其朝向以将 RF 路径的长度减到最小，使输入远离输出，并尽可能远地分离高功率电路和低功率电路。

最有效的电路板堆叠方法是 将主接地面 (主地) 安排在表层下的第二层，并尽可能将 RF 线走在表层上。将 RF 路径上的过孔尺寸减到最小不仅可以减少路径电感，而且还可以减少主地上的虚焊点，并可减少 RF 能量泄漏到层叠板内其他区域的机会。

在物理空间上，像多级放大器这样的线性电路通常足以将多个 RF 区之间相互隔离开来，

但是双工器、混频器和中频放大器 /混频器总是有多个 RF/IF 信号相互干扰，因此必须小心地将这一影响减到最小。RF 与 IF 走线应尽可能走十字交叉，并尽可能在它们之间隔一块地。正确的 RF 路径对整块 PCB 板的性能而言非常重要，这也就是为什么元器件布局通常在蜂窝电话 PCB 板设计中占大部分时间的原因。

在蜂窝电话 PCB 板上，通常可以将低噪音放大器电路放在 PCB 板的某一面，而高功率放大器放在另一面，并最终通过双工器把它们在同一面上连接到 RF 端和基带处理器端的天线上。需要一些技巧来确保直通过孔不会把 RF 能量从板的一面传递到另一面，常用的技术是在 两面都使用盲孔。可以通过将直通过孔安排在 PCB 板两面都不受 RF 干扰的区域来将直通过孔的不利影响减到最小。

有时不太可能在多个电路块之间保证足够的隔离，在这种情况下就必须考虑采用金属屏蔽罩将射频能量屏蔽在 RF 区域内，但金属屏蔽罩也存在问题，例如：自身成本和装配成本都很贵；

外形不规则的金属屏蔽罩在制造时很难保证高精度，长方形或正方形金属屏蔽罩又使元器件布局受到一些限制；金属屏蔽罩不利于元器件更换和故障定位；由于金属屏蔽罩必须焊在地上，必须与元器件保持一个适当距离，因此需要占用宝贵的 PCB 板空间。

尽可能保证屏蔽罩的完整非常重要，进入金属屏蔽罩的数字信号线应该尽可能走内层，而且最好走线层的下面一层 PCB 是地层。RF 信号线可以从金属屏蔽罩底部的小缺口和地缺口处的布线层上走出去，不过缺口处周围要尽可能地多布一些地，不同层上的地可通过多个过孔连在一起。

尽管有以上的问题，但是金属屏蔽罩非常有效，而且常常还是隔离关键电路的唯一解决方案。

此外，恰当和有效的芯片电源去耦也非常重要。许多集成了线性线路的 RF 芯片对电源的噪音非常敏感，通常每个芯片都需要采用高达四个电容和一个隔离电感来确保滤除所有的电源噪音（见图 1）。

最小电容值通常取决于其自谐振频率和低引脚电感，C4 的值就是据此选择的。C3 和 C2 的值由于其自身引脚电感的关系而相对较大一些，从而 RF 去耦效果要差一些，不过它们较适合于滤除较低频率的噪声信号。电感 L1 使 RF 信号无法从电源线耦合到芯片中。记住：所有的走线都是一条潜在的既可接收也可发射 RF 信号的天线，另外将感应的射频信号与关键线路隔离开也很必要。

这些去耦元件的物理位置通常也很关键，图 2 表示了一种典型的布局方法。这几个重要元件的布局原则是：C4 要尽可能靠近 IC 引脚并接地，C3 必须最靠近 C4，C2 必须最靠近 C3，而且 IC 引脚与 C4 的连接走线要尽可能短，这几个元件的接地端（尤其是 C4）通常应当通过下一地层与芯片的接地引脚相连。将元件与地层相连的过孔应该尽可能靠近 PCB 板上元件焊盘，最好是使用打在焊盘上的盲孔以将连接线电感减到最小，电感应该靠近 C1。

一块集成电路或放大器常常带有一个开漏极输出，因此需要一个上拉电感来提供一个高阻抗 RF 负载和一个低阻抗直流电源，同样的原则也适用于对这一电感端的电源进行去耦。有些芯片需要多个电源才能工作，因此你可能需要两到三套电容和电感来分别对它们进行去耦处理，如果该芯片周围没有足够空间的话，那么可能会遇到一些麻烦。

记住 电感极少并行靠在一起，因为这将形成一个空芯变压器并相互感应产生干扰信号，因此它们之间的距离至少要相当于其中一个器件的高度，或者成直角排列以将其互感减到最小。

电气分区原则大体上与物理分区相同，但还包含一些其它因素。现代蜂窝电话的某些部分采用不同工作电压，并借助软件对其进行控制，以延长电池工作寿命。这意味着蜂窝电话需要运行多种电源，而这给隔离带来了更多的问题。电源通常从连接器引入，并立即进行去

耦处理以滤除任何来自线路板外部的噪声，然后再经过一组开关或稳压器之后对其进行分配。

蜂窝电话里大多数电路的直流电流都相当小，因此走线宽度通常不是问题，不过，必须为高功率放大器的电源单独走一条尽可能宽的大电流线，以将传输压降减到最低。为了避免太多电流损耗，需要采用多个过孔来将电流从某一层传递到另一层。此外，如果不能在高功率放大器的电源引脚端对它进行充分的去耦，那么高功率噪声将会辐射到整块板上，并带来各种各样的问题。高功率放大器的接地相当关键，并经常需要为其设计一个金属屏蔽罩。

在大多数情况下，同样关键的是确保 RF 输出远离 RF 输入。这也适用于放大器、缓冲器和滤波器。在最坏情况下，如果放大器和缓冲器的输出以适当的相位和振幅反馈到它们的输入端，那么它们就有可能产生自激振荡。在最好情况下，它们将能在任何温度和电压条件下稳定地工作。实际上，它们可能会变得不稳定，并将噪音和互调信号添加到 RF 信号上。

如果射频信号线不得不从滤波器的输入端绕回输出端，这可能会严重损害滤波器的带通特性。为了使输入和输出得到良好的隔离，首先必须在滤波器周围布一圈地，其次滤波器下层区域也要布一块地，并与围绕滤波器的主地连接起来。把需要穿过滤波器的信号线尽可能远离滤波器引脚也是个好方法。此外，整块板上各个地方的接地都要十分小心，否则你可能会在不知不觉之中引入一条你不希望发生的耦合通道。图 3 详细说明了这一接地办法。

有时可以选择走单端或平衡 RF 信号线，有关交叉干扰和 EMC/EMI 的原则在这里同样适用。平衡 RF 信号线如果走线正确的话，可以减少噪声和交叉干扰，但是它们的阻抗通常比较高，而且要保持一个合理的线宽以得到一个匹配信号源、走线和负载的阻抗，实际布线可能会有一些困难。

缓冲器可以用来提高隔离效果，因为它可把同一个信号分为两个部分，并用于驱动不同的电路，特别是本振可能需要缓冲器来驱动多个混频器。当混频器在 RF 频率处到达共模隔离状态时，它将无法正常工作。缓冲器可以很好地隔离不同频率处的阻抗变化，从而电路之间不会相互干扰。

缓冲器对设计的帮助很大，它们可以紧跟在需要被驱动电路的后面，从而使高功率输出走线非常短，由于缓冲器的输入信号电平比较低，因此它们不易对板上的其它电路造成干扰。

还有许多非常敏感的信号和控制线需要特别注意，但它们超出了本文探讨的范围，因此本文仅略作论述，不再进行详细说明。

压控振荡器 (VCO) 可将变化的电压转换为变化的频率，这一特性被用于高速频道切换，但它们同样也将控制电压上的微量噪声转换为微小的频率变化，而这就给 RF 信号增加了噪声。总的来说，在这一级以后你再也没有办法从 RF 输出信号中将噪声去掉。那么困难在哪里呢？首先，控制线的期望频宽范围可能从 DC 直到 2MHz，而通过滤波来去掉这么宽频带的噪声几乎是不可能的；其次，VCO 控制线通常是一个控制频率的反馈回路的一部分，它在很多地方都有可能引入噪声，因此必须非常小心处理 VCO 控制线。

要确保 RF 走线下层的地是实心的，而且所有的元器件都牢固地连到主地上，并与其它可能带来噪声的走线隔离开来。此外，要确保 VCO 的电源已得到充分去耦，由于 VCO 的 RF 输出往往是一个相对较高的电平，VCO 输出信号很容易干扰其它电路，因此必须对 VCO 加以特别注意。事实上，VCO 往往布放在 RF 区域的末端，有时它还需要一个金属屏蔽罩。

谐振电路 (一个用于发射机，另一个用于接收机) 与 VCO 有关，但也有它自己的特点。简单地讲，谐振电路是一个带有容性二极管的并行谐振电路，它有助于设置 VCO 工作频率和将语音或数据调制到 RF 信号上。

所有 VCO 的设计原则同样适用于谐振电路。由于谐振电路含有数量相当多的元器件、板上分布区域较宽以及通常运行在一个很高的 RF 频率下，因此谐振电路通常对噪声非常敏

感。信号通常排列在芯片的相邻脚上，但这些信号引脚又需要与相对较大的电感和电容配合才能工作，这反过来要求这些电感和电容的位置必须靠得很近，并连回到一个对噪声很敏感的控制环路上。要做到这点是不容易的。

自动增益控制 (AGC) 放大器同样是一个容易出问题的地方，不管是发射还是接收电路都会有 AGC 放大器。AGC 放大器通常能有效地滤掉噪声，不过由于蜂窝电话具备处理发射和接收信号强度快速变化的能力，因此要求 AGC 电路有一个相当宽的带宽，而这使某些关键电路上的 AGC 放大器很容易引入噪声。

设计 AGC 线路必须遵守良好的模拟电路设计技术，而这跟很短的运放输入引脚和很短的反馈路径有关，这两处都必须远离 RF、IF 或高速数字信号走线。同样，良好的接地也必不可少，而且芯片的电源必须得到良好的去耦。如果必须要在输入或输出端走一根长线，那么最好是在输出端，通常输出端的阻抗要低得多，而且也不容易感应噪声。通常信号电平越高，就越容易把噪声引入到其它电路。

在所有 PCB 设计中，尽可能将数字电路远离模拟电路是一条总的原则，它同样也适用于 RF PCB 设计。公共模拟地和用于屏蔽和隔开信号线的地通常是同等重要的，问题在于如果没有预见和事先仔细的计划，每次你能在这方面所做的事都很少。因此在设计早期阶段，仔细的计划、考虑周全的元器件布局和彻底的布局评估都非常重要，由于疏忽而引起的设计更改将可能导致一个即将完成的设计又必须推倒重来。这一因疏忽而导致的严重后果，无论如何对你的个人事业发展来说不是一件好事。

同样应使 RF 线路远离模拟线路和一些很关键的数字信号，所有的 RF 走线、焊盘和元件周围应尽可能多填接地铜皮，并尽可能与主地相连。类似面包板的微型过孔构造板在 RF 线路开发阶段很有用，如果你选用了构造板，那么你毋须花费任何开销就可随意使用很多过孔，否则在普通 PCB 板上钻孔将会增加开发成本，而这在大批量生产时会增加成本。

如果 RF 走线必须穿过信号线，那么尽量在它们之间沿着 RF 走线布一层与主地相连的地。如果不可能的话，一定要保证它们是十字交叉的，这可将容性耦合减到最小，同时尽可能在每根 RF 走线周围多布一些地，并把它们连到主地。此外，将并行 RF 走线之间的距离减到最小可以将感性耦合减到最小。

一个实心的整块接地面直接放在表层下第一层时，隔离效果最好，尽管小心一点设计时其它的做法也管用。我曾试过把接地面分成几块来隔离模拟、数字和 RF 线路，但我从未对结果感到满意过，因为最终总是有一些高速信号线要穿过这些分开的地，这不是一件好事。

在 PCB 板的每一层，应布上尽可能多的地，并把它们连到主地面。尽可能把走线靠在一起以增加内部信号层和电源分配层的地块数量，并适当调整走线以便你能将地连接过孔布置到表层上的隔离地块。应当避免在 PCB 各层上生成游离地，因为它们会像一个小天线那样拾取或注入噪音。在大多数情况下，如果你不能把它们连到主地，那么你最好把它们去掉。

本文小结

在拿到一张工程更改单 (ECO) 时，要冷静，不要轻易消除你所有辛辛苦苦才完成的工作。一张 ECO 很轻易使你的工作陷入混乱，不管需要做的修改是多么的微小。当你必须在某个时间段里完成一份工作时，你很容易就会忘记一些关键的东西，更不用说要作出更改了。

不论是不是“黑色艺术”，遵守一些基本的 RF 设计规则和留意一些优秀的设计实例将可帮助你完成 RF 设计工作。成功的 RF 设计必须仔细注意整个设计过程中每个步骤及每个细节才有可能实现，这意味着必须在设计开始阶段就要进行彻底的、仔细的规划，并对每个设计步骤的工作进展进行全面持续地评估。

高速 PCB 设计指南之七

第一篇 PCB 基本概念

1、 “层(Layer)” 的概念

与字处理或其它许多软件中为实现图、文、色彩等的嵌套与合成而引入的“层”的概念有所同，Protel 的“层”不是虚拟的，而是印刷板材料本身实实在在的各铜箔层。现今，由于电子线路的元件密集安装。防干扰和布线等特殊要求，一些较新的电子产品中所用的印刷板不仅有上下两面供走线，在板的中间还设有能被特殊加工的夹层铜箔，例如，现在的计算机主板所用的印板材料多在 4 层以上。这些层因加工相对较难而大多用于设置走线较为简单的电源布线层（如软件中的 Ground Dever 和 Power Dever），并常用大面积填充的办法来布线（如软件中的 External P1a11e 和 Fill）。上下位置的表面层与中间各层需要连通的地方用软件中提到的所谓“过孔（Via）”来沟通。有了以上解释，就不难理解“多层焊盘”和“布线层设置”的有关概念了。举个简单的例子，不少人布线完成，到打印出来时才发现很多连线的终端都没有焊盘，其实这是自己添加器件库时忽略了“层”的概念，没把自己绘制封装的焊盘特性定义为“多层（Mulii — Layer）”的缘故。要提醒的是，一旦选定了所用印板的层数，务必关闭那些未被使用的层，免得惹事生非走弯路。

2、过孔 (Via)

为连通各层之间的线路，在各层需要连通的导线的文汇处钻上一个公共孔，这就是过孔。工艺上在过孔的孔壁圆柱面上用化学沉积的方法镀上一层金属，用以连通中间各层需要连通的铜箔，而过孔的上下两面做成普通的焊盘形状，可直接与上下两面的线路相通，也可不连。一般而言，设计线路时对过孔的处理有以下原则：

- （1）尽量少用过孔，一旦选用了过孔，务必处理好它与周边各实体的间隙，特别是容易被忽视的中间各层与过孔不相连的线与过孔的间隙，如果是自动布线，可在“过孔数量最小化”（Via Minimiz8tion）子菜单里选择“on项来自动解决。
- （2）需要的载流量越大，所需的过孔尺寸越大，如电源层和地层与其它层联接所用的过孔就要大一些。

3、丝印层（Overlay）

为方便电路的安装和维修等，在印刷板的上下两表面印刷上所需要的标志图案和文字代号等，例如元件标号和标称值、元件外廓形状和厂家标志、生产日期等等。不少初学者设计丝印层的有关内容时，只注意文字符号放置得整齐美观，忽略了实际制出的 PCB 效果。他们设计的印板上，字符不是被元件挡住就是侵入了助焊区域被抹除，还有的把元件标号打在相邻元件上，如此种种的设计都将会给装配和维修带来很大不便。正确的丝印层字符布置原则是：“不出歧义，见缝插针，美观大方”。

4、SMD 的特殊性

Protel 封装库内有大量 SMD 封装，即表面焊装器件。这类器件除体积小巧之外的最大特点是单面分布元引脚孔。因此，选用这类器件要定义好器件所在面，以免“丢失引脚

(Missing Plns) ”。另外，这类元件的有关文字标注只能随元件所在面放置。

5、网格状填充区 (External Plane) 和填充区 (Fill)

正如两者的名字那样，网络状填充区是把大面积的铜箔处理成网状的，填充区仅是完整保留铜箔。初学者设计过程中在计算机上往往看不到二者的区别，实质上，只要你把图面放大后就一目了然了。正是由于平常不容易看出二者的区别，所以使用时更不注意对二者的区分，要强调的是，前者在电路特性上有较强的抑制高频干扰的作用，适用于需做大面积填充的地方，特别是把某些区域当做屏蔽区、分割区或大电流的电源线时尤为合适。后者多用于一般的线端部或转折区等需要小面积填充的地方。

6、焊盘 (Pad)

焊盘是 PCB 设计中最常接触也是最重要的概念，但初学者却容易忽视它的选择和修正，在设计中千篇一律地使用圆形焊盘。选择元件的焊盘类型要综合考虑该元件的形状、大小、布置形式、振动和受热情况、受力方向等因素。Protel 在封装库中给出了一系列不同大小和形状的焊盘，如圆、方、八角、圆方和定位用焊盘等，但有时这还不够用，需要自己编辑。例如，对发热且受力较大、电流较大的焊盘，可自行设计成“泪滴状”，在大家熟悉的彩电 PCB 的行输出变压器引脚焊盘的设计中，不少厂家正是采用的这种形式。一般而言，自行编辑焊盘时除了以上所讲的以外，还要考虑以下原则：

- (1) 形状上长短不一致时要考虑连线宽度与焊盘特定边长的大小差异不能过大；
- (2) 需要在元件引角之间走线时选用长短不对称的焊盘往往事半功倍；
- (3) 各元件焊盘孔的大小要按元件引脚粗细分别编辑确定，原则是孔的尺寸比引脚直径大 0.2-0.4 毫米。

7、各类膜 (Mask)

这些膜不仅是 PCB 制作工艺过程中必不可少的，而且更是元件焊装的必要条件。按“膜”所处的位置及其作用，“膜”可分为元件面（或焊接面）助焊膜（TOp or Bottom 和元件面（或焊接面）阻焊膜（TOp or BottomPaste Mask）两类。顾名思义，助焊膜是涂于焊盘上，提高可焊性能的一层膜，也就是在绿色板子上比焊盘略大的各浅色圆斑。阻焊膜的情况正好相反，为了使制成的板子适应波峰焊等焊接形式，要求板子上非焊盘处的铜箔不能粘锡，因此在焊盘以外的各部位都要涂覆一层涂料，用于阻止这些部位上锡。可见，这两种膜是一种互补关系。由此讨论，就不难确定菜单中类似“solder Mask Enlargement 等项目的设置了。

8、飞线，飞线有两重含义：

(1) 自动布线时供观察用的类似橡皮筋的网络连线，在通过网络表调入元件并做了初步布局后，用“Show 命令就可以看到该布局下的网络连线的交叉状况，不断调整元件的位置使这种交叉最少，以获得最大的自动布线的布通率。这一步很重要，可以说是磨刀不误砍柴功，多花些时间，值！

另外，自动布线结束，还有哪些网络尚未布通，也可通过该功能来查找。找出未布通网络之后，可用手工补偿，实在补偿不了就要用到“飞线”的第二层含义，就是在将来的印板上用导线连通这些网络。要交待的是，如果该电路板是大批量自动线生产，可将这种飞线视为 0 欧阻值、具有统一焊盘间距的电阻元件来进行设计。

第二篇 避免混合讯号系统的设计陷阱

内容:要想成功的运用现在的 SOC,板级和系统级设计师必须了解如何最好地放置元件,布置走线,以及利用保护元件。

它们被称为数码式蜂窝电话,但其中所包含的模拟功能,比起所谓的模拟蜂窝电话之前度品种还要多。事实上,需要处理连续状态值(例如语音,影像,温度,压力等)的任何系统,都会有它的模拟功能,那怕是在其名字里出现数码式这个词语。今天的多媒体 PC 也毫无例外,它们有着语音和影像的输入和输出,对发热的中央处理机进行迫切的温度监示,以及高性能调制解调器,这些系统同样地,其混合讯号功能清单上的项目也愈来愈多。

两种系统的趋势对于进行混合设计的人们来说,又带来了新的挑战。便携式通讯和运算器件的体积重量不断减少,但又不断地推高功能。而桌面系统又不断提高中央处理机能力和通讯周边的速度。肯定的是,在设计现代的数码电路板时又要避免振铃、噪声引致的差错,和地电位跳动等问题,实在相当困难的。但是,当你添加那些易受噪声影响的模拟讯号线路逼近于方波激励的数码式数据线路,问题更为严重。

在芯片级,现时的 SOC(芯片上的系统)需要有逻辑电路、模拟电路,以及热动力学设计方面的专才。要成功地使用这些 IC,板级和系统级设计师需要了解如何最好地放置元件,布置走线,以及利用保护元件。

本文讲述的是现时混合讯号系统设计中的常见陷阱,并提供一些指引以清除或移开它们。不过,在探讨特定问题和作出提议之前,先详细看看系统设计的两种潮流——小型化和高速化——如何影响这些问题,会有很大的帮助。

1、“小型化”的趋势

拿 1999 年的蜂窝电话与五年前的产品作个比较,芯片数目少得很多,重量和体积大幅减少,电池寿命大幅延长。在这个进程中,主要因素是混合讯号 IC 解决方案中有很大进展。不过,随着芯片几何尺寸的缩减,电路板上布线的间距趋近,物理学的规律开始呈现出来。

并行的走线愈来愈接近产生了愈来愈大寄生电容耦合,而这简直是和距离平方成反比关系的结果,以前只有少数几根走线的空间,现在纳入了许多走线,结果,甚至是不相邻的走线之间的电容性耦合也会构成问题。

蜂窝电话,由其性质所决定,是被人拿着使用的设备。在低温度的日子里,你正在地毯上走来走去,然后拿起蜂窝电话,接着“啪”——这就会把一个高电压,静电放电(ESD)脉冲传到这个设备那里。如果没有适当的 ESD 保护,一个或多个 IC 有可能受到损坏。不过,增添外部元件来保护 ESD 的破坏又会与小型化趋势相违背。

另一个问题是能源管理,蜂窝电话用户希望电池的两次充电之间隔愈长愈好。这意味着 DC-至-DC 转换器必须是很高效率的。开关技术是它的答案,但在此情况下,转换器也成了它自己的潜在噪声源。所以必须小心选择、放置转换器,也要小心进行互连。还有,由于体积是不可忽视的因素,应该选择可以采用物理尺寸最小的无源元件的那种部件。如果采用线性稳压器的话,应该挑选超低压差式的,可让输出维持于最小电池电压。这就能让电池不再提供足够电能之前尽行地放电。

2、“高速化”趋势

将 1999 年中档 PC 的规格与五年前的相比较,它的中央处理机速度提高了大约一个数量级,而由 CPU 消耗的电流也提高了约一个数量级。当你将高速度和大电流结合在一起, $V=L$

(di/dt) 关系式中的 “ di/dt ” 部份大幅地提高。事实上，电路板中半寸长的地线可能会感应起超过 1 伏特的电压於其上。对于转换器来说，地电位参考线会感应电压的话，可能导致运作停止。

为要达致这些更高的速度，IC 在设计和制造上都采用深度次微米尺寸（例如 0.35 μm ）。这虽然缩减了几何尺寸而得到快得多的性能，但也会令这些器件更容易招致锁上（latch-up）及由瞬变引起的损害。而且，这些器件也要求更紧逼的能源管理以符合愈来愈严格的允许电压范围。

现时的 10 / 100 Ethernet 网络介面卡（NIC）就是良好的例子，原来的 10Base-T 芯片是大尺寸的 CMOS 器件，对于过电压损坏相对地是不那么敏感的。然而，新型的芯片采用了 0.35 μm 的线宽，对于锁上以及因瞬变而失效非常敏感——因电能引致和雷电引致的瞬变。

现代的服务器，具有 SMP（对称多处理能力）的体系结构，以及 CPU 以 500MHz 或以上的频率来运作，就是能源分布挑战方面的好例子。你不可以简单地建造一个 5V 电源并把布线引到相应的总线。以 500MHz 上限达 20A 或 30A 的电流开关，它要求於每个使用点（point-of-use）实际上有独立的转换器，还加上一个更大的一级电压源对这些转换器的全部进行供电。

趋势要求具有热交换（hotswap）的能力，意味着你要能做到在现用系统里插入或除下电路板。这样做也是预告会有瞬变产生的。如此一来，无论插入的板抑或主板都必须有适当的保护作用。

无论小型化或高速化的趋势都有其独特的问题。例如，大电流能源分布对于小型、便携、手持式设备来说，就不是个大问题。而对于桌面电脑和服务器来说，延长的电池寿命也不会成为问题。不过，锁上和瞬变引致的损坏，在上述两方面都成为问题。

3、锁上和瞬变

对深度次微米 IC 从线宽的瞬变恶化了关于过电压状态的敏感性，意味着你要聪明一点，对这些器件进行保护，但同时又不要影响它们的性能。

在一个保护输入里，任何保护元件於正常运作下都必须呈现为一个高阻抗电路。它必须加载尽可能小的电容负荷，例如，假定它是对正常输入讯号加入小小效应的話。不过，在过电压的一瞬间，那同一个器件必须成为该瞬变电能的主要通路，将它从受保护器件的输入中引开。还有，保护器件的承受电压应该高於它保护的引脚上的最大允许电压。同理，它的箝位电压要足够低，以防止受保护器件的损坏，这是由於在瞬变情况下，输入上的电压会是保护器件的箝位电压。

以前，瞬变电压抑制（TVS）二极管在印刷电路板上有效地将瞬变箝位。传统的（TVS）二极管是固态 PN 结器件，低至 5V 的电压也工作得很好。它们有快速的响应时间，低的箝位电压，高的电流浪涌能力——全都是所希望的特性。不过，传统 TVS 二极管的问题是低於 5V 以下会抬起它的头。在这里，它们所采用的雪崩技术是个障碍。要在 5V 以下达致 Stand-off 电压，要采用高度的掺杂（在 $10^{18}/cm^3$ 或以上）。这反过来，又会引致更高的电容和漏电流，两者都会损害高性能的。传统的 TVS 二极管具有电压相关的电容，随电压减少而增加。例如，在 5V 下，典型的 ESD 保护二极管会有 400pF 的结电容。我们可以想像一下，这样的电容性负载加於 100Base-TEthernet 发射器或接收器的输入节点，或加於通用串行总线（USB）输入，会有甚麽问题。而且，这些正正是最需要进行瞬变保护的那些电路类型。

低於 5V 电压的情况下，传统的 TVS 二极管并非真正的选项。但这也不是说你再无可选择的了。由加州伯克莱大学和 Semtech 公司（加州 Newbury Park 市）共同开发的一种新技术，提供了一直低至 2.8V 工作电压的瞬变和 ESD 保护。你可以在一系列的 TVS 器件中去选定一种，具有合适的电容，stand-off 电压，和箝位电压来符合自己系统的要求。之後，还

要考虑应把该器件放在板上的甚麽地方，如何给电路板布线等问题。

在保护通路中的寄生电感会引起高电压的过冲及令 IC 损坏。在快速上升时间瞬变的情况尤甚，例如 ESD。由 ESD 感应起的瞬变，据 IEC1000-4-2 的定义，会在不到 1 纳秒 (ns) 内到达它的峰值。以走线电感 20nH / 寸来计算，4 份 1 寸走线自 10A 脉冲会引起 50V 的过冲。

你必须考虑所有可能的感应通路，包括地线返回通路，在 TVS 和保护线路之间的通路，以及由连接器至 TVS 器件的通路。而且，TVS 器件应该尽可能地靠近连接器放置，以便将瞬变耦合到靠近的其他走线。

一块 10 / 100Ethernet 板是需要进行瞬变保护的子系统。在 Ethernet 交换器和路由器中所用的器件是暴露在高能量，雷电感应瞬变之下的。而所用的深度次微米 IC 在设计上对过电压锁上又是极度敏感的。在典型系统里，每个端口所用的双绞线对介面由两个不同的讯号对所组成——一对用于发射器，另一对用于接收器。发射器输入通常是最容易受到损坏的，在一个线路对中出现有差异的致命性放电，并且透过变压器以电容性地耦合到 EthernetIC。

有一种情况是，讯号频率很高 (100Mbit/s) 而供电电压又低 (典型是 3.3V)，保护器件必须有很低的容性负载，而其 stand-off 电压远低于 5V。还有另一种情况，其中在保护通路中的寄生电感可以导致很大的电压过冲。为使效率提到最高，电路板的布线应该是，保护器和受保护线路之间的通路必须减至最低，而在 RJ45 连接器和保护器之间的通路长度也减至最低。

4、热交换 / 即插即用

愈来愈多的系统其设计是，在系统仍然加电期间，允许插板或插头随时插入和拔除。那些插板或插头会插入到或拔除自带有讯号，电源线和地线的插座，而且有很高机会产生瞬变。此外，该系统还能够动态地调整其电源，以适应突然增加或减少的电流负载。

蜂窝电话或其他可携电子设备会无心地带电期间插入到或拔除自充电的系统。这同样也会产生瞬变。在这里，除了瞬变保护之外，还需要有能源管理以适应突然增加或减少的电流负载。

USB 介面的设计，是给桌面系统与周边设备之间，提高一种高速的串行介接能力。还有，UB 介面有一根电压供电线，可用来给连接着的周边设备供电。如果没有负载插入到 USB 插座里，它就是个开路的插座。由人体静电对该插座感应的 ESD 脉冲放电，会导通至电路板上，并会轻易地损坏 USB 控制器。

你必须确保这种高速总线里，无论数据线抑或电源线都采取了保护。并且，尽管能源管理已被写入到 USB 的规格中，但 ESD 的保护却还没有。

TVS 器件可以用来提供适当的 ESD 保护。元件的放置和通路的长度仍然是重要的设计问题。同样的排布指南应该仔细参详。务令 TVS 和受保护线之间的通路变短，并且务令 TVS 器件尽可能靠近端口连接器。

按照 USB 规格的需要，应该采用固体电路能源分发开关器进行能源管理。在 PC 主机中，它们提供短路电流保护和差错报告给控制器 IC。在 USB 周边设备中，它们用来进行端口切换，差错报告和供电电压斜降控制。

5、能源分配

如果将 PC 的电流量变化与 10 年前的相比，增幅之大实在令人惊诧。再加上时钟频率的大幅增加，使得 PC 和服务器的环境处于极高的 di/dt 环境之下。例如，若 L 为 2.5 μ H 及 C 等於 4 \times 1500 μ F，在负载上的瞬变其数量级为 200mV 峰对峰值，恢复时间 50 微秒。使问题更复杂的还有令 CPU 进入睡眠之类的模式，然後迅速地唤醒起来，所产生的瞬变是每微秒 20

至 30A 的范围，因而变成为能源管理上的头痛问题。

从转换器观点来看， di/dt 的值左右了对输出电容的选择，更特定地是电容的等效串联电阻（ESR）和等效串联电感（ESL）。低频运作的转换器需要用大的电容量来存储两个工作周期之间的电荷，这就要采用电解电容。这些电解电容虽然有很大的电容量，但随之而来也有大的 ESR 和 ESL，两者都有违设计者心意的。此外，电解电容体积很大，不适合於表面安装技术和紧凑的封装。

有一种代替的办法可以降低 ESR 和 ESL 的值，简化生产过程，减少实际体积。方法是采用稍高频率的转换器，你就可以选择陶瓷电容来代替电解电容，并且得到上述的优点。同时，藉着采用多相转换器的方案，你更可将负载需求分担开来，每个转换器只需较少的输入电容，同时又能提供相同总量的电流能力。它的另一个优点是降低了输入纹波电流。在单相转换方案中，输入纹波电流等於输出的纹波电流之半。由此，对 20A 系统而言，其输入纹波电流是 10A。但是，对於四相转换器方案，例如说，就会在这四个转换器中平分这种输出电流。现在每个供电为 5A，而它们的输入纹波电流为 2A。这就可以采用更小型，更便宜的输入电容器。

DellComputers 公司（德州 RoundRock 市）替它的高速电脑和服务器系列开发了一种分立式，多相脉宽调制（PWM）控制器和反向 DC-to-DC 转换器。其设计是要符合 Intel 公司的高级 PentiumCPU 之紧迫电能 / 能源管理的要求。该电路自此已由 Semtech 公司应 Dell 的要求加以集成起来。采取了多相控制器和转换器的方案之後，你就要特别注意电路板的布线问题。高频下的大电流开关会影响地平面有电压的差异。

电路的大电流部份应该先行布线，你应该采用地平面（groundplane），或应该引入隔离或半隔离地平面区域，限制地电流进入特定区域。由输入电容器和高端及低端驱动器输出 FET 形成的回路包含了全部大电流，快速瞬变开关。连接上应宽即宽及应短则短，以减少回路电感。这样做就会降低电磁干扰（EMI），降低地注入的电流，并将源振铃减至最小以得到更可靠的门电路开关讯号。

在上述两个 FET 接合点与输出电感器之间的连接，应该是宽的径迹，同时尽可能地短。输出电容器应该尽可能靠近负载放置。快速瞬变负载电流是由这个电容器提供的，所以，连接线应该既宽且短，以便把电感和电阻减至最小。

控制器最好置於宁静地平面区域内，避免输入电容器和 FET 回路中的脉冲电流流入这个区域。高低端地电位参考引脚应该返回到极接近控制放大器封装的地那里。小讯号模拟地和数码地应该连接到其中一个输出电容器的地端。决不可以返回到在输入电容 / FET 回路内部的地。电流感测电阻回路应该保持尽可能的短。

6、聪明地工作

虽然上面的例子说明了一些方法，可预知和避免混合讯号系统的某些陷阱，但这决不是巨细无遗的。每个系统都有其自己的挑战事项，而每个设计师都有其独特的障碍要跳越。无论对付的是更困难的保护，或更严格的能源管理，选择恰当的元件是首先进行的事情。在挑战转换器，转换器控制器和 TVS 保护器件方面，有很广泛的选择范围。把它们放置於电路板上的正确地方就会显出能源管理和保护方面有效与否的差别。深思熟虑的布线和地平面的配置则是第叁方面的关键问题。用於低压电路的 TVS

电压低於 5V 时，传统的 PN 结型 TVS 实际上完全不起作用。不过，有一种增强式穿通二极管（EPD），由加州柏克莱大学和 Semtech 公司研制出来。

和雪崩式 TVS 二极管传统的 PN 结构不同，这种 EPD 器件采用了更复杂的 n+p+p-n+ 四层结构。它在 p+ 和 P-层采用轻掺杂，防止反向偏置的 n+p+ 结会进入雪崩状态。

选择 npn 结构而不是 pnp 结构，是因为它有更高的电子迁移率和改进的箝位特性。藉着

小心架构制造 P-基区，结果得到的器件於 2.8V 至 3.3V 电压范围内，取得了出色的漏电，箝位和电容特性。

7、饱胃口极大的 Pentium

Intel 的 Pentium 规格里，要求在 500ns 内电流由 5A 增高至 20A，转换率为每微秒 30A。而 SemteckSC1144 多相 PWM 控制器的能力还胜於任务所要求的。它提供了对多达四个反向 DC-to-DC 转换器的控制，得到所需的速度和精度。内建的 5 位元 DAC 可让输出电压作编程输出，由 1.8 至 2.05V 按 50mV 增量进行，由 2.0 至 3.5V 按 100mV 增量进行。

这种多相技术产生了由 90 度相移分开的四个精确输出电压。然後，这四个经数码式相移的输出一起求和，以得到所需的输出电压和电流容量。

以每个转换器工作於 2MHz 来看，设计师可以采用陶瓷电容而非电解电容，并且得到体积小，可表面安装，以及更低的 ESR 和 ESL 的好处。

第三篇 信号隔离技术

信号隔离使数字或模拟信号在发送时不存在穿越发送和接收端之间屏障的电流连接。这允许发送和接收端外的地或基准电平之差值可以高达几千伏，并且防止了可能损害信号的不同地电位之间的环路电流。信号地的噪声可使信号受损。隔离可将信号分离到一个干净的信号子系统地。在另一种应用中，基准电平之间的电连接可产生一个对于操作人员或病人不安全的电流通路。信号的性质可以为电路设计人员指明系统可考虑的那些正确的 IC。

第一类隔离器件依赖于无发送器和接收器来跨越隔离屏障。这种器件曾用于数字信号，但线性化问题迫使模拟信号隔离采用变压器，用调制载波使模拟信号跨越这个屏障。变压器怎么说总是难弄的，而且通常不可能制成 IC，所以想出了用电容器电路来耦合调制信号以跨越屏障。作用在隔离屏障上的高转换率瞬态电压可做为单电容屏障器件的信号，所以已开发出双电容差分电路以使误差最小。现在电容屏障技术已应用在数字和模拟隔离器件中。

1、隔离串行数据流

隔离数字信号有很大选择范围。假若数据流是位串行的，则选择方案范围从简单光耦合器到隔离收发器 IC。主要设计考虑包括：

所需的数据速率

系统隔离端的电源要求

数据通道是否必须为双向

基于 LED 的光耦合器是用于隔离设计问题的第一种技术。现在有几件基于 LED IC 可用，其数据速率为 10Mbps 及以上。一个重要的设计考虑是 LED 光输出随时间减小。所以在早期必须为 LED 提供过量电流，以使随时间推移仍能提供足够的输出光强。因为在隔离端可能提供电很有限，所以需要过量电流是一个严重的问题。因为 LED 需要的驱动电流可以大于从简单逻辑输出级可获得的电流，所以往往需要特殊的驱动电路。

对于高速应用和在逻辑信号控制下使数据流反向转送的情况，可用 Burr-Brown 公司的 ISO 150 数字耦合器。图 1 示出 ISO150 的双向应用电路。通道 1 控制通道 2 的传送方向，并配置为从 A 端传送到 B 端。加到 DIA 引脚的信号确定信号的流向。送到 B 端的高电平把

通道 2 的那一端置为接收模式。而加到通道 2A 端 Mode 引脚的低电平则把通道置成发送模式。方向信号的状态在隔离屏障的两边都有。此电路可工作在 80MHz 的数据率下。

位串行通信的第二种变形是正在发展中的差分总线系统装置。这些系统由 RS-422、RS-485 和 CANbus 标准描述。某些系统很幸运地具有公共地，而很多系统具有不同电位的结点。当两结点相隔一定距离时，情况就更是如此。Burr-Brown 公司的 ISO 422 是设计成用于可有这些应用的集成全双工隔离收发器。此收发器可配制为半双工和全双工（见图 2）。传输率可达 2.5Mbps。此器件甚至还包含了环路（Loop-back）测试功能，所以每个结点都可执行自测试功能。在此模式期间，总线上的数据被忽略。

2、隔离并行数据总线系统

并行数字数据总线的隔离将增加三个更主要的设计参量：

总线的位宽度

容许的偏移度

时钟速度要求

用一排光耦合器可完成这种任务，但支持电路可能很庞杂。光耦合器之间的传播时间失配将导致数据偏移，从而引起在接收端的数据误差。为使这种问题减至最小，ISO508 隔离数字耦合器（图 3）支持在输入和输出端的双缓冲数据缓存。这种配置将以 2Mbps 的速率传输数据。

ISO508 有两种工作模式。当 CONT 引脚被置成低态时，在 LE1 信号的控制下，数据以同步模式被传送穿越屏障。在 LE1 高态时，数据从输入引脚传送到输入锁存。当 LE1 变低态时，数据字节开始传输穿越屏障。在此时间，输入引脚可用于下一代数据字节。在此模式下，可传送的数据率可达 2Mbps。

当 CONT 引脚被置成高态时，数据在器件内部 20MHz 时钟的控制下被跨越屏障发送。数据传输对外部锁存使能信号是异步的。数据以串行形式从输入锁存被选通到输出锁存。在一个字节传输完成后，整个字节移入输出锁存，输出锁存将对已传输的数据字节去偏移。对于完整的 8 位字节，传播延迟将小于 1ms。

3、模拟信号隔离

在很多系统中，模拟信号必须隔离。模拟信号所考虑的电路参量完全不同于数字信号。模拟信号通常先要考虑：

精度或线性度

频率响应

噪声考虑

电源要求，特别是对输入级，也应该关注隔离放大器的基本精度或线性度不能依靠相应的应用电路来改善，但这些电路可降低噪声和降低输入级电源要求。

Burr-Brown 的 ISO124 使模拟隔离简化。输入信号被占空度调制并以数字方式发送跨过屏障。输出部分接收被调制的信号，把它变换回模拟电压并去掉调制/解调过程中固有的纹波成分。由于对输入信号的调制与解调，所以应遵循采样数据系统的一些限制。调制器工作在 500kHz 的基频上，所以高于 250kHz Nyquist 频率的输入信号在输出中呈现较低的频率分量。

尽管输出级去掉了输出信号中载波频率的大多数，但仍然有一定量的载波信号存在。图 4 示出了降低系统其余部分中高频噪声污染的组合滤波方法。电源滤波器能显著地降低从电源引脚窜入的噪声。输出滤波器是一个 Q 为 1、3dB 频率为 50kHz 的二极 Sallen-key 级。这使输出纹波降低 5 倍。

对隔离电压的另一问题是输入级所需的功率。输出级通常以机壳或地为基准，而输入通常浮动在另一个电位上。因此，输入级的电源也必须隔离。通常用一个单电源，而不是理想中使用的 +15V 和 -15V 电源。

图 5 示出在 ISO124 输入级的一个单电压电源结合使用 1NA2132 双差分放大器，可将摆幅提升到输入信号电平的全范围。唯一的要求是输入端电源电压保持大于 9V，这是 ISO124 输入电压所需要的。

INA2132 的下半部产生一个 V_{S+} 电源的一半的输出电压。此电压用作 INA2132 另一半的 REF 引脚和 ISO124 的 GND 输入是伪地。INA2132 的差分输入信号的摆幅可以高于或低于新参考电平。ISO124 的输出与输入一样，将是完全双极性的。

4、隔离用的多功能 IC

新的多功能数据采集 IC 使设计人员有机会在跨越隔离屏时完成多个任务。一个完整的数据采集器件可包含多路模拟开关，可编程增益仪表放大器、A/D 转换器和一个或多个数字 I/O 通道。所有这些功能都是通过一个串行数据口进行控制的。Burr-Brown 公司的 ADS7870 就是这样的一种器件。ADS7870 与 ISO150 一起工作得很好，并示于图 6。

在此应用中，ADS7870 的每个可编程功能都置于主微处理器的控制之下，而该微处理器本身的控制是通过串行通信口写命令到寄存器来实现的。控制特性包括：

多路器的选择

- 4 差分通道或 8 个单端通道

可编程仪表放大器的增益设置，1 ~ 20

- 1 位 A/D 转换的初始化

此器件的 4 条数字 I/O 线也是有用的，可被个别地规定为报告数字信号的状态或输出数字信号。这允许隔离某些支持功能，如通过同一 ISO150 扩展信号多路器的电平或错误标志读出。

结语

有很多器件可供设计人员选用，并使用在系统中地电位有很大差别的设计中。每一种器件都是针对独特系统要求而设计的。新器件性能集成的高水平使得跨越隔离屏障能实现从前做不到的更复杂的操作。

第四篇 高速数字系统的串音控制

内容：在高频电路中，串音可能是最难理解和预测的，但是，它可以被控制甚至被消除掉。

随着切换速度的加快，现代数字系统遇到了一系列难题，例如：信号反射、延迟衰落、串音、和电磁兼容失效等等。当集成电路的切换时间下降到 5 纳秒或 4 纳秒或更低时，印刷电路板本身的固有特性开始显现出来。不幸的是，这些特性是有害的，在设计过程中应该尽量设法避开。

在高频电路中，串音可能是最难理解和预测的，但是，它可以被控制甚至被消除掉。

1、串音由何引起？

当信号沿着印刷电路板的布线传播时，其电磁波也沿着布线传播，从集成电路芯片一端传到线的另一端。在传播过程中，由于电磁感应，电磁波引起了瞬变的电压和电流。

电磁波包括随时间变化的电场和磁场。在印刷电路板中，实际上，电磁场并不限制在各种布线内，有相当一部分的电磁场能量存在於布线之外。所以，如果附近有其它线路，当信号沿一根导线传播时，其电场和磁场将会影响到其它线路。根据麦克斯韦尔方程，时变电及磁场会使邻近导产生电压和电流，因此，信号传播过程中伴随的电磁场将会使邻近线路产生信号，这样，就导致了串音。

在印刷电路板中，引起串音的线路通常称为“侵入者”。受串音干扰的线路通常称为“受害者”。在任何“受害者”中的串音信号都可被分为前向串音信号和後向串音信号，这两种信号部分地由於电容耦合和电感耦合引起。串音信号的数学描述是非常复杂的，但是，如同湖面上的高速快艇，前向和後向串音信号的某些量化特徵还是能被人们所理解。

高速快艇对水产生两种影响。首先，快艇在船头激起浪花，弧形的涟漪好像随着快艇一起前进；其次，当快艇行驶一段时间後，会在身後留下长长的水迹。

这很类似於信号通过“侵入者”时，“受害者”的反应。“受害者”中有两种串音信号：位於侵入信号之前的前向信号，像船头的水和涟漪；落後於侵入信号的後向信号，像船开远後仍在湖中的水迹。

2、前向串音的电容特性

前向串音表现为两种相互关联的特性：容性和感性。“侵入”信号前进时，在“受害者”中产生与之同相的电压信号，这个信号的速度与“侵入”信号相同，但又始终位於“侵入”信号之前。这意味着串音信号不会提前传播，而是和“侵入”信号同速并耦合入更多的能量。

由於“侵入”信号的变化引起串音信号，所以前向串音脉冲不是单极性的，而是具有正负两个极性。脉冲持续时间等於“侵入”信号的切换时间。

导线间的耦合电容决定了前向串音脉冲的幅值，而耦合电容是由许多因素决定的，例如印刷电路板材料，几何尺寸，线路交叉位置等等。幅值和平行线路间的距离成比例：距离越长，串音脉冲就越大。然而，串音脉冲幅值有一个上限，因为“侵入”信号渐渐地失去了能量，而“受害者”又反过来耦合回“侵入者”。前向串音的电感特性

当“侵入”信号传播时，它的时变磁场同样会产生串音：具有电感特性的前向串音。但是感性串音和容性串音明显不同：前向感性串音的极性和前向容性串音的极性相反。这因为在前进方向，串音的容性部分和感性部分在竞争，在相互抵消。实际上，当前向容性和感性串音相等时，就不存在前向串音。

在许多设备中，前向串音相当小，而後向串音成了主要问题，尤其对於长条形电路板，因为电容耦合增强了。但是，在没有仿真的前提下，实际无法知道感性和容性串音抵消到何种程度。

如果你测到了前向串音，你可以根据其极性判别你的走线是容性耦合还是感性耦合。如果串音极性和“侵入”信号相同，容性耦合占主要地位，反之，感性耦合占主要地位。在印刷电路板中，通常是感性耦合更强些。

後向串音发生的物理理和前向串音相同：“侵入”信号的时变电场和磁场引起“受害者”中的感性和容性信号。但是这两者之间也有所不同。

最大的不同是後向串音信号的持续时间。因为前向串音和“侵入”信号的传播方向及速度相同，所以前向串音的持续时间和“侵入”信号等长。但是，後向串音和“侵入”信号反方向传播，它滞後於“侵入”信号，并引起一长串脉冲。

与前向串音不同，後向串音脉冲的幅值与线路长度无关，其脉冲持续期是“侵入”信号延迟时间的两倍。为什麼呢？假设你从信号出发点观察後向串音，当“侵入”信号远离出发点时，它仍在产生後向脉冲，直到另一个延迟信号出现。这样，後向串音脉冲的整个持续时间就是“侵入”信号延迟时间的两倍。

3、後向串音的反射

你可能不关心驱动芯片和接收芯片的串音干扰。然而，你为什么要关心後向脉冲呢？因为驱动芯片一般是低阻输出，它反射的串音信号多於吸收的串音信号。当後向串音信号到达‘受害者’的驱动芯片时，它会反射到接收芯片。因为驱动芯片的输出电阻一般低於导线本身，常常引起串音信号的反射。

与前向串音信号具有感性和容性两种特性不同，後向串音信号只有一个极性，所以後向串音信号就不能自我抵消。後向串音信号及其反射之後的串音信号的极性和‘侵入’信号相同，其幅值是两部分之和。

切记，当你在‘受害者’的接收端测到後向串音脉冲时，这个串音信号已经经过了‘受害者’驱动芯片的反射。你可以观察到後向串音信号的极性和‘侵入’信号相反。

在数字设计时，你常常关心一些量化指标，例如：不管串音是如何产生，何时产生，前向还是後向的，它的最大噪声容限为 150mV。那麼，存在简单的能够精确衡量噪声的方法吗？简单的回答是“没有”，因为电磁场效应太复杂了，涉及到一系列方程，电路板的拓扑结构，芯片的模拟特性等等。

4、串音消除

从实践观点出发，最重要的问题是如何去除串音。当串音会影响电路特性时，你该怎么办？

你可以采取以下两种策略。一种方法是改变一个或多个影响耦合的几何参量，例如：线路长度、线路之间的距离、电路板的分层位置。另一种方法是利用终端，将单线改成多路耦合线。合理的设计，多线终端能够取消大部分串音。

5、线路长度

很多设计者认为缩短线路长度是降低串音的关键。事实上，几乎所有电路设计软件都提供了最大并行线路的长度控制功能。不幸的是，仅改变几何数值，是很难降低串音的。

因为前向串音受耦合长度影响，所以当你缩短没有耦合关系的线路长度时，串音几乎没有减少。再者，如果耦合长度超过驱动芯片下降或上升时延，耦合长度和前向串音的线性关系会到达一个饱和值，这时，缩短已经很长的耦合线路对减少串音影响甚小。

一个合理的方法是扩大耦合线路间的距离。几乎在所有情况下，分离耦合线路能够大大降低串音干扰。实践证明，後向串音幅值大致和耦合线路间的距离的平方成反比，即：如果你将这个距离增加一倍，串音降低四分之三。当後向串音占主要地位时，这个效果更加明显。

6、隔离难度

要增大耦合线路间的距离并不是很容易的。如果你的布线非常密，你必须花很多精力才能降低布线密度。如果你担心串音干扰，你可以增加一或二个隔离层。如果你必须扩大线路或网络间的距离，那麼你最好拥有一个便於操作的软件。线路宽度和厚度同样影响串音干扰，但是其影响远小於线路的距离因素。所以，一般很少调整这两个参量。

因为电路板的绝缘材料存在介电常数，也会产生线路间的耦合电容，所以降低介电常数也可减少串音干扰。这个效果并不很明显，特别是微带电路部分介电质已经是空气了。更重要的是，改变介电常数并不那麼容易，特别是在昂贵的设备中。一个变通的办法是采用较贵的材料，而不是 FR-4。

介电质厚度，很大长度上影响了串音干扰。一般的，使布线层靠近电源层（Vcc 或地），能够降低串音干扰。改善效果的精确数值需要通过仿真来确定。

7、分层因素

一些印刷电路板设计者仍然不注意分层方法，这在高速电路设计中是个重大失误。分层不但影响传输线的性能，例如：阻抗、延迟和耦合，而且电路工作易於失常，甚至改变。例如，通过减少 5mil 的介电质厚度来降低串音干扰，这是不可以的，虽然在成本和工艺上都能做到。

另外一个容易忽略的因素是层的选择。很多时候，前向串音是微带电路中的主要串音干扰。但是，如果设计合理，布线层位於两个电源层之间，这样就很好地平衡了容性耦合和感性耦合，具有较低幅值的後向串音便成为主要因素。所以，仿真时你必须注意，是哪种串音干扰占主要地位。

布线和芯片的位置关系对串音也有影响。因为後向串音到达接收芯片後反射到驱动芯片，所以驱动芯片的位置和性能是非常重要的。因为拓扑结构的复杂性，反射及其它因素，所以很难解释串音主要受谁影响。如果有多种拓扑结构供选择，最好通过仿真来确定哪种结构对串音影响最小。

一个可能减少串音的非几何因素是驱动芯片本身的技术指标。一般原则是，选择切换时间长的驱动芯片，以减少串音干扰（解决很多其它由於高速引起的问题也如此）。即使串音不严格地和切换时间成正比，降低切换时间仍然会产生重大影响。许多时候，你对驱动芯片技术无法选择，你只能改变几何参量来达到目的。通过终端降低串音

众所周知，一根独立、无耦合传输线的终端连接匹配阻抗，它就不会产生反射。现在考虑一系列耦合的传输线，例如，叁根互相有串音的传输线，或一对耦合传输线。如果利用电路分析软件，可以导出一对矩阵，分别表示传输线本身和相互间的电容和电感。例如，叁根传输线可能有下列的 C 和 L 矩阵：

在这些矩阵中，对角线元素是传输线自身值，非对角线元素是传输线相互间的值。（注意它们是用每单位长度的 pF 和 nH 来表示的）。可以用精良的电磁场测试仪来确定这些值。

可以看出，每一组传输线也有一个特徵阻抗矩阵。在这个 Z_0 矩阵中，对角线元素表示传输线对地线的阻抗值，非对角线元素是传输线耦合值。

對於一组传输线，与单根传输线类似，如果终端是与 Z_0 匹配的阻抗阵，它的矩阵几乎是相同的。所需的阻抗不必是 Z_0 中的值，只要组成的阻抗网络与 Z_0 匹配就行。阻抗阵中不仅包括传输线对地的阻抗，而且包括传输线之间的阻抗。

这样的一个阻抗阵具有良好的性质。首先它可以阻止非耦合线中串音的反射。更重要的是，它可以消除已经形成的串音。

8、致命武器

可惜的是，这样一个终端是昂贵的，而且是不可能理想实现的，因为一些传输线之间的耦合阻抗太小了，会导致大电流流入驱动芯片。传输线和地之间的阻抗也不能太大以致於不能驱动芯片。如果存在这些问题，而你还打算利用这类终端，加几个交流耦合电容试试看。

尽管实现中存在一些困难，阻抗阵列终端仍是对付信号反射和串音的致命武器，特别对於恶劣情况。在其它环境下，它可能起作用，也可能不起作用，但仍不失为一种值得推荐的方法。

高速 PCB 设计指南之八

第一篇 掌握 IC 封装的特性以达到最佳 EMI 抑制性能

将去耦电容直接放在 IC 封装内可以有效控制 EMI 并提高信号的完整性，本文从 IC 内部封装入手，分析 EMI 的来源、IC 封装在 EMI 控制中的作用，进而提出 11 个有效控制 EMI 的设计规则，包括封装选择、引脚结构考虑、输出驱动器以及去耦电容的设计方法等，有助于设计工程师在新的设计中选择最合适的集成电路芯片，以达到最佳 EMI 抑制的性能。现有的系统级 EMI 控制技术包括：

- (1) 电路封闭在一个 Faraday 盒中(注意包含电路的机械封装应该密封)来实现 EMI 屏蔽；
- (2) 电路板或者系统的 I/O 端口上采取滤波和衰减技术来实现 EMI 控制；
- (3) 现电路的电场和磁场的严格屏蔽，或者在电路板上采取适当的设计技术严格控制 PCB 走线和电路板层(自屏蔽)的电容和电感，从而改善 EMI 性能。

EMI 控制通常需要结合运用上述的各项技术。一般来说，越接近 EMI 源，实现 EMI 控制所需的成本就越小。PCB 上的集成电路芯片是 EMI 最主要的能量来源，因此如果能够深入了解集成电路芯片的内部特征，可以简化 PCB 和系统级设计中的 EMI 控制。

PCB 板级和系统级的设计工程师通常认为，它们能够接触到的 EMI 来源就是 PCB。显然，在 PCB 设计层面，确实可以做很多的工作来改善 EMI。然而在考虑 EMI 控制时，设计工程师首先应该考虑 IC 芯片的选择。集成电路的某些特征如封装类型、偏置电压和芯片的工艺技术(例如 CMOS、ECL、TTL)等都对电磁干扰有很大的影响。本文将着重讨论这些问题，并且探讨 IC 对 EMI 控制的影响。

1、EMI 的来源

数字集成电路从逻辑高到逻辑低之间转换或者从逻辑低到逻辑高之间转换过程中，输出端产生的方波信号频率并不是导致 EMI 的唯一频率成分。该方波中包含频率范围宽广的正弦谐波分量，这些正弦谐波分量构成工程师所关心的 EMI 频率成分。最高 EMI 频率也称为 EMI 发射带宽，它是信号上升时间而不是信号频率的函数。计算 EMI 发射带宽的公式为：

$$F = 0.35/T_r$$

其中：F 是频率，单位是 GHz； T_r 是单位为 ns(纳秒)的信号上升时间或者下降时间。从上述公式中不难看出，如果电路的开关频率为 50MHz，而采用的集成电路芯片的上升时间是 1ns，那么该电路的最高 EMI 发射频率将达到 350MHz，远远大于该电路的开关频率。而如果 IC 的上升时间为 500ps，那么该电路的最高 EMI 发射频率将高达 700MHz。众所周知，电路中的每一个电压值都对应一定的电流，同样每一个电流都存在对应的电压。当 IC 的输出在逻辑高到逻辑低或者逻辑低到逻辑高之间变换时，这些信号电压和信号电流就会产生电场和磁场，而这些电场和磁场的最高频率就是发射带宽。电场和磁场的强度以及对外辐射的百分比，不仅是信号上升时间的函数，同时也取决于对信号源到负载点之间信号通道上电容和电感的控制的好坏，在此，信号源位于 PCB 板的 IC 内部，而负载位于其它的 IC 内部，这些 IC 可能在 PCB 上，也可能不在该 PCB 上。为了有效地控制 EMI，不仅需要关注 IC 芯片自身的电容和电感，同样需要重视 PCB 上存在的电容和电感。

当信号电压与信号回路之间的耦合不紧密时，电路的电容就会减小，因而对电场的抑制

作用就会减弱，从而使 EMI 增大；电路中的电流也存在同样的情况，如果电流同返回路径之间耦合不佳，势必加大回路上的电感，从而增强了磁场，最终导致 EMI 增加。换句话说，对电场控制不佳通常也会导致磁场抑制不佳。用来控制电路板中电磁场的措施与用来抑制 IC 封装中电磁场的措施大体相似。正如同 PCB 设计的情况，IC 封装设计将极大地影响 EMI。

电路中相当一部分电磁辐射是由电源总线中的电压瞬变造成的。当 IC 的输出级发生跳变并驱动相连的 PCB 线为逻辑‘高’时，IC 芯片将从电源中吸纳电流，提供输出级所需的能量。对于 IC 不断转换所产生的超高频电流而言，电源总线始于 PCB 上的去耦网络，止于 IC 的输出级。如果输出级的信号上升时间为 1.0ns，那么 IC 要在 1.0ns 这么短的时间内从电源上吸纳足够的电流来驱动 PCB 上的传输线。电源总线上电压的瞬变取决于电源总线路径上的电感、吸纳的电流以及电流的传输时间。电压的瞬变由下面的公式所定义：

$$V=Ldi/dt$$

其中：L 是电流传输路径上电感的值；di 表示信号上升时间间隔内电流的变化；dt 表示电流的传输时间（信号的上升时间）。

由于 IC 管脚以及内部电路都是电源总线的一部分，而且吸纳电流和输出信号的上升时间也在一定程度上取决于 IC 的工艺技术，因此选择合适的 IC 就可以在很大程度上控制上述公式中提到的所有三个要素。

2、IC 封装在电磁干扰控制中的作用

IC 封装通常包括：硅基芯片、一个小型的内部 PCB 以及焊盘。硅基芯片安装在小型的 PCB 上，通过绑定线实现硅基芯片与焊盘之间的连接，在某些封装中也可以实现直接连接。小型 PCB 实现硅基芯片上的信号和电源与 IC 封装上的对应管脚之间的连接，这样就实现了硅基芯片上信号和电源节点的对外延伸。贯穿该 IC 的电源和信号的传输路径包括：硅基芯片、与小型 PCB 之间的连线、PCB 走线以及 IC 封装的输入和输出管脚。对电容和电感（对应于电场和磁场）控制的好坏在很大程度上取决于整个传输路径设计的好坏。某些设计特征将直接影响整个 IC 芯片封装的电容和电感。

首先看硅基芯片与内部小电路板之间的连接方式。许多的 IC 芯片都采用绑定线来实现硅基芯片与内部小电路板之间的连接，这是一种在硅基芯片与内部小电路板之间的极细的飞线。这种技术之所以应用广泛是因为硅基芯片和内部小电路板的热胀系数（CTE）相近。芯片本身是一种硅基器件，其热胀系数与典型的 PCB 材料（如环氧树脂）的热胀系数有很大的差别。如果硅基芯片的电气连接点直接安装在内部小 PCB 上的话，那么在一段相对较短的时间之后，IC 封装内部温度的变化导致热胀冷缩，这种方式的连接就会因为断裂而失效。绑定线是一种适应这种特殊环境的引线方式，它可以承受大量的弯曲变形而不容易断裂。

采用绑定线的问题在于，每一个信号或者电源线的电流环路面积的增加将导致电感值升高。获得较低电感值的优良设计就是实现硅基芯片与内部 PCB 之间的直接连接，也就是说硅基芯片的连接点直接粘接在 PCB 的焊盘上。这就要求选择使用一种特殊的 PCB 板基材料，这种材料应该具有极低的 CTE。而选择这种材料将导致 IC 芯片整体成本的增加，因而采用这种工艺技术的芯片并不常见，但是只要这种将硅基芯片与载体 PCB 直接连接的 IC 存在并且在设计方案中可行，那么采用这样的 IC 器件就是较好的选择。

一般来说，在 IC 封装设计中，降低电感并且增大信号与对应回路之间或者电源与地之间电容是选择集成电路芯片过程的首选考虑。举例来说，小间距的表面贴装与大间距的表面贴装工艺相比，应该优先考虑选择采用小间距的表面贴装工艺封装的 IC 芯片，而这两种类型的表面贴装工艺封装的 IC 芯片都优于过孔引线类型的封装。BGA 封装的 IC 芯片同任何常用的封装类型相比具有最低的引线电感。从电容和电感控制的角度来看，小型的封装和更细的间距通常总是代表性能的提高。

引线结构设计的一个重要特征是管脚的分配。由于电感和电容值的大小都取决于信号或者是电源与返回路径之间的接近程度，因此要考虑足够多的返回路径。

电源和地管脚应该成对分配，每一个电源管脚都应该有对应的地管脚相邻分布，而且在这种引线结构中应该分配多个电源和地管脚对。这两方面的特征都将极大地降低电源和地之间的环路电感，有助于减少电源总线上的电压瞬变，从而降低 EMI。由于习惯上的原因，现在市场上的许多 IC 芯片并没有完全遵循上述设计规则，然而 IC 设计和生产厂商都深刻了解这种设计方法的优点，因而在新的 IC 芯片设计和发布时 IC 厂商更关注电源的连接。

理想情况下，要为每一个信号管脚都分配一个相邻的信号返回管脚（如地管脚）。实际情况并非如此，即使思想最前卫的 IC 厂商也没有如此分配 IC 芯片的管脚，而是采用其它折衷方法。在 BGA 封装中，一种行之有效的设计方法是在每组八个信号管脚的中心设置一个信号的返回管脚，在这种管脚排列方式下，每一个信号与信号返回路径之间仅相差一个管脚的距离。而对于四方扁平封装（QFP）或者其它鸥翼（gull wing）型封装形式的 IC 来说，在信号组的中心放置一个信号的返回路径是不现实的，即便这样也必须保证每隔 4 到 6 个管脚就放置一个信号返回管脚。需要注意的是，不同的 IC 工艺技术可能采用不同的信号返回电压。有的 IC 使用地管脚（如 TTL 器件）作为信号的返回路径，而有的 IC 则使用电源管脚（如绝大多数的 ECL 器件）作为信号的返回路径，也有的 IC 同时使用电源和地管脚（比如大多数的 CMOS 器件）作为信号的返回路径。因此设计工程师必须熟悉设计中使用的 IC 芯片逻辑系列，了解它们的相关工作情况。

IC 芯片中电源和地管脚的合理分布不仅能够降低 EMI，而且可以极大地改善地弹反射（ground bounce）效果。当驱动传输线的器件试图将传输线下拉到逻辑低时，地弹反射却仍然维持该传输线在逻辑低阈值电平之上，地弹反射可能导致电路的失效或者故障。

IC 封装中另一个需要关注的重要问题是芯片内部的 PCB 设计，内部 PCB 通常也是 IC 封装中最大的组成部分，在内部 PCB 设计时如果能够实现电容和电感的严格控制，将极大地改善设计系统的整体 EMI 性能。如果这是一个两层的 PCB 板，至少要求 PCB 板的一面为连续的地平面层，PCB 板的另一层是电源和信号的布线层。更理想的情况是四层的 PCB 板，中间的两层分别是电源和地平面层，外面的两层作为信号的布线层。由于 IC 封装内部的 PCB 通常都非常薄，四层板结构的设计将引出两个高电容、低电感的布线层，它特别适合于电源分配以及需要严格控制的进出该封装的输入输出信号。低阻抗的平面层可以极大地降低电源总线上的电压瞬变，从而极大地改善 EMI 性能。这种受控的信号线不仅有利于降低 EMI，同样对于确保进出 IC 的信号完整性也起到重要的作用。

3、其它相关的 IC 工艺技术问题

集成电路芯片偏置和驱动电源电压 V_{cc} 是选择 IC 时要注意的重要问题。从 IC 电源管脚吸纳的电流主要取决于该电压值以及该 IC 芯片输出级驱动的传输线（PCB 线和地返回路径）阻抗。5V 电源电压的 IC 芯片驱动 50 Ω 传输线时，吸纳的电流为 100mA；3.3V 电源电压的 IC 芯片驱动同样的 50 Ω 传输线时，吸纳电流将减小到 66mA；1.8V 电源电压的 IC 芯片驱动同样的 50 Ω 传输线时，吸纳电流将减小到 36mA。由此可见，在公式 $V=Ldi/dt$ 中，驱动电流从 100mA 减少到 36mA 可以有效地降低电压的瞬变 V ，因而也就降低了 EMI。低压差分信号器件（LVDS）的信号电压摆幅仅有几百毫伏，可以想象这样的器件技术对 EMI 的改善将非常明显。

电源系统的去耦也是一个值得特别关注的问题。IC 输出级通过 IC 的电源管脚吸纳的电流都是由电路板上的去耦网络提供的。降低电源总线上电压下降的一种可行的办法是缩短去耦电容到 IC 输出级之间的分布路径。这样将降低“ Ldi/dt ”表达式中的“ L ”项。由于 IC 器件的上升时间越来越快，在设计 PCB 板时唯一可以实施的办法是尽可能地缩短去耦电容到 IC 输

出级之间的分布路径。一种最直接的解决方法是将所有的电源去耦都放在 IC 内部。最理想的情况是直接放在硅基芯片上，并紧邻被驱动的输出级。对于 IC 厂商来说，这不仅昂贵而且很难实现。然而如果将去耦电容直接放在 IC 封装内的 PCB 板上，并且直接连接到硅基芯片的管脚，这样的设计成本增加得最少，对 EMI 控制和提高信号完整性的贡献最大。目前仅有少数高端微处理器采用了这种技术，但是 IC 厂商们对这项技术的兴趣正与日俱增，可以预见这样的设计技术必将在未来大规模、高功耗的 IC 设计中普遍应用。

在 IC 封装内部设计的电容通常数值都很小（小于几百皮法），所以系统设计师仍然需要在 PCB 板上安装数值在 0.001 μ F 到 0.1 μ F 之间的去耦电容，然而 IC 封装内部的小电容可以抑制输出波形中的高频成分，这些高频成分是 EMI 的最主要来源。

传输线终端匹配也是影响 EMI 的重要问题。通过实现网络线的终端匹配可以降低或者消除信号反射。信号反射也是影响信号完整性的一个重要因素。从减小 EMI 的角度来看，串行终端匹配效果最明显，因为这种方式的终端匹配将入射波（在传输线上传播的原始波形）降低到了 V_{cc} 的一半，因而减小了驱动传输线所需的瞬时吸纳电流。这种技术通过减少“ Ldi/dt ”中的“ d ”项来达到降低 EMI 的目的。

某些 IC 厂商将终端匹配电阻放在 IC 封装内部，这样除了能够降低 EMI 和提高信号完整性，还减少了 PCB 板上的电阻数目。检查 IC 芯片是否采用了这样的技术可以更加清楚 IC 的输出阻抗。当 IC 的输出阻抗同传输线的阻抗匹配时，就可以认为这样的传输线实现了“串联终端匹配”。值得注意的是串联终端匹配的 IC 采用了信号转换的反射模型。而在实际应用中如果沿传输线方向分布有多个负载，并且有非常严格的时序要求，这时串联终端匹配就可能不起作用。

最后，某些 IC 芯片输出信号的斜率也受到控制。对大多数的 TTL 和 CMOS 器件来说，当它们的输出级信号发生切换时，输出晶体管完全导通，这样就会产生很大的瞬间电流来驱动传输线。电源总线上如此大的浪涌电流势必产生非常大的电压瞬变（ $V=Ldi/dt$ ）。而许多 ECL、MECL 和 PECL 器件通过在输出晶体管线性区的高低电平之间的转换来驱动输出级，通常称之为非饱和逻辑，其结果是输出波形的波峰和波谷会被削平，因而减小了高频谐波分量的幅度。这种技术通过提升表达式“ Ldi/dt ”中的信号上升时间“ dt ”项来减小 EMI。

总结

通过仔细考察集成电路芯片的封装、引线结构类型、输出驱动器的设计方法以及去耦电容的设计方法，可以得出有益的设计规则，在电路设计中要注意选择和使用符合以下特征的电子元器件：

- * 外形尺寸非常小的 SMT 或者 BGA 封装；
- * 芯片内部的 PCB 是具有电源层和接地层的多层 PCB 设计；
- * IC 硅基芯片直接粘接在内部的小 PCB 上(没有绑定线)；
- * 电源和地成对并列相邻出现（避免电源和地出现在芯片的边角位置，如 74 系列逻辑电路）；
- * 多个电源和地管脚成对配置；
- * 信号返回管脚（比如地脚）与信号管脚之间均匀分布；
- * 类似于时钟这样的关键信号配置专门的信号返回管脚；
- * 采用可能的最低驱动电压（ V_{cc} ），如相对于 5V 来说可以采用 3.3V 的驱动电压，或者使用低电压差分逻辑（LVDS）；
- * 在 IC 封装内部使用了高频去耦电容；
- * 在硅基芯片上或者是 IC 封装内部对输入和输出信号实施终端匹配；
- * 输出信号的斜率受控制。

总之，选择 IC 器件的一个最基本的规则是只要能够满足设计系统的时序要求就应该选

择具有最长上升时间的元器件。一旦设计工程师做出最终的决定，但是仍然不能确定同一工艺技术不同厂商生产的器件电磁干扰的情况，可以选择不同厂商生产的器件做一些测试。将有疑问的 IC 芯片安装到一个专门设计的测试电路板上，启动时钟运行和高速数据操作。通过连接到频谱分析仪或宽带示波器上的近场磁环路探针可以容易地测试电路板的电磁发射。

第二篇 实现 PCB 高效自动布线的设计技巧和要点

尽管现在的 EDA 工具很强大，但随着 PCB 尺寸要求越来越小，器件密度越来越高，PCB 设计的难度并不小。如何实现 PCB 高的布通率以及缩短设计时间呢？本文介绍 PCB 规划、布局和布线的设计技巧和要点。现在 PCB 设计的时间越来越短，越来越小的电路板空间，越来越高的器件密度，极其苛刻的布局规则和大尺寸的元件使得设计师的工作更加困难。为了解决设计上的困难，加快产品的上市，现在很多厂家倾向于采用专用 EDA 工具来实现 PCB 的设计。但专用的 EDA 工具并不能产生理想的结果，也不能达到 100% 的布通率，而且很乱，通常还需花很多时间完成余下的工作。

现在市面上流行的 EDA 工具软件很多，但除了使用的术语和功能键的位置不一样外都大同小异，如何用这些工具更好地实现 PCB 的设计呢？在开始布线之前对设计进行认真的分析以及对工具软件进行认真的设置将使设计更加符合要求。下面是一般的设计过程和步骤。

1、确定 PCB 的层数

电路板尺寸和布线层数需要在设计初期确定。如果设计要求使用高密度球栅阵列 (BGA) 组件，就必须考虑这些器件布线所需要的最少布线层数。布线层的数量以及层叠 (stack-up) 方式会直接影响到印制线的布线和阻抗。板的大小有助于确定层叠方式和印制线宽度，实现期望的设计效果。

多年来，人们总是认为电路板层数越少成本就越低，但是影响电路板的制造成本还有许多其他因素。近几年来，多层板之间的成本差别已经大大减小。在开始设计时最好采用较多的电路层并使敷铜均匀分布，以避免在设计临近结束时才发现有少量信号不符合已定义的规则以及空间要求，从而被迫添加新层。在设计之前认真的规划将减少布线中很多的麻烦。

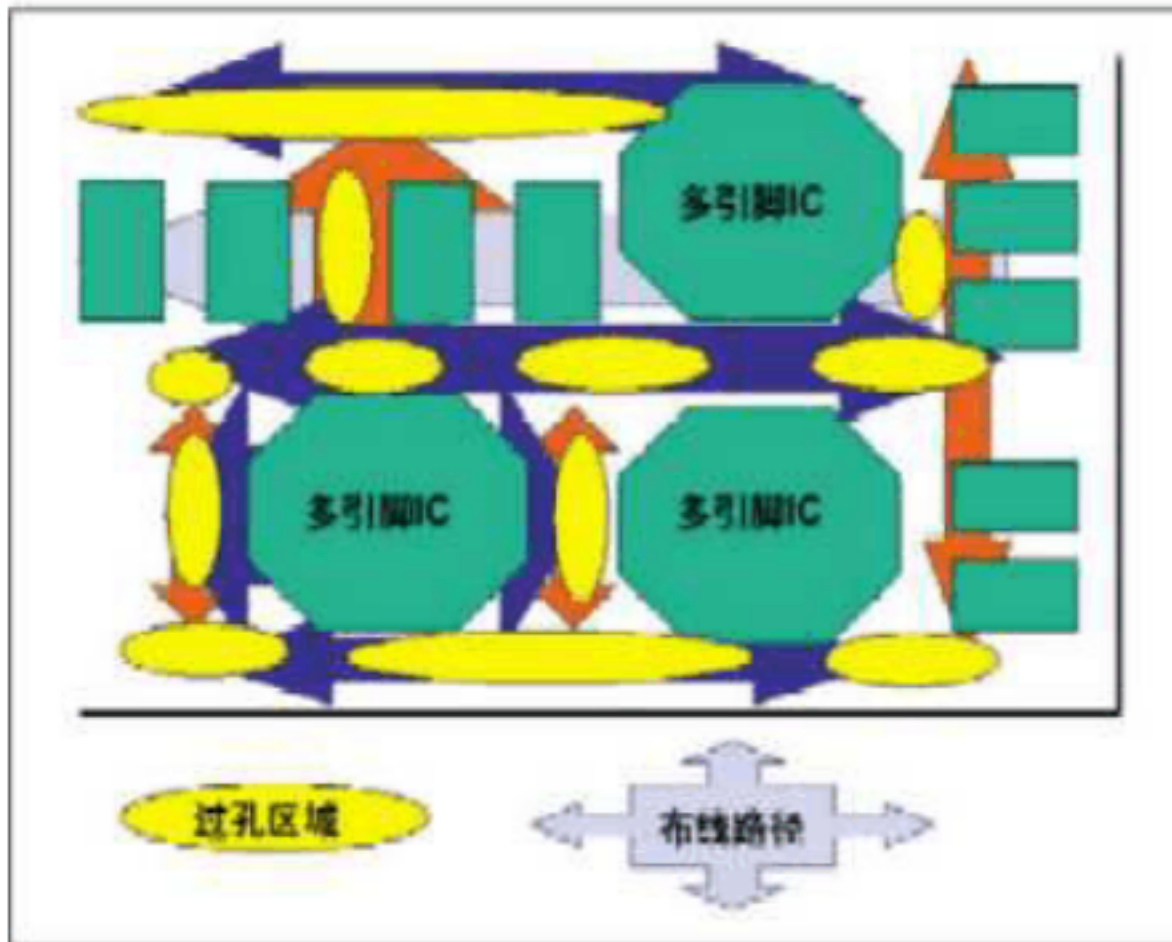
2、设计规则和限制

自动布线工具本身并不知道应该做些什么。为完成布线任务，布线工具需要在正确的规则和限制条件下工作。不同的信号线有不同的布线要求，要对所有特殊要求的信号线进行分类，不同的设计分类也不一样。每个信号类都应该有优先级，优先级越高，规则也越严格。规则涉及印制线宽度、过孔的最大数量、平行度、信号线之间的相互影响以及层的限制，这些规则对布线工具的性能有很大影响。认真考虑设计 requirements 是成功布线的重要一步。

3、元件的布局

为最优化装配过程，可制造性设计 (DFM) 规则会对元件布局产生限制。如果装配部门允许元件移动，可以对电路适当优化，更便于自动布线。所定义的规则和约束条件会影响布局设计。

在布局时需考虑布线路径 (routing channel) 和过孔区域，如图



所示。这些路径和

区域对设计人员而言是显而易见的，但自动布线工具一次只会考虑一个信号，通过设置布线约束条件以及设定可布信号线的层，可以使布线工具能像设计师所设想的那样完成布线。

4、扇出设计

在扇出设计阶段，要使自动布线工具能对元件引脚进行连接，表面贴装器件的每一个引脚至少应有一个过孔，以便在需要更多的连接时，电路板能够进行内层连接、在线测试 (ICT) 和电路再处理。

为了使自动布线工具效率最高，一定要尽可能使用最大的过孔尺寸和印制线，间隔设置为 50mil 较为理想。要采用使布线路径数最大的过孔类型。进行扇出设计时，要考虑到电路在线测试问题。测试夹具可能很昂贵，而且通常是在即将投入全面生产时才会订购，如果这时候才考虑添加节点以实现 100% 可测试性就太晚了。

经过慎重考虑和预测，电路在线测试的设计可在设计初期进行，在生产过程后期实现，根据布线路径和电路在线测试来确定过孔扇出类型，电源和接地也会影响布线和扇出设计。为降低滤波电容器连接线产生的感抗，过孔应尽可能靠近表面贴装器件的引脚，必要时可采用手动布线，这可能会对原来设想的布线路径产生影响，甚至可能会导致你重新考虑使用哪种过孔，因此必须考虑过孔和引脚感抗间的关系并设定过孔规格的优先级。

5、手动布线以及关键信号的处理

尽管本文主要论述自动布线问题，但手动布线在现在和将来都是印刷电路板设计的一个重要过程。采用手动布线有助于自动布线工具完成布线工作。如图 2a 和图 2b 所示，通过对挑选出的网络 (net) 进行手动布线并加以固定，可以形成自动布线时可依据的路径。

无论关键信号的数量有多少，首先对这些信号进行布线，手动布线或结合自动布线工具均可。关键信号通常必须通过精心的电路设计才能达到期望的性能。布线完成后，再由有关的工程人员来对这些信号布线进行检查，这个过程相对容易得多。检查通过后，将这些线固定，然后开始对其余信号进行自动布线。

6、自动布线

对关键信号的布线需要考虑在布线时控制一些电参数，比如减小分布电感和 EMC 等，对于其它信号的布线也类似。所有的 EDA 厂商都会提供一种方法来控制这些参数。在了解自动布线工具有哪些输入参数以及输入参数对布线的影响后，自动布线的质量在一定程度上可以得到保证。

应该采用通用规则来对信号进行自动布线。通过设置限制条件和禁止布线区来限定给定信号所使用的层以及所用到的过孔数量，布线工具就能按照工程师的设计思想来自动布线。如果对自动布线工具所用的层和所布过孔的数量不加限制，自动布线时将会使用到每一层，而且将会产生很多过孔。

在设置好约束条件和应用所创建的规则后，自动布线将会达到与预期相近的结果，当然可能还需要进行一些整理工作，同时还需要确保其它信号和网络布线的空间。在一部分设计完成以后，将其固定下来，以防止受到后边布线过程的影响。

采用相同的步骤对其余信号进行布线。布线次数取决于电路的复杂性和你所定义的通用规则的多少。每完成一类信号后，其余网络布线的约束条件就会减少。但随之而来的是很多信号布线需要手动干预。现在的自动布线工具功能非常强大，通常可完成 100% 的布线。但是当自动布线工具未完成全部信号布线时，就需对余下的信号进行手动布线。

7、自动布线的设计要点包括：

7.1 略微改变设置，试用多种路径布线；

7.2 保持基本规则不变，试用不同的布线层、不同的印制线和间隔宽度以及不同线宽、不同类型的过孔如盲孔、埋孔等，观察这些因素对设计结果有何影响；

7.3 让布线工具对那些默认的网络根据需要进行处理；

7.4 信号越不重要，自动布线工具对其布线的自由度就越大。

8、布线的整理

如果你所使用的 EDA 工具软件能够列出信号的布线长度，检查这些数据，你可能会发现一些约束条件很少的信号布线的长度很长。这个问题比较容易处理，通过手动编辑可以缩短信号布线长度和减少过孔数量。在整理过程中，你需要判断出哪些布线合理，哪些布线不合理。同手动布线设计一样，自动布线设计也能在检查过程中进行整理和编辑。

9、电路板的外观

以前的设计常常注意电路板的视觉效果，现在不一样了。自动设计的电路板不比手动设计的美观，但在电子特性上能满足规定的要求，而且设计的完整性能得到保证

第三篇 布局布线技术的发展

摘要：随着微孔和单片高密度集成系统等新硬件技术的应用，自由角度布线、自动布局和 3D 布局布线等新型软件将会成为电路板设计人员必备的设计工具之一。

在早期的电路板设计工具中，布局有专门的布局软件，布线也有专门的布线软件，两者之间没什么联系。随着球栅阵列封装的高密度单芯片、高密度连接器、微孔内建技术以及 3D 板在印刷电路板设计中的应用，布局和布线已越来越一体化，并成为设计过程的重要组成部分。

自动布局 and 自由角度布线等软件技术已渐渐成为解决这类高度一体化问题的重要方法，利用此类软件能在规定时间内设计出可制造的电路板。在目前产品上市时间越来越短的情况下，手动布线极为耗时，不合时宜。因此，现在要求布局布线工具具有自动布线功能，以快速响应市场对产品设计提出的要求。

1、设计约束条件

由于要考虑电磁兼容 (EMC) 及电磁干扰、串扰、信号延迟和差分对布线等高密度设计因素，布局布线的约束条件每年都在增加。例如，在几年前，一般的电路板仅需 6 个差分对来进行布线，而现在则需 600 对。在一定时间内仅依赖手动布线来实现这 600 对布线是不可能的，因此自动布线工具必不可少。

尽管与几年前相比，当今设计中的节点 (net) 数目没有大的改变，只是硅片复杂性有所增加，但是设计中重要节点的比例大大增加了。当然，对于某些特别重要的节点，要求布局布线工具能够加以区分，但无需对每个管脚或节点都加以限制。

2、自由角度布线

随着单片器件上集成的功能越来越多，其输出管脚数目也大大增加，但其封装尺寸并没随之扩大。因此，再加上管脚间距和阻抗因素的限制，这类器件必须采用更细的线宽。同时产品尺寸的总体减小也意味着用于布局布线的空间也大大减小了。在某些消费类产品中，底板的大小与其上器件大小相差无几，元件占据的板面积高达 80%。

某些高密度元件管脚交错，即使采用具 45° 布线功能的工具也无法进行自动布线。尽管 45° 布线工具能对某些恰成 45° 的线段进行完美的处理，但自由角度布线工具具有更大的灵活性，并能最大程度提高布线密度。

拉紧 (pull-tight) 功能使每个节点在布线后自动缩短以适应空间要求，它能大大降低信号延迟，同时降低平行路径数，有助于避免串扰的产生。

尽管自由角度设计具有可制造性，并且性能良好，但是这种设计会导致主板看起来不如以前的设计美观。主板设计在上市时间之后，就可能不再是一件艺术品了。

3、高密度器件

最新的高密度系统级芯片采用 BGA 或 COB 封装，管脚间距日益减小。球间距已低至 1mm，并且还会继续降低，导致封装件信号线不可能采用传统布线工具来引出。目前有两种方法可解决这个问题：一是通过球下面的孔将信号线从下层引出；二是采用极细布线和自由角度布线在球栅阵列中找出一条引线通道。对这种高密度器件而言，采用宽度和空间极小的布线方式是唯一可行的，只有这样，才能保证较高的成品率。现代的布线技术也要求能自动地应用这些约束条件。

自由布线方法可减少布线层数，降低产品成本。同时也意味着在成本不变的情况下，可

以增加一些接地层和电源层来提高信号完整性和 EMC 性能。

4、下一代电路板设计技术

微孔等离子蚀刻技术在多层板，尤其是在蜂窝电话和家用电器中的应用大大改变了对布局布线工具的要求。采用等离子蚀刻法在路径宽度内添加一个新孔不会导致底板本身或制造成本的增加，因为对等离子蚀刻法而言，制作一千个孔的成本与制作一个孔的成本一样低廉（这与激光钻孔法大不一样）。这就要求布线工具具有更大的灵活性，它必须能够应用不同的约束条件，能适应不同的微孔和构建技术的要求。

元件密度的不断增加也对布局设计产生了某些影响。布局布线工具总是假设板上有足够的空间让元件拾放机来拾放表面安装元件，而不会对板上已有元件产生影响。但是元件顺序放置会产生这样一个问题，即每当放置一个新元件后，板上每个元件的最佳位置都会发生改变。

这就是布局设计过程自动化程度低而人工干预程度高的原因。尽管目前的布局工具对依次布局的元件数没什么限制，但是某些工程师认为布局工具用于依次布局时实际上是受到限制的，这个限制大约为 500 个元件。还有一些工程师认为当在一个板上放置的元件多达 4,000 个时，会产生很大问题。

同顺序算法技术相比，并行布局技术能实现更好的自动布局效果。因此，当 Zuken 收购 Incases 公司后，Incases 的并行布局技术使 Zuken 获益非浅。

5、三维布局

3D 工具针对目前应用日益广泛的异形和定形板进行布局布线。如 Zuken 的 Freedom 最新工具采用三维底板模型来进行元件的空间布局，随后再进行二维布线。此过程也能告知：此板是否具备可制造性？

将来，诸如在两个不同层上采用阴影差分对的设计方法将会变得日益重要，布线工具也必须能处理这种设计，而且信号速率也将会继续提高。

目前也出现了将布局布线工具同用于虚拟原型的高级仿真工具集成起来的工具，如 Zuken 的 Hot Stage 工具，所以即使在虚拟原型时也能对布线问题进行考虑。

现在，自动布线技术已极为普及。我们相信，自由角度布线、自动布局和 3D 布局等新型软件技术也会同自动布线技术一样成为底板设计人员的日常设计工具，设计人员可用这些新工具来解决微孔和单片高密度集成系统等新型硬件技术问题。