

Университет ИТМО

Факультет программной инженерии и компьютерной техники
Направление подготовки 09.03.04 Информатика и вычислительная техника
Дисциплина «Функциональная схемотехника»

Отчет

По лабораторной работе №1

“Введение в проектирование цифровых интегральных схем”

Вариант 1

Выполнил:
Степанов М.А.
Преподаватель:
Салонина Е. А.

Санкт-Петербург, 2023 г.

Оглавление

Цель работы.....	3
Задание	3
Вариант	3
Выполнение заданий часть 1	4
Разработка схемы вентиля	4
Создание символа вентиля	4
Построение схемы тестирования.....	5
Моделирование работы схемы и определение задержки вентиля	5
Максимальная частота изменения сигнала вентиля	6
Построение БОЭ на базе созданного вентиля.....	6
Создание символа для построенного БОЭ	8
Моделирование работы схемы и определение задержки БОЭ	8
Максимальная частота изменения сигнала БОЭ.....	10
Выполнение заданий часть 2	11
Описание модуля на вентильном уровне на Verilog HDL	11
Описание тестового окружения для проверки работоспособности реализованного модуля	12
Временная диаграмма тестирования БОЭ	13
Выводы.....	13

Цель работы

1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
2. Познакомиться с технологией SPICE - моделирования схем на транзисторах.
3. Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL.

Задание

Часть 1:

1. Постройте в LTspice на транзисторах схему вентиля, составляющего основу логического базиса согласно варианту задания.
2. Создайте символ для разработанного вентиля как иерархического элемента.
3. С использованием созданного иерархического элемента постройте схему тестирования вентиля.
4. Проведите моделирование работы схемы и определите задержку распространения сигнала через тестируемый вентиль.
5. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.
6. Постройте БОЭ на базе созданного вентиля согласно варианту задания.
7. Создайте символ для построенного БОЭ.
8. Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ.
9. Определите максимальную частоту изменения входных сигналов, при которой построенная схема сохраняет работоспособность.
10. Составьте отчет по результатам выполнения заданий первой части лабораторной работы.

Часть 2:

1. Опишите на Verilog HDL на вентильном уровне модуль, реализующий функцию БОЭ в указанном логическом базисе согласно варианту задания.
2. Разработайте тестовое окружение для созданного модуля.
3. Проведите моделирование работы схемы.
4. Составьте отчет по результатам выполнения заданий второй части лабораторной работы.

Вариант

Номер: *1*
Логический базис: *NOR*
БОЭ: Демультимплексор «1 в 4»

Выполнение заданий часть 1

Разработка схемы вентиля

Логический базис состоит из элемента NOR, значение которого является логической 1, если оба аргумента функции равны логическому 0, иначе равно логической 1 [Таблица 1].

x	y	$x \downarrow y$
0	0	1
0	1	0
1	0	0
1	1	0

Таблица 1

В приложении LTspice была разработана схема вентиля на транзисторах [Рисунок 1].

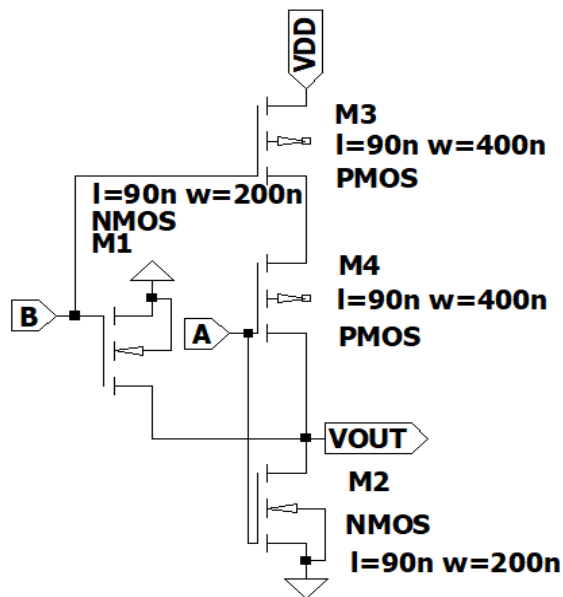


Рисунок 1

Создание символа вентиля

Была создан символ для разработанного вентиля [Рисунок 2].

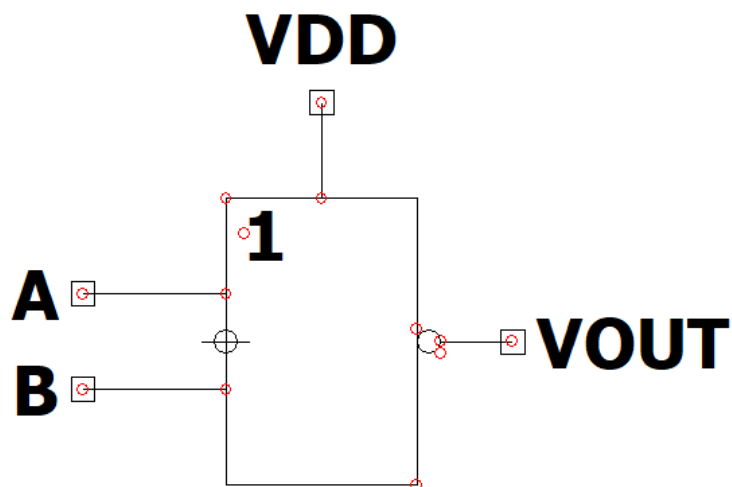


Рисунок 2

Построение схемы тестирования

Была построена схема тестирования разработанного вентиля с использованием созданного элемента [Рисунок 3].

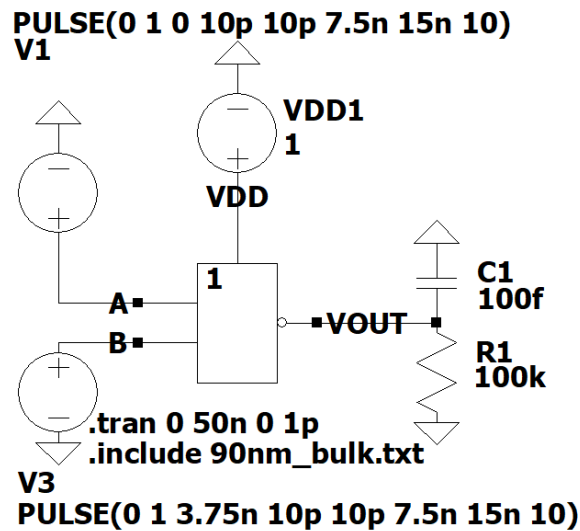


Рисунок 3

Моделирование работы схемы и определение задержки вентиля

Моделирование при одинаковой задержке генераторов импульса. В данном случае генерируются пары аргументов (1, 1) и (0, 0), с ожидаемым значением вентиля 0 и 1 соответственно [рисунок 4].

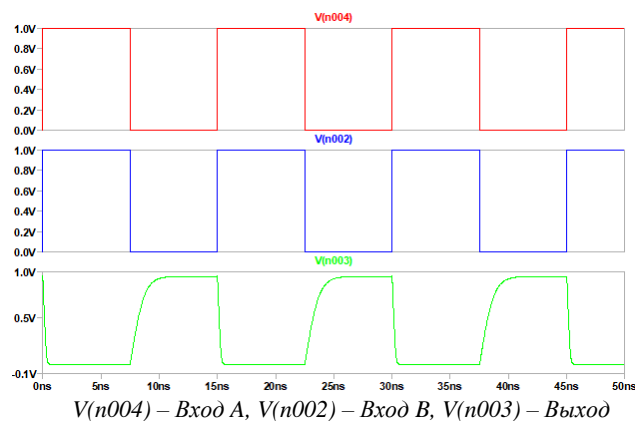


Рисунок 4

В противофазе можно провести тестирование всех возможных комбинаций входных значений на вентиле [рисунок 5].

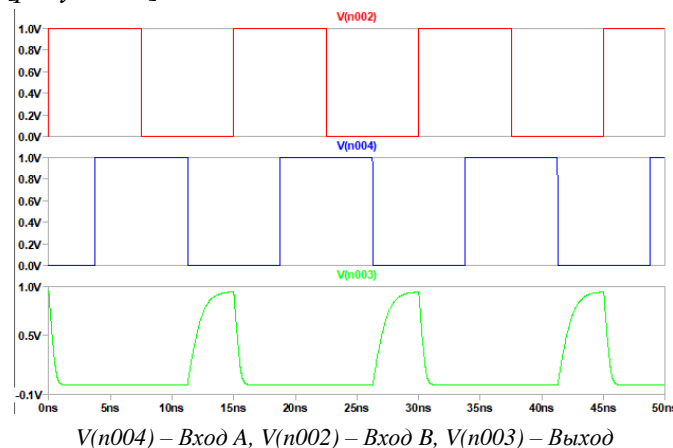


Рисунок 5

Также необходимо произвести измерения задержки распространения сигнала через вентиль. Для этого необходимо приблизить график и опустить перпендикуляры от крайних точек перехода на ось абсцисс, после чего найти разницу ординат проекций точек [Рисунок 6].

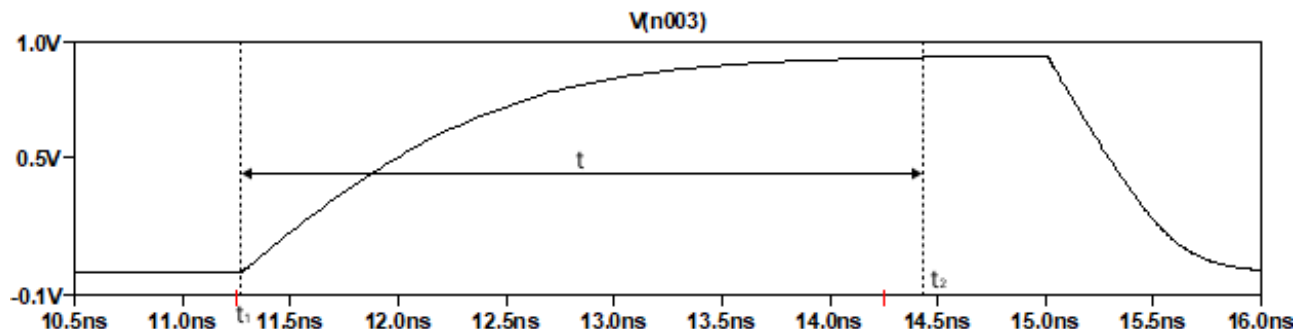


Рисунок 6

Поскольку, данный график построен не при помощи приборов измерения напряжения, а были взяты в качестве результатов компьютерной симуляции, погрешность измерения величины по данному графику многократно меньше, погрешности, вызванной сопоставления проекций точек значениям на оси. Следовательно, графическим способом мы можем нанести дополнительные деления на ось, находящиеся по середине делений оси (отмечены красным на рисунке [Рисунок 6]) и принять погрешность данных измерений четверти цены деления.

Время задержки сигнала τ :

$$\begin{aligned} t_1 &= 11.25 \pm 0.25 \text{ нс} \\ t_2 &= 14.5 \pm 0.25 \text{ нс} \\ \tau &= t_2 - t_1 = 3.25 \pm 0.5 \text{ нс} \end{aligned}$$

Максимальная частота изменения сигнала вентиля

Аналитический подсчет максимальной частоты работа вентиля зависит от времени задержки сигнала: $\nu_{Max} = \frac{1}{\tau} \approx 307.7 \text{ МГц}$

Для нахождения максимальной частоты опытным путем необходимо найти минимальный период генератора, при котором наш вентиль успевает достичь значения в 0.9V (различимого значения логической единицы) [Рисунок 7]. В таком случае: $\nu_{Max} = \frac{1}{\tau} \approx 266.6 \text{ МГц}$ – полученный минимальные период равен 3.75 нс.

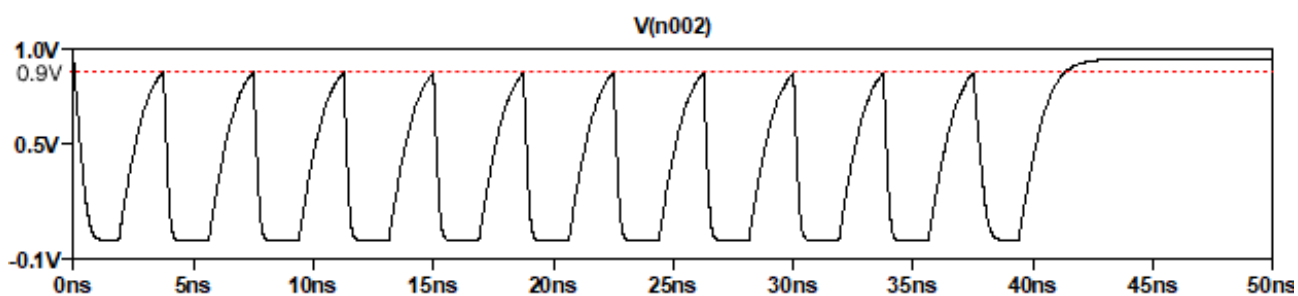


Рисунок 7

Построение БОЭ на базе созданного вентиля

Базовый операционный элемент по варианту – Демультимплексор «1 в 4». Данный БОЭ представляет из себя логическую схему, имеющую 3 входа s_0, s_1, y и 4 выхода z_0, z_1, z_2, z_3 . На все выходе подаётся логический 0, кроме выхода z_i , на который подаётся значение со входа y , где i – число, которое кодируется входами s_0, s_1 .

По данному описанию БОЭ построим ожидаемую таблицу истинности [Таблица 2].

S ₀	S ₁	Y	Z ₃	Z ₂	Z ₁	Z ₀
0	0	0/1	0	0	0	Y
0	1	0/1	0	0	Y	0
1	0	0/1	0	Y	0	0
1	1	0/1	Y	0	0	0

Таблица 2. Переменной Y обозначен сигнал, который подан на вход Y для сокращения таблицы

Построим для каждого выхода элемента логическую функцию:

$$z_0 = \overline{s_0} * \overline{s_1} * y$$

$$z_1 = \overline{s_0} * s_1 * y$$

$$z_2 = s_0 * \overline{s_1} * y$$

$$z_3 = s_0 * s_1 * y$$

Пользуясь законом де Моргана, выводим данные функции относительно базиса NOR:

$$z_0 = s_0 \downarrow s_1 * y = ((s_0 \downarrow s_1) \downarrow (s_0 \downarrow s_1)) \downarrow (y \downarrow y)$$

$$z_1 = s_0 \downarrow (\overline{s_1 * y}) = s_0 \downarrow (((s_1 \downarrow s_1) \downarrow (y \downarrow y)) \downarrow ((s_1 \downarrow s_1) \downarrow (y \downarrow y)))$$

$$z_2 = s_1 \downarrow (\overline{s_0 * y}) = s_1 \downarrow (((s_0 \downarrow s_0) \downarrow (y \downarrow y)) \downarrow ((s_0 \downarrow s_0) \downarrow (y \downarrow y)))$$

$$z_3 = ((s_0 \downarrow s_0) \downarrow (s_1 \downarrow s_1)) * y = (((s_0 \downarrow s_0) \downarrow (s_1 \downarrow s_1)) \downarrow ((s_0 \downarrow s_0) \downarrow (s_1 \downarrow s_1))) \downarrow (y \downarrow y)$$

На основе полученных функций составим схему демультиплексора 1 в 4 [Рисунок 8]

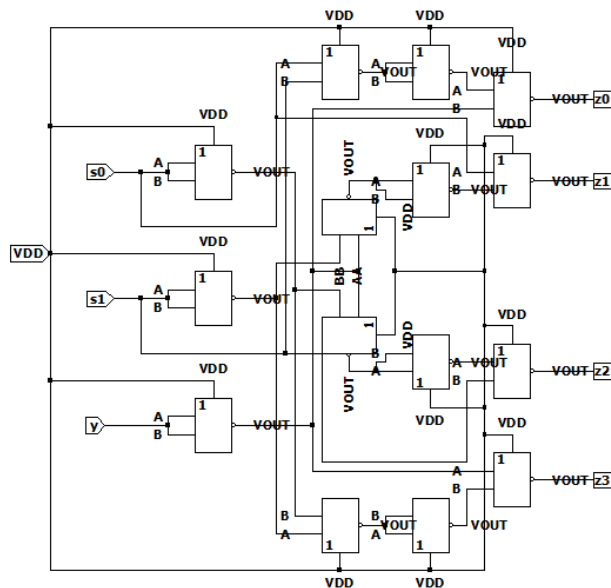


Рисунок 8

Создание символа для построенного БОЭ

Для разработанного демультиплексора был создан символ [Рисунок 9]:

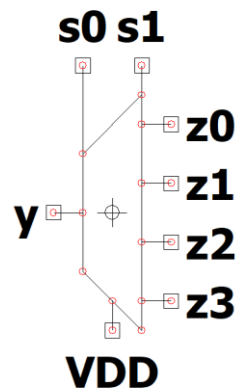


Рисунок 9

Моделирование работы схемы и определение задержки БОЭ

Для проведения моделирования работы схемы необходимо составить схему, состоящую из генераторов импульса и разработанного БОЭ [Рисунок 10].

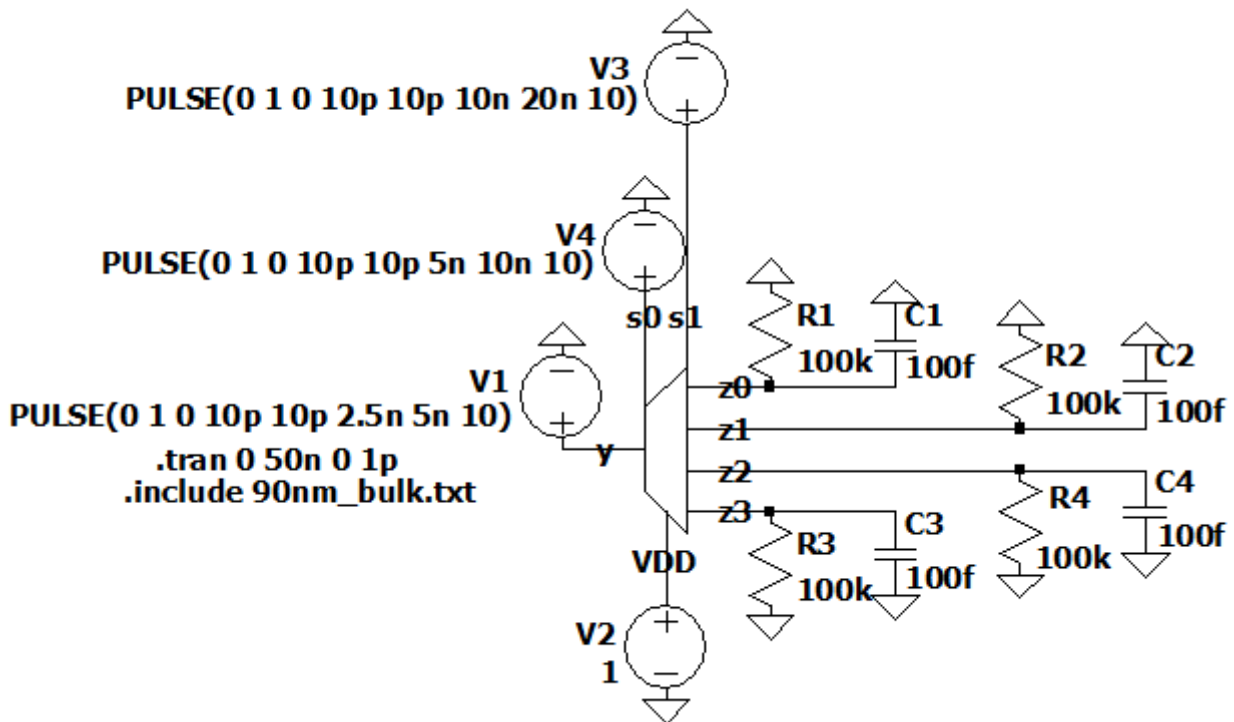


Рисунок 10

После построения схемы необходимо запустить симуляцию и проверить, что значения на выходе схемы, при разных значения на входе схемы соответствуют таблице истинности [Таблица 2] [Рисунок 11].

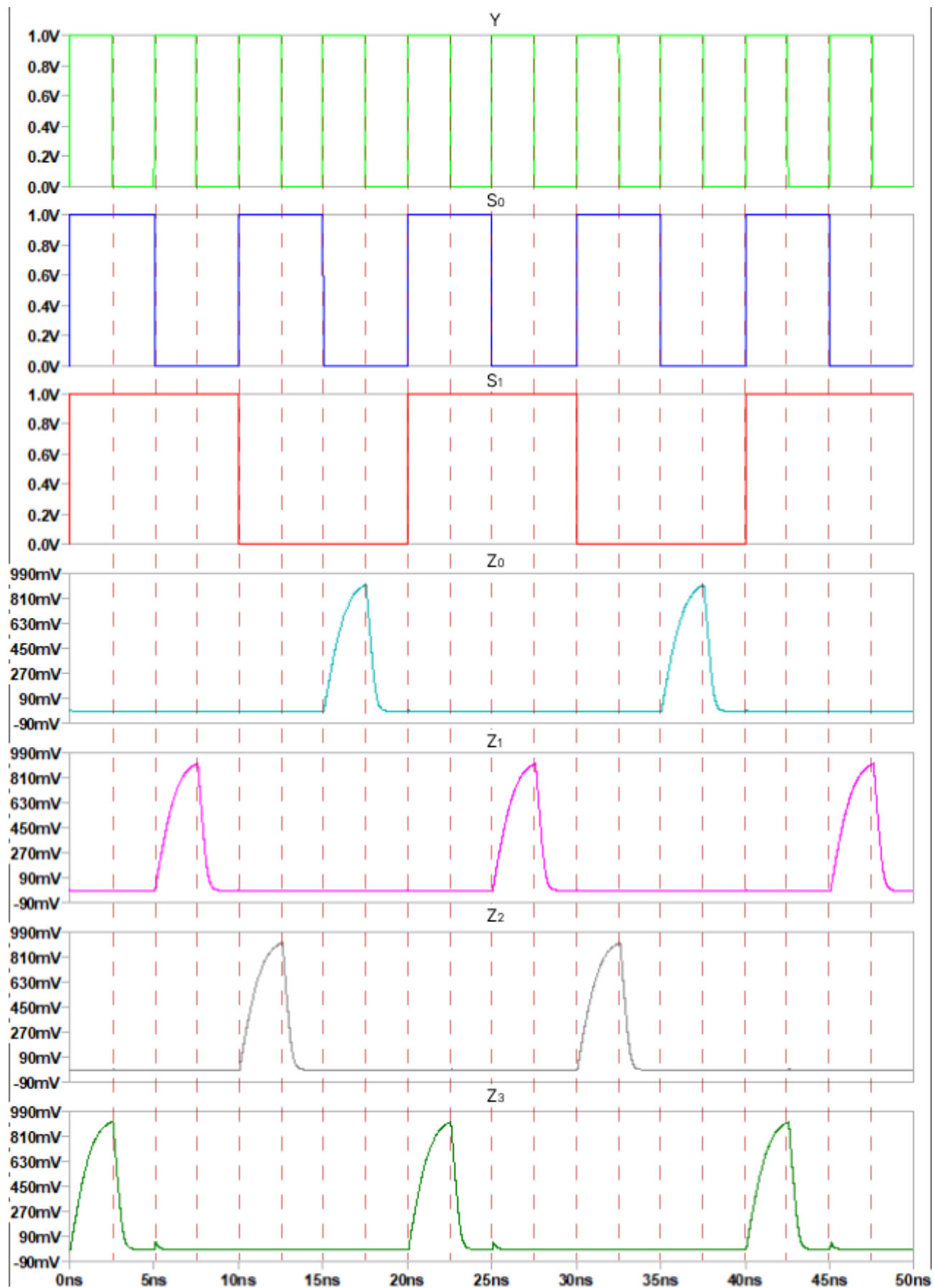


Рисунок 11

Также необходимо произвести измерения задержки распространения сигнала через БОЭ. Для этого необходимо приблизить график и опустить перпендикуляры от крайних точек перехода на ось абсцисс, после чего найти разницу ординат проекций точек [Рисунок 12].

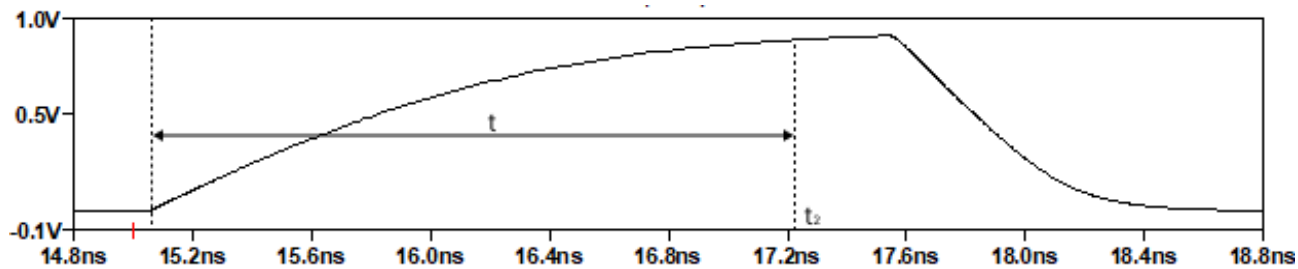


Рисунок 12

Поскольку, данный график построен не при помощи приборов измерения напряжения, а были взяты в качестве результатов компьютерной симуляции, погрешность измерения величины по данному графику многократно меньше, погрешности, вызванной сопоставления проекций точек значениям на оси. Следовательно, графическим способом мы можем нанести дополнительные деления на ось, находящиеся по середине делений оси (отмечены красным на рисунке [Рисунок 12]) и принять погрешность данных измерений четверти цены деления.

Время задержки сигнала τ :

$$\begin{aligned} t_1 &= 15 \pm 0.1 \text{ нс} \\ t_2 &= 17.2 \pm 0.1 \text{ нс} \\ \tau &= t_2 - t_1 = 2.2 \pm 0.2 \text{ нс} \end{aligned}$$

Максимальная частота изменения сигнала БОЭ

Аналитический подсчет максимальной частоты работа вентиля зависит от времени задержки сигнала: $\nu_{Max} = \frac{1}{\tau} \approx 455 \text{ МГц}$

Для нахождения максимальной частоты опытным путем необходимо найти минимальный период генератора, при котором наш вентиль успевает достичь значения в 0.9V (различимого значения логической единицы) [Рисунок 13]. В таком случае: $\nu_{Max} = \frac{1}{\tau} \approx 455 \text{ МГц}$ – полученный минимальные период равен 2.2 нс.

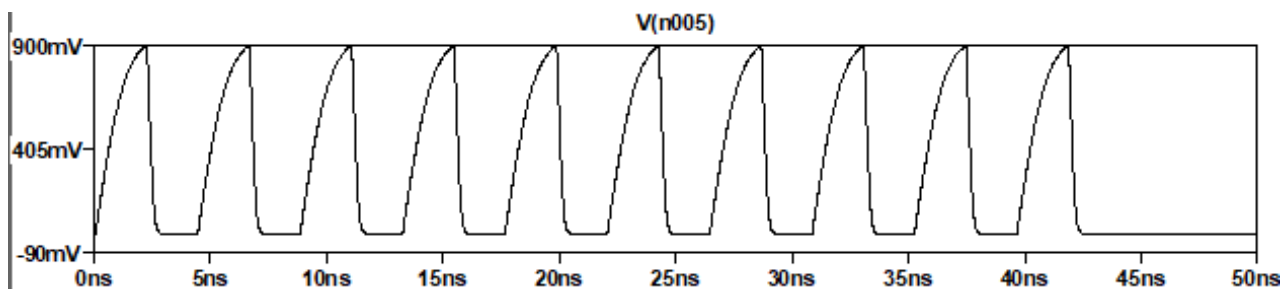


Рисунок 13

Выполнение заданий часть 2

Описание модуля на вентиляном уровне на Verilog HDL

Был разработан модуль, реализующий логику работы БОЭ [Листинг 1]. Для реализации использован базовый модуль Verilog – nor.

```
`timescale 1ns / 1ps
module demux(
    input s0,
    input s1,
    input y,
    output [3:0]z
);

    wire ns0, ns1;
    wire ny, ns01, dns01, s01, ds01, f1, f2, df1, df2;
    nor(ns0, s0, s0);
    nor(ns1, s1, s1);
    nor(ny, y, y);

    nor(s01, s0, s1);
    nor(ds01, s01, s01);
    nor(z[0], ny, ds01);

    nor(f1, ny, ns0);
    nor(df1, f1, f1);
    nor(z[1], s1, df1);

    nor(f2, ny, ns1);
    nor(df2, f2, f2);
    nor(z[2], s0, df2);

    nor(ns01, ns0, ns1);
    nor(dns01, ns01, ns01);
    nor(z[3], ny, dns01);
endmodule
```

Листинг 1

Описание тестового окружения для проверки работоспособности реализованного модуля

Были проверены все возможные входные значения и результаты отображены в консоль. Для корректного отображения результатов была поставлена задержка [Листинг 2].

```
`timescale 1ns / 1ps
module demux_test ;

    reg s_in0, s_in1;
    reg y_in;
    wire [3:0]z_out;

    demux demux_1 (
        .s0(s_in0),
        .s1(s_in1),
        .y(y_in),
        .z(z_out)
    );

    integer i, j;
    reg [2 : 0]test_s;
    integer is_correct;

    initial begin

        for (i = 0; i < 8; i = i + 1) begin
            test_s = i;
            s_in0 = test_s[0];
            s_in1 = test_s[1];
            y_in = test_s[2];
            is_correct = 0;
            # 100
            for (j = 0; j < 4; j = j + 1) begin
                if (j == i)
                    if (z_out[j] != y_in) is_correct = is_correct + 1;
                else
                    if (z_out[j] != 0) is_correct = is_correct + 1;
            end
            if (is_correct > 1)
                $display ( "The adder output is wrong!!! y=%b, s_0=%b, s_1=%b, z_out_0=%b, z_out_1=%b, z_out_2=%b, z_out_3=%b", y_in, s_in1, s_in0, z_out[0], z_out[1], z_out[2], z_out[3]) ;
            else
                $display ( "The adder output is correct!!! y=%b, s_0=%b, s_1=%b, z_out_0=%b, z_out_1=%b, z_out_2=%b, z_out_3=%b", y_in, s_in1, s_in0, z_out[0], z_out[1], z_out[2], z_out[3]);
            end
            #100 $stop;

        end
    endmodule
```

Листинг 2

Временная диаграмма тестирования БОЭ

Первые 3 строки – входные параметры БОЭ, 4-ая – выходные сигналы схемы, 5-ая – дополнительный счетчик для отслеживания параметров [Рисунок 14].

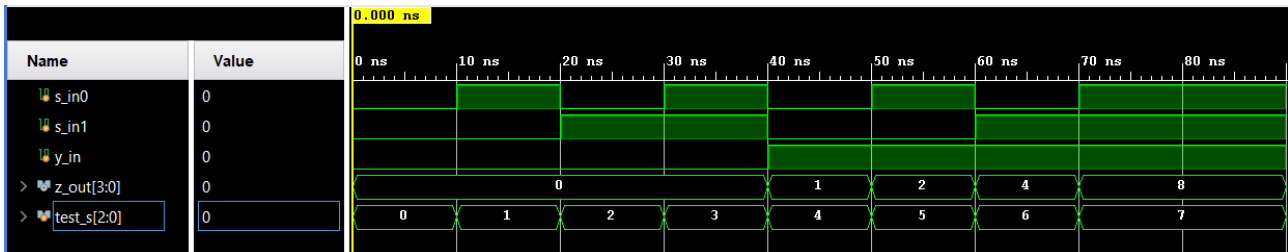


Рисунок 14

Вывод программы в консоль [Рисунок 15].

```
The adder output is correct!!! y=0, s_0=0, s_1=0, z_out_0=0, z_out_1=0, z_out_2=0, z_out_3=0
The adder output is correct!!! y=0, s_0=0, s_1=1, z_out_0=0, z_out_1=0, z_out_2=0, z_out_3=0
The adder output is correct!!! y=0, s_0=1, s_1=0, z_out_0=0, z_out_1=0, z_out_2=0, z_out_3=0
The adder output is correct!!! y=0, s_0=1, s_1=1, z_out_0=0, z_out_1=0, z_out_2=0, z_out_3=0
The adder output is correct!!! y=1, s_0=0, s_1=0, z_out_0=1, z_out_1=0, z_out_2=0, z_out_3=0
The adder output is correct!!! y=1, s_0=0, s_1=1, z_out_0=0, z_out_1=1, z_out_2=0, z_out_3=0
The adder output is correct!!! y=1, s_0=1, s_1=0, z_out_0=0, z_out_1=0, z_out_2=1, z_out_3=0
The adder output is correct!!! y=1, s_0=1, s_1=1, z_out_0=0, z_out_1=0, z_out_2=0, z_out_3=1
```

Рисунок 15

Выводы

В ходе выполнения данной лабораторной работы я получил базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП. Познакомился с технологией SPICE-моделирования схем на транзисторах. Получил навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентильном уровне с использованием языка описания аппаратуры Verilog HDL. Использование ПЛИС сильно упрощает и ускоряет работу проектировщика, особенно если это касается больших проектов. P.S. никогда не забывайте о задержке распространения сигнала в Verilog.