**Университет ИТМО**

Факультет программной инженерии и компьютерной техники

Направление подготовки 09.03.04 Информатика и вычислительная техника

Дисциплина «Функциональная схемотехника»

**Отчет**

По лабораторной работе №3

“Проектирование цифровых схем с использованием ПЛИС”

Вариант 5

Выполнил:

*Степанов М.А.*

Преподаватель:

*Салонина Е. А.*

Санкт-Петербург, 2023 г.

**Оглавление**

[Цель работы 3](#_Toc136274170)

[Задание 3](#_Toc136274171)

[Вариант 3](#_Toc136274172)

[Выполнение 4](#_Toc136274173)

[Схема разработанного блока вычисления функции 4](#_Toc136274174)

[Описание работы модуля 4](#_Toc136274175)

[Алгоритм работы пользователя 5](#_Toc136274176)

[Результат тестирования разработанного блока 6](#_Toc136274177)

[Выводы 6](#_Toc136274178)

# Цель работы

Получить навыки разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС).

# Задание

1. Доработайте схему функционального блока, разработанного в лабораторной работе №2, в соответствии с рисунком 3.1. Необходимо добавить возможность работы с блоком посредством дискретных портов ввода/вывода, подключенных к переключателям, светодиодам и кнопкам платы Nexys 4 DDR:52

− значения операндов должны вводиться с помощью переключателей (SW);

− результат должен выводиться на светодиоды (LEDS);

− с целью повышения удобства работы пользователя допускается использование дополнительных кнопок, переключателей и светодиодов;

− интерфейс пользователя должен обеспечивать возможность многократного проведения вычислений без постоянного нажатия на кнопку сброса.

2. Разработайте тестовое окружение и проведите моделирование.

3. Проведите синтез и размещение схемы для ПЛИС XC7A100T-1CSG324C, входящей в состав отладочной платы Nexys 4 DDR.

4. Определите количество и тип используемых ресурсов ПЛИС после размещения

схемы.

5. Проверьте работоспособность схемы на отладочной плате Nexys 4 DDR.

6. Составьте отчет по результатам выполнения работы.

# Вариант

Номер: *5*

Функция:

Ограничение: 1 сумматор и 2 умножителя

# Выполнение

## Схема разработанного блока вычисления функции

Рисунок 1

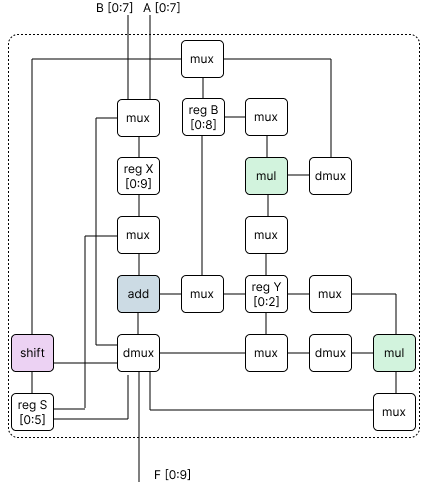


Рисунок 2

## Описание работы модуля

На вход модуля подаются сигналы:

* start – подается с кнопки BTNC (N17)
* rst – подается с кнопки BTNR (M17)
* синхросигнал clk – подключен к пину E3
* С переключателей SW0-SW15 считываются значения аргументов

На выходе из модуля подключены

* Выбор номера индикатора AN0-AN7
* Значение, которое будет выведено на выбранном сегменте CA-DP
* Сигнал занятости модуля busy – LD0

По сигналу старт начинается вычисление значения функции и выводится на семисегментные индикаторы.

## Алгоритм работы пользователя

* Пользователь вводит первый аргумент на переключателях SW8-SW15.
* Пользователь вводит второй аргумент на переключателях SW0-SW7
* Пользователь нажимает на кнопку BTNC
* Результат будет выведен на семисегментные индикаторы
* Если пользователь хочет вернуть модуль в исходное состояние, он нажимает кнопку BTNR
* Если пользователь хочет повторно выполнить вычисления, то он он должен вернуться к первому пункту

## Результат тестирования разработанного блока

Временная диаграмма на частоте 100 МГц (1470 нс):

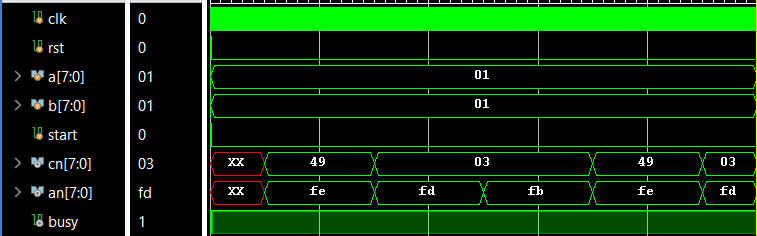
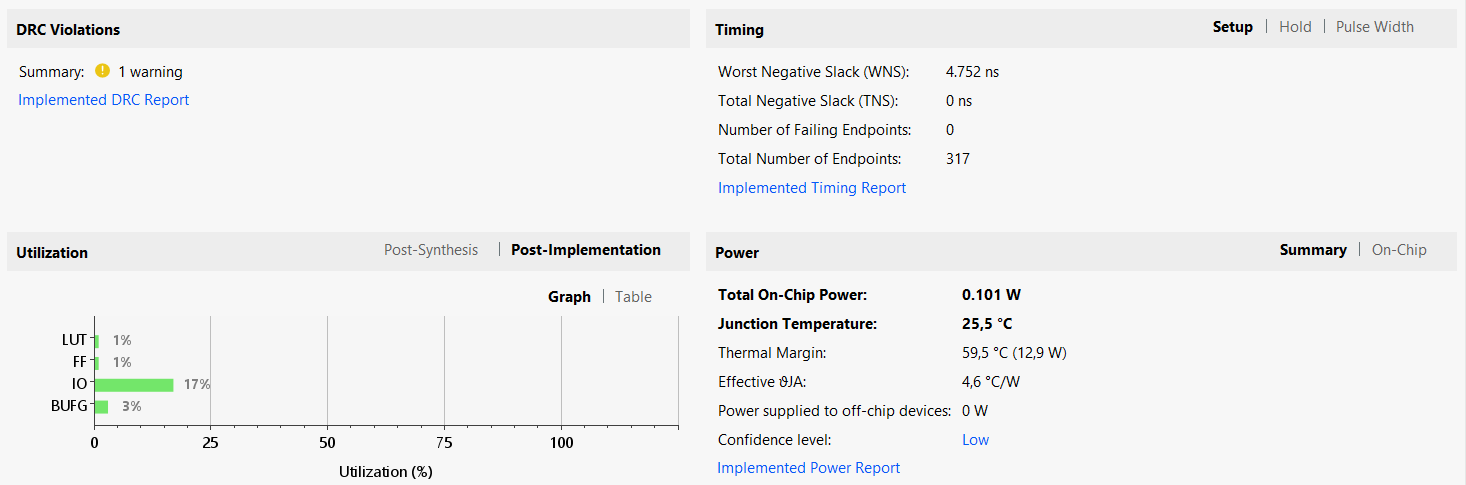


Рисунок 3



Рисунок

# Выводы

* Следует внимательно выбирать размерность шин при работе с внешними портами, иначе можно получить неопределенное поведение схемы.
* Комбинаторный блок always должен реагировать на один синхронный сигнал, иначе невозможно будет синтезировать данную схему.
* Смогу перенести разработанный мною блок в ПЛИС и выполнить тестирование на физической модели.