**Университет ИТМО**

Факультет программной инженерии и компьютерной техники

Направление подготовки 09.03.04 Информатика и вычислительная техника

Дисциплина «Функциональная схемотехника»

**Отчет**

По лабораторной работе №2

“Разработка аппаратных ускорителей математических вычислителей”

Вариант 5

Выполнил:

*Степанов М.А.*

Преподаватель:

*Салонина Е. А.*

Санкт-Петербург, 2023 г.

**Оглавление**

[Цель работы 3](#_Toc130228850)

[Задание 3](#_Toc130228851)

[Вариант 3](#_Toc130228852)

[Выполнение заданий часть 1 4](#_Toc130228853)

[Разработка схемы вентиля 4](#_Toc130228854)

[Создание символа вентиля 4](#_Toc130228855)

[Построение схемы тестирования 5](#_Toc130228856)

[Моделирование работы схемы и определение задержки вентиля 5](#_Toc130228857)

[Максимальная частота изменения сигнала вентиля 6](#_Toc130228858)

[Построение БОЭ на базе созданного вентиля 6](#_Toc130228859)

[Создание символа для построенного БОЭ 8](#_Toc130228860)

[Моделирование работы схемы и определение задержки БОЭ 8](#_Toc130228861)

[Максимальная частота изменения сигнала БОЭ 10](#_Toc130228862)

[Выполнение заданий часть 2 11](#_Toc130228863)

[Описание модуля на вентильном уровне на Verilog HDL 11](#_Toc130228864)

[Описание тестового окружения для проверки работоспособности реализованного модуля 12](#_Toc130228865)

[Временная диаграмма тестирования БОЭ 13](#_Toc130228866)

[Выводы 13](#_Toc130228867)

# Цель работы

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

# Задание

1. Разработайте и опишите на Verilog HDL схему, вычисляющую значение функции в соответствии с заданными ограничениями согласно варианту задания.
2. Определите область допустимых значений функции.
3. Разработайте тестовое окружение для разработанной схемы. Тестовое окружение должно проверять работу схемы не менее, чем на 10 различных тестовых векторах.
4. Проведите моделирование работы схемы и определите время вычисления результата. Схема должна тактироваться от сигнала с частотой 100 МГц.
5. Составьте отчет по результатам выполнения работы.

# Вариант

Номер: *5*

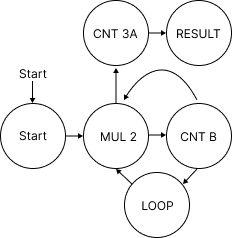
Функция:

Ограничение: 1 сумматор и 2 умножителя

# Выполнение

## Схема разработанного блока вычисления функции

Рисунок

 Для реализации данной схемы был разработан конечный автомат Мура.

Рисунок

## Описание работы модуля

На вход блока подаются сигналы:

* start – сигнал, говорящий о начале вычислений
* A – первый аргумент
* B – второй аргумент

Описание состояний FST:

* При подаче на вход start подается логическая 1 FST переходит в состояние Start в котором регистры Y и B заполняются 0. Регистр S заполняется числом 30. Регистр X заполняется операндом B.
* В состоянии MUL 2 значение регистра Y передается на умножитель вместе с числом 2 и результат записывается в регистр Y. Если регистр S содержит значение больше 30, переходим в CNT 3A, иначе в CNT B.
* В состоянии CNT B выполняется вычисление регистра B по формуле   
  Для этого:
  1. Y умножаем на 3 результат заносим в B.
  2. Инкрементируем Y.
  3. Y умножаем на B результат заносим в B.
  4. Инкрементируем B результат сдвигаем на S единиц.
  5. S уменьшаем на 3.

Если X >= B переходим в LOOP, иначе в MUL 2.

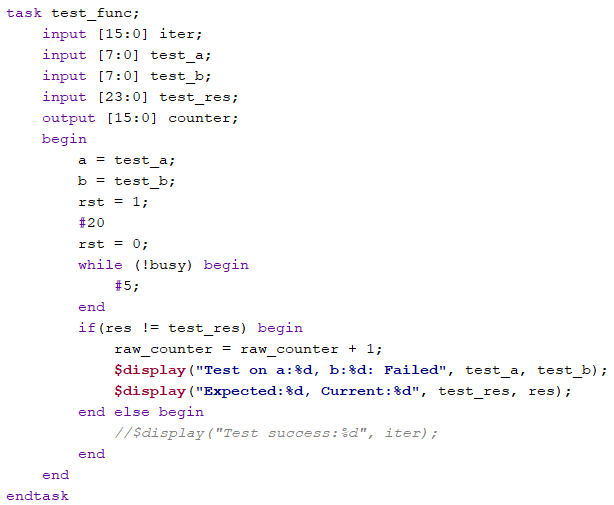
* В состоянии LOOP инкрементируем Y и вычитаем B из X.
* В состоянии CNT 3A загружаем в X операнд A и умножаем его на 3 занеся результат в X.
* В состоянии RESULT складываем Y и X результат подаем на выход.

## ОДЗ для разработанного блока и промежуточных регистров

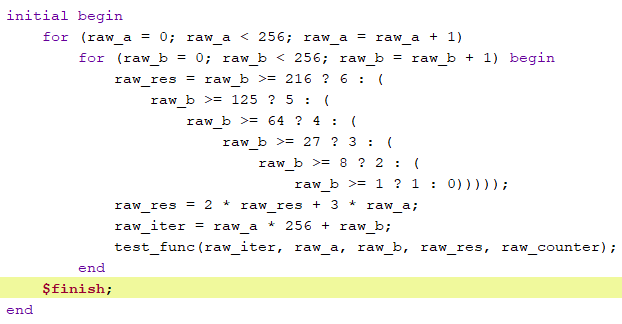
* Оба входных операнда имеют разрядность 8 бит, а операнд A в некоторый момент времени умножается на 3, поэтому регистр X имеет размерность 10 бит[0; 1023].
* Выход F блока имеет размерность 3\*255 + 2 \* 255^(1/3) ~ 777, поэтому его размерность 10 бит [0; 1023].
* Регистр Y содержит результат вычисления корня (и его промежуточных значений не превышающие результат), значит его максимальное значение 255^(1/3) ~ 6, поэтому его размерность 3 бита [0;7].
* Регистр B содержит промежуточное значение, выражаемое формулой, приведенной выше. Очевидно, что наибольшее значение будет достигнуто на первой итерации и будет равно 230, но нам не требуется хранить полное значение B в таком случае достаточно лишь показать, что оно больше X поэтому будет достаточно 9 бит [0;512].

## Результат тестирования разработанного блока

Пример тестового окружения [Блок кода 1][Блок кода 2]:



Блок кода 1



Блок кода 2

Временная диаграмма на частоте 100 МГц (1470 нс):

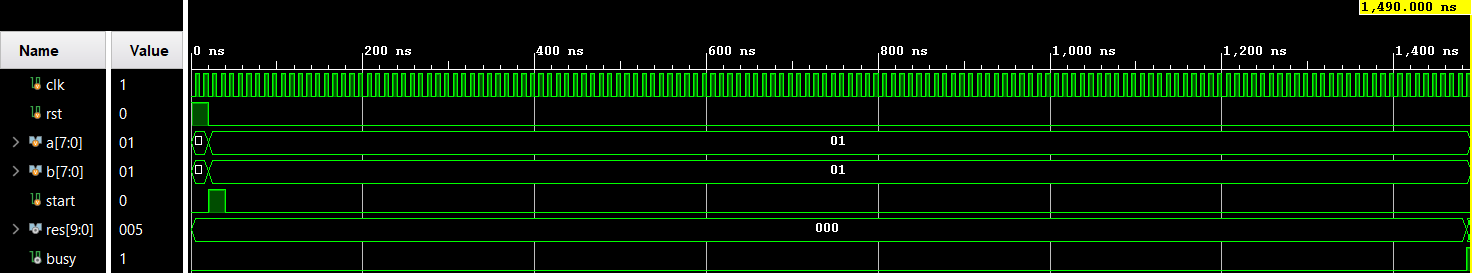


Рисунок 3

# Выводы

* Следует внимательно устанавливать задержки между проверками снятиями сигналов.
* При установке размера регистров следует основываться не только на ОДЗ результата, но и промежуточных значений.
* Получил навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.