

Lucas Bezerra Storino

Descrição de cada período de clock para executar a instrução ADD ax, bx contida no endereço de memória 0x0053.

Busca e incremento de IP:

1. $RE \leftarrow PC, T1 \leftarrow IP(L)$

Conteúdo de IP (0x0053) é depositado no registrador de endereço. Por se tratarem de barramentos diferentes, podemos passar o conteúdo menos significativo de IP no registrador T1 para fazer o incremento de IP.

2. $IP(L) \leftarrow ULA, FC \leftarrow COUT$

Com UC nos dando o comando de incremento de T1 para a ULA (comando "0b0110"), a soma da parte menos significativa de IP é realizada e depositada no registrador. COUT é guardado como flag para que possamos verificar se ocorreu um carry out na soma e assim propagar para a parte mais significativa de IP.

3. $T1 \leftarrow IP(H)$

A parte mais significativa de IP então é transportada para T1 para que ocorra, ou não, o incremento.

4. $IP(H) \leftarrow ULA$

Caso FC seja igual a "1", então o comando que UC deve dar para ULA será o de incremento (comando "0b0110"), caso contrário, o comando será o de dar T1 como resultado, sem alterar o valor (comando "0b0011").

5. $IR \leftarrow RD$

A instrução contida na memória chega no registrador de instrução para assim ser decodificada dado seu OP CODE pela UC.

Execução da instrução ADD ax, bx:

Sem muito mistério, temos a deposição dos conteúdos de A e B nos registradores temporários para que a ULA faça a operação de soma (o comando que UC deve dar para ULA será o de "0b0100").

6. $T1 \leftarrow A$

7. $T2 \leftarrow B$

8. $A \leftarrow ULA, FC \leftarrow COUT$