

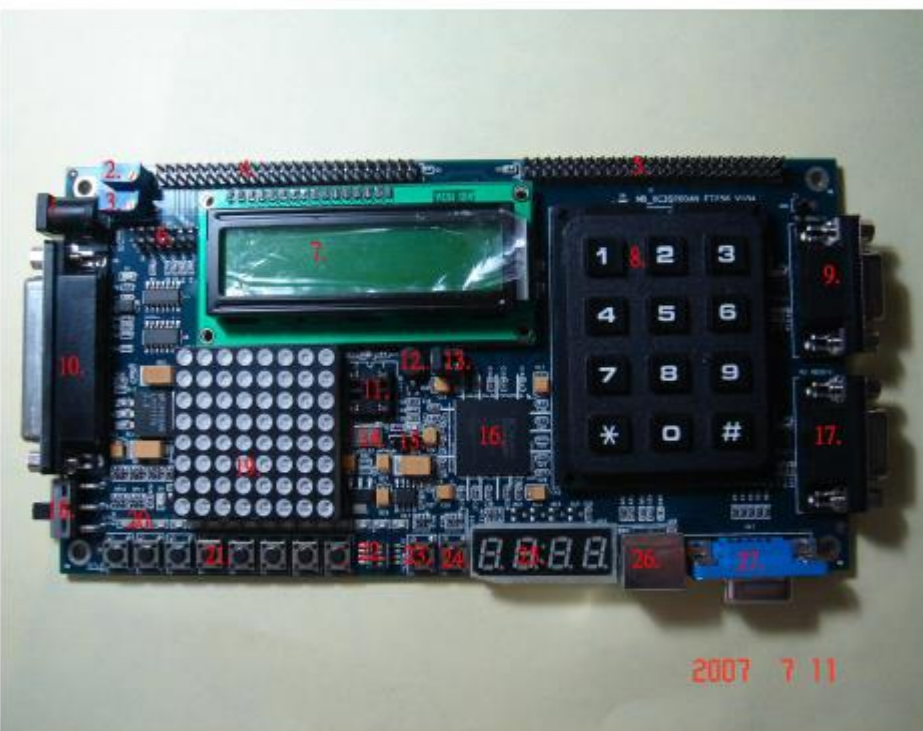


國立高雄第一科技大學

National Kaohsiung First University of Science and Technology

E-ELEMENTS ASSIGN PINS

Board Outline(1/1)



10	JTAG 介面	以 1 對 1 延長線連接個人電腦的印表機埠
11	User Clock 輸入	提供使用者輸入 clock 的插槽
12	喇叭輸出	聲音輸出.
13	FPGA Config 模式設定	M0, M1, M2 (短路), 代表開機為 Master_Slave Mode
14	System Clock 輸入	Clock 輸入為 40MHz 的振盪晶體
15	FPGA Suspend 設定	左邊為+3.3V, 右邊為 GND
16	FPGA	Xilinx Spartan3S200-AN
17	RS232 串列介面	第二組 UART 介面
18	電源開關	往下為開啓電源輸入
19	8x8 LED 矩陣	8x8 矩陣式 LED
20	LED16	16 個 LED
21	Push_Button 8	8 個按鍵輸入
22	DIP4	4 個 DIP Switch 輸入,, 左切為 Low Logic
23	Resetrn	提供使用者輸入 Reset 信號, (按下時為低電位)
24	Program	按下時, FPGA 會重新 Configuration
25	七節燈管	四位的七節燈管
26	PS2	鍵盤或滑鼠介面
27	VGA	八色 VGA 顯示器輸出.

編號	週邊名稱	功能描述
1	電源輸入	DC+5V/2A (中間為正).
2	LCD16x2 背光調整鈕	順時鐘旋轉, 背光亮度加大
3	LCD16x2 字體亮度調整鈕	逆時鐘旋轉, 字體亮度加大
4	J1:使用者擴充用 I/O	J1 可以留給使用者擴充 I/O 用
5	J2:使用者擴充用 I/O	J2 可以留給使用者擴充 I/O 用
6	JTAG 介面設定選擇	J4 的 pin1, 2, 3, 4 短路代表 JTAG 介面由 P14 輸入
7	LCD16x2 液晶顯示器	為文字型的液晶顯示器, (每行 16 字元, 共 2 行)
8	4x3 鍵盤介面	可以輸入 1, 2, 3, 4, 5, 6, 7, 8, 9, *, 0, # 共 12 個字
9	RS232 串列介面	第一組 UART 介面

All Assign Pins(1/3)

Pin	Signal	I/O	FPGA Pin Name	Pin	Signal	I/O	FPGA Pin Name
A1	GND		GND	B1	TDI		JTAG_TDI
A2	PROG	I	PROGRAM	B2	TMS		JTAG_TMS
A3	A1_I038	IO		B3	A1_I037	IO	
A4	A1_I036	IO		B4	A1_I035	IO	
A5	A1_I034	IO		B5	VCC0_0		+3.3V
A6	A1_I030	IO		B6	A1_I029	IO	
A7	A1_I026	IO		B7	GND		GND
A8	A1_I024	IO		B8	A1_I023	IO	
A9	A1_I019	IO		B9	VCC0_0		+3.3V
A10	A1_I015	IO		B10	A1_I016	IO	
A11	A1_I013	IO		B11	GND		GND
A12	A1_I09	IO		B12	A1_I010	IO	
A13	A1_I07	IO		B13	VCC0_0		+3.3V
A14	A1_I08	IO		B14	A1_I03	IO	
A15	TCK		JTAG_TCK	B15	A1_I04	IO	
A16	GND		GND	B16	TDO		JTAG_TDO
C1	SRAM_D7	IO	SRAM DATA<7>	D1	SRAM_D2	IO	SRAM DATA<2>
C2	SRAM_D6	IO	SRAM DATA<6>	D2	VCC0_3		+3.3V
C3	GND		GND	D3	SRAM_D5	IO	SRAM DATA<5>
C4	A1_I040	IO		D4	SRAM_D4	IO	SRAM DATA<4>
C5	A1_I033	IO		D5	A1_I039	IO	
C6	A1_I031	IO		D6	X		IP_0
C7	A1_I025	IO		D7	A1_I032	IO	
C8	A1_I022	IO		D8	A1_I021	IO	
C9	A1_I020	IO		D9	A1_I017	IO	

Pin	Signal	I/O	FPGA Pin Name	Pin	Signal	I/O	FPGA Pin Name
C10	A1_I018	IO		D10	A1_I012	IO	
C11	A1_I014	IO		D11	A1_I05	IO	
C12	A1_I06	IO		D12	X		IP_0
C13	A1_I01	IO		D13	A1_I02	IO	
C14	GND		GND	D14	A2_I031	IO	
C15	A2_I033	IO		D15	A2_I029	IO	
C16	A2_I034	IO		D16	A2_I030	IO	
E1	SRAM_D3	IO	SRAM DATA<3>	F1	SRAM_A16	IO	SRAM ADDR<16>
E2	SRAM_D1	IO	SRAM DATA<1>	F2	GND		GND
E3	SRAM_D0	IO	SRAM DATA<0>	F3	SRAM_WEN	IO	SRAM WR/
E4	X		IP_L01N_3_VREF_3	F4	X		IO_L01N_VREF3
E5	GND			F5	VCCAUX		+3.3V
E6	DIP1	I	DIP SWITCH<0>	F6	GND		GND
E7	A1_I027	IO		F7	DIP2	I	DIP SWITCH<1>
E8	VCC0_0	IO	+3.3V	F8	A1_I028	IO	
E9	X		IP_0/VREF_0	F9	DIP2	I	DIP SWITCH<1>
E10	A1_I010	IO		F10	DIP4	IO	DIP SWITCH<3>
E11	VCCAUX	IO	+3.3V	F11	X		
E12	GND		GND	F12	X		IP_0
E13	A2_I032	IO		F13	A2_I027	IO	
E14	A2_I028	IO		F14	A2_I025	IO	
E15	VCC0_1			F15	A2_I023	IO	
E16	A2_I024	IO		F16	A2_I019	IO	
G1	SRAM_CS	O	SRAM CS/	H1	SRAM_A11	O	SRAM ADDR<11>
G2	SRAM_A10	O	SRAM ADDR<10>	H2	GND		GND
G3	SRAM_A14	O	SRAM ADDR<14>	H3	SRAM_A8	O	SRAM ADDR<8>

All Assign Pins(2/3)

Pin	Signal	I/O	FPGA Pin Name	Pin	Signal	I/O	FPGA Pin Name
G4	SRAM_OE	O	SRAM OE/	H4	SRAM_A15	O	SRAM_ADDR<15>
G5	X		IP_L06N_3	H5	SRAM_A13	O	SRAM_ADDR<13>
G6	X		IP	H6	SRAM_A12	O	SRAM_ADDR<12>
G7	VCCINT		+1.2V	H7	X		
G8	GND		GND	H8	VCCINT		+1.2V
G9	VCCINT		+1.2V	H9	GND		GND
G10	GND	IO		H10	SWITCH3	I	PUSH_BUTTON<2>
G11	SWITCH2		PUSH_BUTTON<1>	H11	SWITCH4	I	PUSH_BUTTON<3>
G12	SWITCH1		PUSH_BUTTON<0>	H12	VCCO_1		+3.3V
G13	A2_I026	IO		H13	A2_I022	IO	
G14	A2_I021	IO		H14	A2_I015	IO	
G15	GND		GND	H15	A2_I018	IO	
G16	A2_I020	IO		H16	A2_I017	IO	
J1	SRAM_A7	O	SRAM_ADDR<7>	K1	SRAM_A5	O	SRAM_ADDR<5>
J2	SRAM_A6	O	SRAM_ADDR<6>	K2	GND		GND
J3	SRAM_A9	O	SRAM_ADDR<9>	K3	SRAM_A4	O	SRAM_ADDR<4>
J4	SRAM_A0	O	SRAM_ADDR<0>	K4	SRAM_A15	O	SRAM_ADDR<15>
J5	VCCO_3		+3.3V	K5	RESET	I	RESET (LowActive)
J6	SRAM_A1	O	SRAM_ADDR<1>	K6	X		
J7	X			K7	GND		GND
J8	GND		GND	K8	VCCINT		+1.2V
J9	VCCINT		+1.2V	K9	GND		GND
J10	SWITCH5	I	PUSH_BUTTON<4>	K10	VCCINT		+1.2V
J11	SWITCH6	I	PUSH_BUTTON<5>	K11	SWITCH7	I	PUSH_BUTTON<6>
J12	A2_I010	IO		K12	SWITCH8	I	PUSH_BUTTON<7>

Pin	Signal	I/O	FPGA Pin Name	Pin	Signal	I/O	FPGA Pin Name
J13	A2_I09	IO		K13	A2_I03	IO	
J14	A2_I016	IO		K14	A2_I011	IO	
J15	VCCO_1		+3.3V	K15	A2_I012	IO	
J16	A2_I013	IO		K16	A2_I014	IO	
L1	SRAM_A2	O	SRAM_ADDR<2>	M1	A2_I040	IO	
L2	SRAM_A3	O	SRAM_ADDR<3>	M2	VCCO_3		+3.3V
L3	A2_I035	IO		M3	A2_I038	IO	
L4	A2_I037	IO		M4	A2_I045	IO	
L5	RX2	I	UART2_RX	M5	GND		GND
L6	RX1	I	UART1_RX	M6	VCCAUX		+3.3V
L7	KEY_R4		KEY3X4_ROW4	M7	X		
L8	KEY_R3		KEY3X4_ROW3	M8	X		
L9	KEY_R3		KEY3X4_ROW2	M9	VCCO_2		+3.3V
L10	KEY_R1		KEY3X4_ROW1	M10	SEG7_CE	O	
L11	GND		GND	M11	X		
L12	VCCAUX		+3.3V	M12	GND		
L13	A2_I04	IO		M13	A2_I02	IO	
L14	A2_I08	IO		M14	A2_I01	IO	
L15	GND		GND	M15	A2_I06	IO	
L16	A2_I07	IO		M16	A2_I05	IO	
N1	A2_I039	IO		P1	A2_I041	IO	
N2	A2_I042	IO		P2	A2_I043	IO	VGA_VSYNC
N3	A2_I046	IO	VGA_G	P3	GND		GND
N4	M1	I	FPGA_CONFIG<M1>	P4	M0	I	FPGA_CONFIG<M0>
N5	X			P5	LCD_E	O	LCD16X2_ENABLE
N6	LCD_D0	O	LCD16X2_DATA<0>	P6	LCD_D5	O	LCD16X2_DATA<5>

All Assign Pins(3/3)

Pin	Signal	I/O	FPGA Pin Name	Pin	Signal	I/O	FPGA Pin Name
N7	LCD_D6	O	LCD16X2 DATA<6>	P7	PS2_DATA	IO	PS2 DATA
N8	LCD_D7	O	LCD16X2 DATA<7>	P8	GCLK2	I	USER CLOCK IN
N9	SEG7_DP	O	SEG7 DP	P9	GCLK1	I	SYSTEM_CLK_40M
N10	SEG7_CD	O	SEG7 CD	P10	SEG7_CC	O	SEG7 CC
N11	SEG7_AN4	O	SEG7 AN4	P11	SEG7_AN3	O	SEG7 AN3
N12	SEG7_C1	O	+SEG7 C1	P12	SEG7_AN2	O	SEG7 AN2
N13	A1_I042	IO		P13	KEY_C3		KEY3X4 C3
N14	A1_I041	IO		P14	GND		GND
N15	VCCO_1		+3.3V	P15	A1_I043	IO	
N16	A1_I045	IO		P16	A1_I046	IO	
R1	A2_I044	IO		T1	GND		GND
R2	M2	I	PGA CONFIG <M2>	T2	BUZZER	O	BUZZER
R3	LCD_RW	O	LCD16X2 R/W_	T3	LCD_IO	O	LCD16X2 INST/DATA
R4	VCCO_2		+3.3V	T4	LCD_D2	O	LCD16X2 DATA<2>
R5	LCD_D1	O	LCD16X2 DATA<1>	T5	LCD_D4	O	LCD16X2 DATA<4>
R6	GND		GND	T6	LCD_D3	O	LCD16X2 DATA<3>
R7	USER_TX2	O	UART2 TX	T7	PS2_CLK	O	PS2 CLK
R8	VCCO_2	O	LCD16X2 DATA<7>	T8	USER_TX1	O	UART1 TX
R9	SEG7_CF	O	SEG7 CF	T9	SEG7_CG	I	SEG7 CG
R10	GND		GND	T10	SEG7_CC	O	SEG7 CC
R11	USER_LED	O	USER LED(D5)	T11	SEG7_CB	O	SEG7 CB
R12	VCCO_2		+3.3V	T12	INIT_B		FPGA CONFIG INIT_B
R13	SEG7_AN1	O	SEG7 AN1	T13	KEY_C3		KEY3X4 C3
R14	CCLK		FPGA CONFIG CCLK	T14	DIN		FPGA CONFIG DIN
R15	A1_I044	IO		T15	DONE		FPGA CONFIG DONE
R16	SUSPEND	I	FPGA SUSPEND	T16	GND		GND

Detail Pins(1/15)

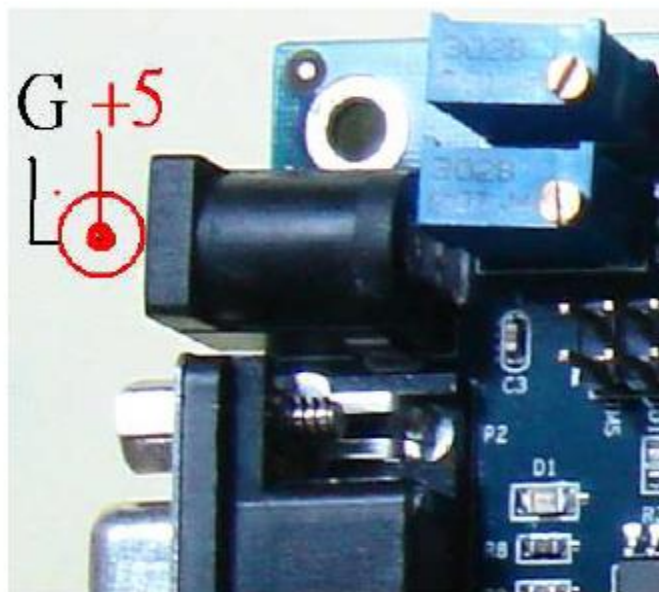
電源接頭 J3

電源插頭 J3 為外部 5 V 輸入,內正外負的接頭,提供板子的電源輸入,在 J3 的下方的 S1 為電源的切換開關, S1 切到下邊時,電源開啓;S1 切到上邊時,電源關閉。

Spartan-3S200AN 以內部的穩壓器,將+5V 穩壓成+3.3V, +1.2V 等二種電源,其中 +3.3V, +1.2V 則提供 Spartan-3S200AN 板子使用,這兩種電源則有 D1, D6 綠色 LED 顯示電源正常。

D6: 板上 1.2V 的電壓正常時時 : D6 綠色 LED 為亮

D1: 板上 3.3V 的電壓正常時時 : D1 綠色 LED 為亮

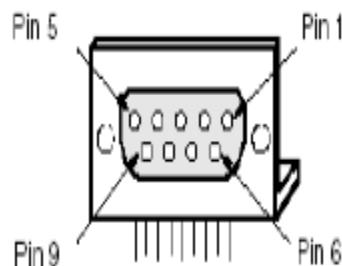


Detail Pins(2/15)

RS232 介面

RS232 介面提供 Spartan-3S200AN 板子與 PC 個人電腦之間串列傳輸的介面, 板子上的 P1 與 P3 就是 RS232 接頭, 均為 DB9 母接頭, 只要以 1 對 1 的連接線連接 P1 或 P3 與 PC 個人電腦串列介面.

NET	"RS232_1_TX"	LOC = "R7" ;	## P1 Connector PIN-2
NET	"RS232_1_RX"	LOC = "L5" ;	## P1 Connector PIN-3
NET	"RS232_2_TX"	LOC = "T8" ;	## P3 Connector PIN-2
NET	"RS232_2_RX"	LOC = "L6" ;	## P3 Connector PIN-3

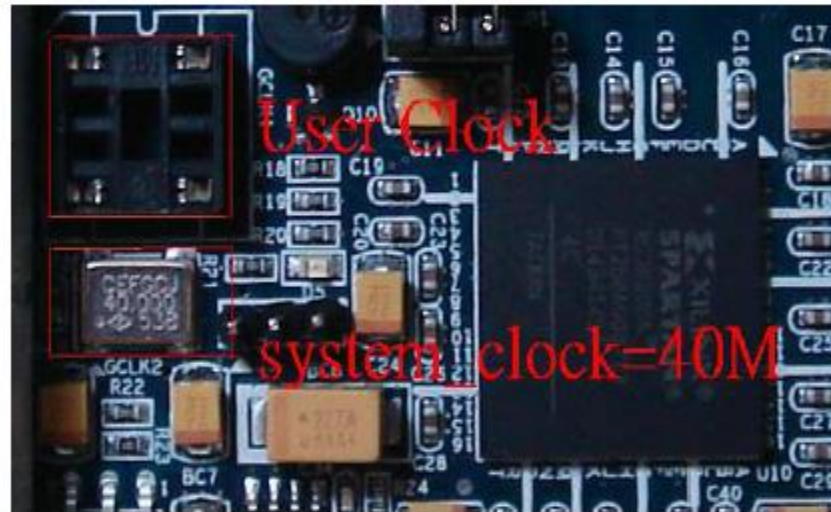


Detail Pins(3/15)

CLOCK 頻率週期

實驗板上有兩個 CLOCK 輸入, 板子上的 CLK 為 40MHz 的振盪晶體, 接到 FPGA 的 P9,
而板子另則提供使用者自行提供使用者所需的振盪晶體, 此接腳接到 FPGA 的 P8

NET "GCLK1" LOC = "P9" ;	## SMD 40MHz
NET "GCLK2" LOC = "P8" ;	## Socket



Detail P

實驗板上有 8 個 PUSH_BUTTON 與 4 個 DIP_SWITCH 與 1 個 RESET 按鍵與 1 個 PROGRAM，位於板子的最下方。

*當 PUSH_BUTTON 按下時，輸入的電壓准位元為低電位 '0'；當不按時為 '1'。

*當 DIP_SWITCH 往左切為 [ON] 時，輸入電壓准位元為低電位 '0'；而右切時為 [OFF]。

*當 RESET 按下時，輸入的電壓准位元為低電位 '0'；當不按時為 '1'。

*當 PROGRAM 按下時，FPGA 重新執行 Configuration Download。

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
G11	S2	SW_in<0>	按下時，輸入為 '0'	
H10	S3	SW_in<1>	按下時，輸入為 '0'	
H11	S4	SW_in<2>	按下時，輸入為 '0'	
G12	S5	SW_in<3>	按下時，輸入為 '0'	
J10	S6	SW_in<4>	按下時，輸入為 '0'	
J11	S7	SW_in<5>	按下時，輸入為 '0'	
K11	S8	SW_in<6>	按下時，輸入為 '0'	
K12	S9	SW_in<7>	按下時，輸入為 '0'	
E6	S10-1	DIP_in<0>	左切為 '0'，右切為 '1'	
F7	S10-2	DIP_in<1>	左切為 '0'，右切為 '1'	
F9	S10-3	DIP_in<2>	左切為 '0'，右切為 '1'	
F10	S10-4	DIP_in<3>	左切為 '0'，右切為 '1'	
K5	S11	RESETn	按下時，輸入為 '0'	



Detail Pins(5/15)

LED 輸出

實驗板上有 16 個 LED, 當輸出高電位 '1' 時, LED 亮, 當輸出低電位 '0' 時, LED 不亮

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
M14	D7	LED_out<0>	輸出 '1' → D7 亮起	
M13	D8	LED_out<1>	輸出 '1' → D8 亮起	
K13	D9	LED_out<2>	輸出 '1' → D9 亮起	
L13	D10	LED_out<3>	輸出 '1' → D10 亮起	
M16	D11	LED_out<4>	輸出 '1' → D11 亮起	
M15	D12	LED_out<5>	輸出 '1' → D12 亮起	
L16	D13	LED_out<6>	輸出 '1' → D13 亮起	
L14	D14	LED_out<7>	輸出 '1' → D14 亮起	
J13	D15	LED_out<8>	輸出 '1' → D15 亮起	

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
J12	D16	LED_out<9>	輸出 '1' → D16 亮起	
K14	D17	LED_out<10>	輸出 '1' → D17 亮起	
K15	D18	LED_out<11>	輸出 '1' → D18 亮起	
J16	D19	LED_out<12>	輸出 '1' → D19 亮起	
K16	D20	LED_out<13>	輸出 '1' → D20 亮起	
H14	D21	LED_out<14>	輸出 '1' → D21 亮起	
J14	D22	LED_out<15>	輸出 '1' → D22 亮起	



Detail

J1 CONNECTOR

J1 提供 46 點輸出/輸入介面, 提供板子擴充 IO 之用, 其輸出准位為標準的+3.3V 介面, 部份 I/O 腳位元與週邊共用, 可以偵錯信號的正確性.

User IO BOARD	FPGA PIN	SYMBOL	J1	J1	SYMBOL	FPGA PIN	Human_IO BOARD
		GND	1	2	+5V		
LED_out<0>	M14	A2_I01	3	4	A2_I02	M13	LED_out<1>
LED_out<2>	K13	A2_I03	5	6	A2_I04	L13	LED_out<3>
LED_out<4>	M16	A2_I05	7	8	A2_I06	M15	LED_out<5>
LED_out<6>	L16	A2_I07	9	10	A2_I08	L14	LED_out<7>
LED_out<8>	J13	A2_I09	11	12	A2_I010	J12	LED_out<9>
LED_out<10>	K14	A2_I011	13	14	A2_I012	K15	LED_out<11>
LED_out<12>	J16	A2_I013	15	16	A2_I014	K16	LED_out<13>
LED_out<14>	H14	A2_I015	17	18	A2_I016	J14	LED_out<15>
LED8x8_CA	H16	A2_I017	19	20	A2_I018	H15	LED8x8_CB
LED8x8_CC	F16	A2_I019	21	22	A2_I020	G16	LED8x8_CD
LED8x8_CE	G14	A2_I021	23	24	A2_I022	H13	LED8x8_CF
LED8x8_CG	F15	A2_I023	25	26	A2_I024	E16	LED8x8_DP
LED8x8_C1	F14	A2_I025	27	28	A2_I026	G13	LED8x8_C2
LED8x8_C3	F13	A2_I027	29	30	A2_I028	E14	LED8x8_C4
LED8x8_C5	D15	A2_I029	31	32	A2_I030	D16	LED8x8_C6
LED8x8_C7	D14	A2_I031	33	34	A2_I032	E13	LED8x8_C8
	C15	A2_I033	35	36	A2_I034	C16	
	L3	A2_I035	37	38	A2_I036	K4	
	L4	A2_I037	39	40	A2_I038	M3	
	N1	A2_I039	41	42	A2_I040	M1	
VGA_VSYNC	P1	A2_I041	43	44	A2_I042	N2	VGA_HSYNC
VGA_B	P2	A2_I043	45	46	A2_I044	R1	VGA_G
VGA_R	M4	A2_I045	47	48	A2_I046	N3	
		+2.5V	49	50	+3.3V		

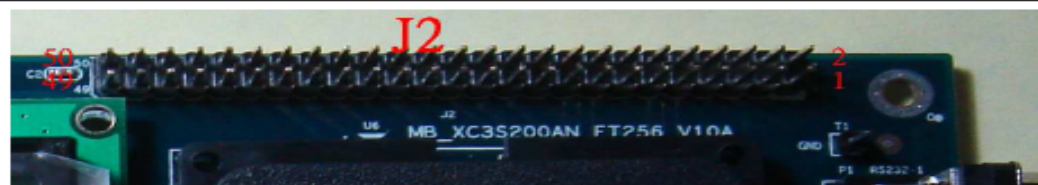


Detail 1

J2 CONNECTOR

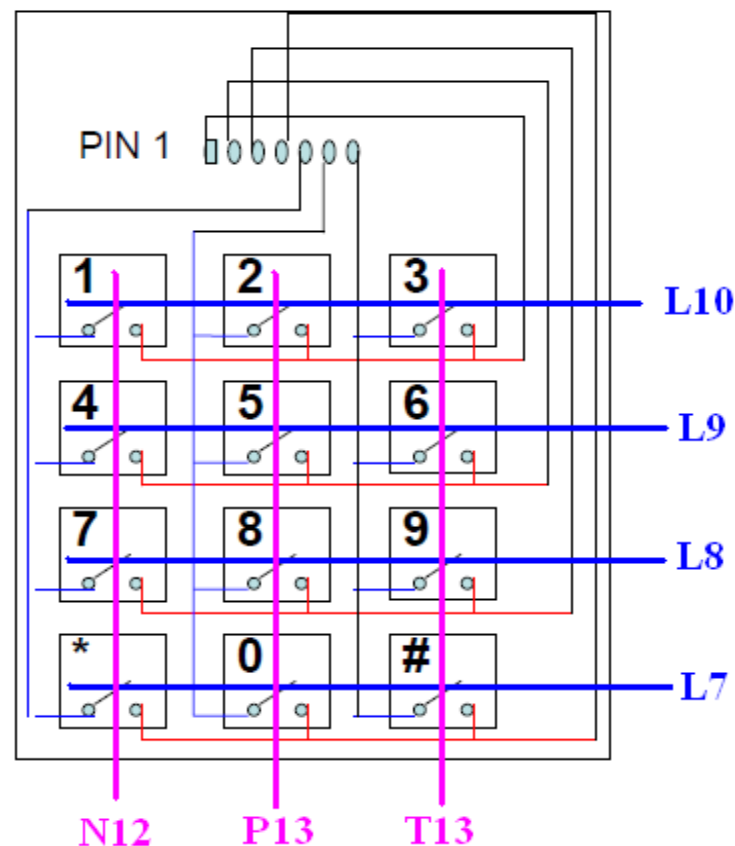
J2 提供 46 點輸出/輸入介面, 提供板子擴充 IO 之用, 其輸出准位為標準的+3.3V 介面.

Human_IO BOARD	FPGA PIN	SYMBOL	J2	J2	SYMBOL	FPGA PIN	Human_IO BOARD
		GND	1	2	+5V		
	C13	A1_I01	3	4	A1_I02	D13	
	B14	A1_I03	5	6	A1_I04	B15	
	D11	A1_I05	7	8	A1_I06	C12	
	A13	A1_I07	9	10	A1_I08	A14	
	A12	A1_I09	11	12	A1_I010	B12	
	E10	A1_I011	13	14	A1_I012	D10	
	A11	A1_I013	15	16	A1_I014	C11	
	A10	A1_I015	17	18	A1_I016	B10	
	D9	A1_I017	19	20	A1_I018	C10	
	A9	A1_I019	21	22	A1_I020	C9	
	D8	A1_I021	23	24	A1_I022	C8	
	B8	A1_I023	25	26	A1_I024	A8	
	C7	A1_I025	27	28	A1_I026	A7	
	E7	A1_I027	29	30	A1_I028	F8	
	B6	A1_I029	31	32	A1_I030	A6	
	C6	A1_I031	33	34	A1_I032	D7	
	C5	A1_I033	35	36	A1_I034	A5	
	B4	A1_I035	37	38	A1_I036	A4	
	B3	A1_I037	39	40	A1_I038	A3	
	D5	A1_I039	41	42	A1_I040	C4	
		A1_I041	43	44	A1_I042		
		A1_I043	45	46	A1_I044		
		A1_I045	47	48	A1_I046		
		+2.5V	49	50	+3.3V		



Detail Pir

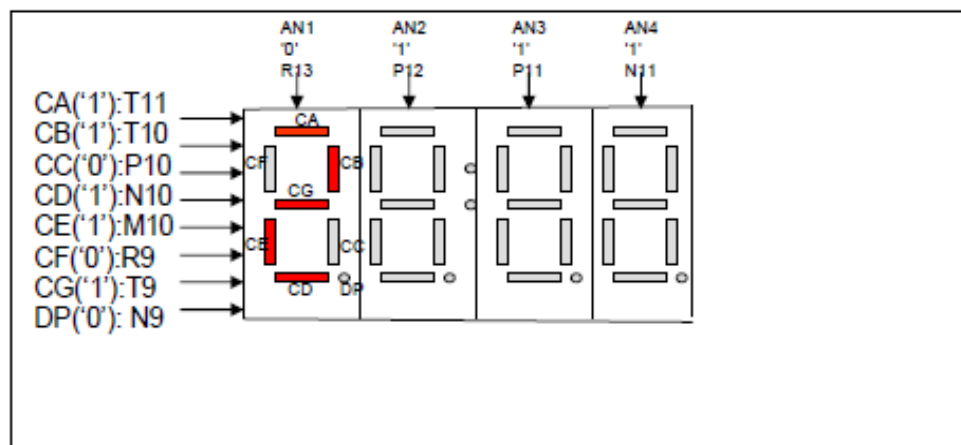
Human IO 有一個 3X4 的鍵盤, 共可定義 12 個按鍵, 3X4 按鍵可以以掃描方式控制, 其相對應的按鍵如下。



FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
N12	KEY3X4_C1	KEY3X4_C1	列 1	
P13	KEY3X4_C1	KEY3X4_C1	列 2	
T13	KEY3X4_C1	KEY3X4_C1	列 3	
L10	KEY3X4_R1	KEY3X4_R1	行 1	
L9	KEY3X4_R2	KEY3X4_R2	行 2	
L8	KEY3X4_R3	KEY3X4_R3	行 3	
L7	KEY3X4_R4	KEY3X4_R4	行 4	

Detail F

EDK-3SAISE 提供 4 個七節燈管, 由 FPGA 控制, 其控制方法為掃描式, 如圖所示, 若要控制左邊第一個七節燈管輸出 '2' 的字型, 可以先輸出 "11011010" 到 CA`DP, 然後輸出 "0111" 到 AN1`AN4 即可。



FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
R13	DIGIT<0>	DIGIT<0>	輸出 '0', 動作	AN1
P12	DIGIT<1>	DIGIT<1>	輸出 '0', 動作	AN2
P11	DIGIT<2>	DIGIT<2>	輸出 '0', 動作	AN3
N11	DIGIT<3>	DIGIT<3>	輸出 '0', 動作	AN4
T11	SEGEMENT<0>	SEGEMENT<0>	輸出 '0', 動作	U15 的 CA
T10	SEGEMENT<1>	SEGEMENT<1>	輸出 '0', 動作	U15 的 CB
P10	SEGEMENT<2>	SEGEMENT<2>	輸出 '0', 動作	U15 的 CC
N10	SEGEMENT<3>	SEGEMENT<3>	輸出 '0', 動作	U15 的 CD
M10	SEGEMENT<4>	SEGEMENT<4>	輸出 '0', 動作	U15 的 CE
R9	SEGEMENT<5>	SEGEMENT<5>	輸出 '0', 動作	U15 的 CF
T9	SEGEMENT<6>	SEGEMENT<6>	輸出 '0', 動作	U15 的 CG
N9	SEGEMENT<7>	SEGEMENT<7>	輸出 '0', 動作	U15 的 DP

Detail Pins(10/15)

LCD16X2

LCD16X2 是一個每行 16 字, 共 2 行的文字型液晶顯示器, 可以顯示 ASCII 字型.

● Pin assignment

Pin NO.	Symbol	Function	Remark
1	GND	Power supply	0V
2	Vdd		+5V
3	V5		For LCD Variable
4	RS	Register Select(H=Data,L=Instruction)	
5	R/W	Read/Write L=MPU to LCM,H=LCM to MPU	
6	E	Enable	
7	DB0	Data bus bit 0	
8	DB1	Data bus bit 1	
9	DB2	Data bus bit 2	
10	DB3	Data bus bit 3	
11	DB4	Data bus bit 4	
12	DB5	Data bus bit 5	
13	DB6	Data bus bit 6	
14	DB7	Data bus bit 7	
15	A	Anode of LED Unit	
16	K	Cathode of LED Unit	



FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
N6	DB0	LCD_data<0>	LCD_Data0	
R5	DB1	LCD_data<1>	LCD_Data1	
T4	DB2	LCD_data<2>	LCD_Data2	
T6	DB3	LCD_data<3>	LCD_Data3	
T5	DB4	LCD_data<4>	LCD_Data4	
P6	DB5	LCD_data<5>	LCD_Data5	
N7	DB6	LCD_data<6>	LCD_Data6	
N8	DB7	LCD_data<7>	LCD_Data7	
P5	E	LCD_E	LCD Enable	
R3	R/W	LCD_RW	Read/Write 0: Write 1: Read	
T3	RS	LCD_RS	Register Select 0: Instruction 1: Data	

Detail Pins(11/15)

2-13 PS2

PS2 提供 PC 個人電腦的鍵盤介面。

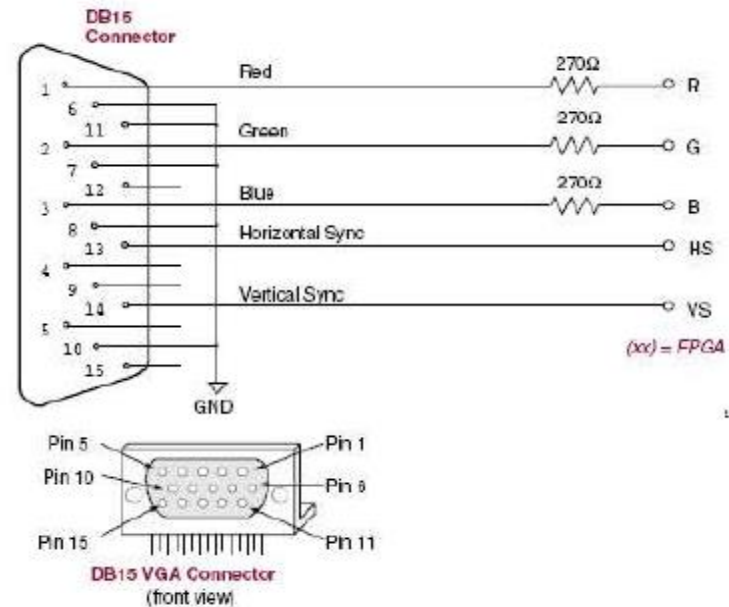
```
Net "PS2_DATA" LOC = "T7" ;  
Net "PS2_CLK" LOC = "P7" ;
```

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
T7	PS2_DATA	PS2_DATA		
P7	PS2_CLK	PS2_CLK		



Detail

PS2 提供 PC 個人電腦的 VGA 介面, 但只支援 8 種顏色.



FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
P1	VGA_VSYNC	VGA_VSYNC	VSYNC	
N2	VGA_HSYNC	VGA_HSYNC	HSYNC	
P2	VGA_B	VGA_B	BLUE	
R1	VGA_G	VGA_G	GREEN	
M4	VGA_R	VGA_R	RED	

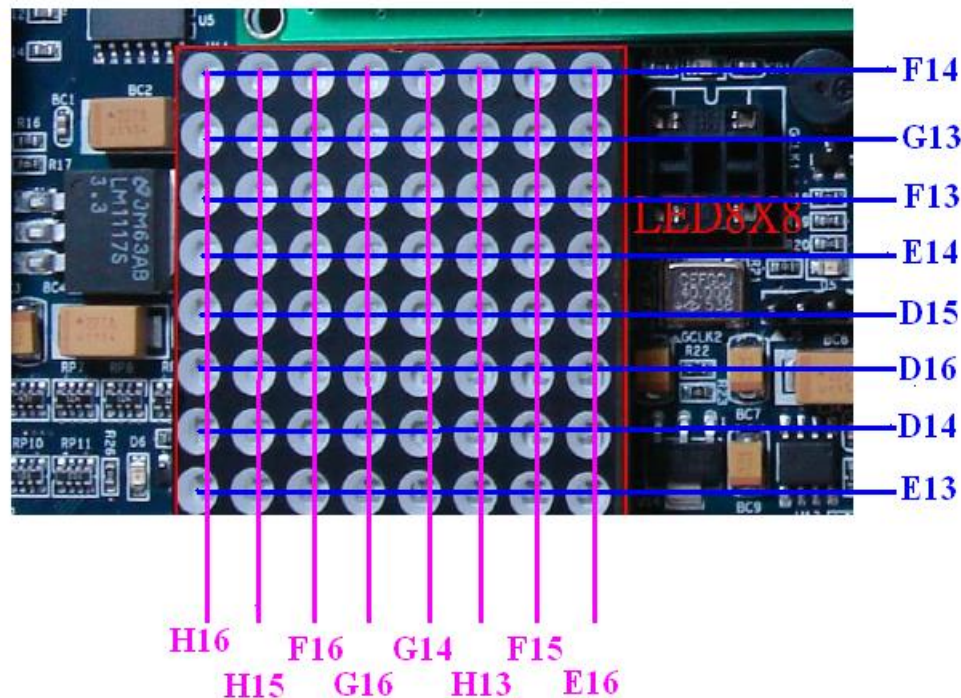


Detail Pins(13/15)

LED8X8

EDK-3SAISE 提供 8X8 點矩陣的 LED.

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
F14	LED8X8_A<0>	LED8X8_A<0>	ANODE<0>	
G13	LED8X8_A<1>	LED8X8_A<1>	ANODE<1>	
F13	LED8X8_A<2>	LED8X8_A<2>	ANODE<2>	
E14	LED8X8_A<3>	LED8X8_A<3>	ANODE<3>	
D15	KED8X8_A<4>	KED8X8_A<4>	ANODE<4>	
D16	LED8X8_A<5>	LED8X8_A<5>	ANODE<5>	
D14	LED8X8_A<6>	LED8X8_A<6>	ANODE<6>	
E13	KED8X8_A<7>	KED8X8_A<7>	ANODE<7>	
H16	LED8X8_N<0>	LED8X8_N<0>		
H15	LED8X8_N<1>	LED8X8_N<1>		
F16	LED8X8_N<2>	LED8X8_N<2>		
G16	LED8X8_N<3>	LED8X8_N<3>		
G14	KED8X8_N<4>	KED8X8_N<4>		
H13	LED8X8_N<5>	LED8X8_N<5>		
F15	LED8X8_N<6>	LED8X8_N<6>		
E16	KED8X8_N<7>	KED8X8_N<7>		



Detail Pins(14/15)

BUZZER

BUZZER 提供聲音輸出.

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
T2	BUZZER	BUZZER	'1' BUZZER ON '0' BUZZER OFF	



Detail Pins(15/15)

LED_D5

LED_D5 提供單一位元的 LED 顯示

FPGA PIN	SYMBOL	LABEL NAME	LOGIC	COMMENT
R11	LED_D5	LED_D5	'1' :LED_D5 ON '0' :LED_D5 OFF	

