

Черкаський національний університет ім. Б.Хмельницького

Лабораторна робота №5

по дисципліні «Комп'ютерна схемотехніка»

Тема: Цифрові мікросхеми послідовного типу (з пам'яттю).

Виконав: студентка групи Кн-20

Кононенко Ю.В.

Перевірив: к.т.н.

Ярмілко А.В.

Черкаси 2021

**Тема:** Цифрові мікросхеми послідовного типу (з пам'яттю).

**Мета:** Вивчити призначення, конструктивне виконання та характеристики цифрових мікросхем послідовного типу . Набути навичками роботи з RS, D, T, JK тригерами.

### Хід роботи

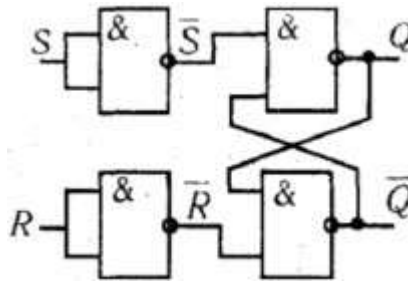


Рис. 1. Схема асинхронного RS-тригера.

Асинхронний RS-тригер має два входи (R від Reset і S від Set) і два виходи (Q і  $\bar{Q}$ ). Подача одиниці на вхід S відповідає встановленню одиниці на виході Q (і, відповідно, нуля на  $\bar{Q}$ ). Подача одиниці на вхід R відповідно встановлює на виході Q нуль (і одиницю на  $\bar{Q}$ ). Якщо ж подати нулі на обидва входи, схема перейде в режим запам'ятовування: значення на виходах залишаться такими самими, як в попередньому стані. Це можливо завдяки тому, що сигнал із Q і  $\bar{Q}$  підведений до входів елементів АБО. Комбінація ж із одиниць на обох входах називається «забороненою», але спричинена така назва не тим, що дану комбінацію не можна подавати, а тим, що результат від її подачі буде беззмістовним ( $Q=0$  і  $\bar{Q}=0$ ). Наведемо вищеописані властивості у вигляді таблиці істинності (Таблиця 1).

S	R	$Q_t$	$\neg Q_t$
0	0	1	0
0	1	1	0
1	0	0	1
1	1	Заборонена комбінація	

Таблиця 1. Теоретична таблиця істинності асинхронного RS-тригера

Тепер побудуємо схему асинхронного RS-тригера в Multisim (Рис. 2).

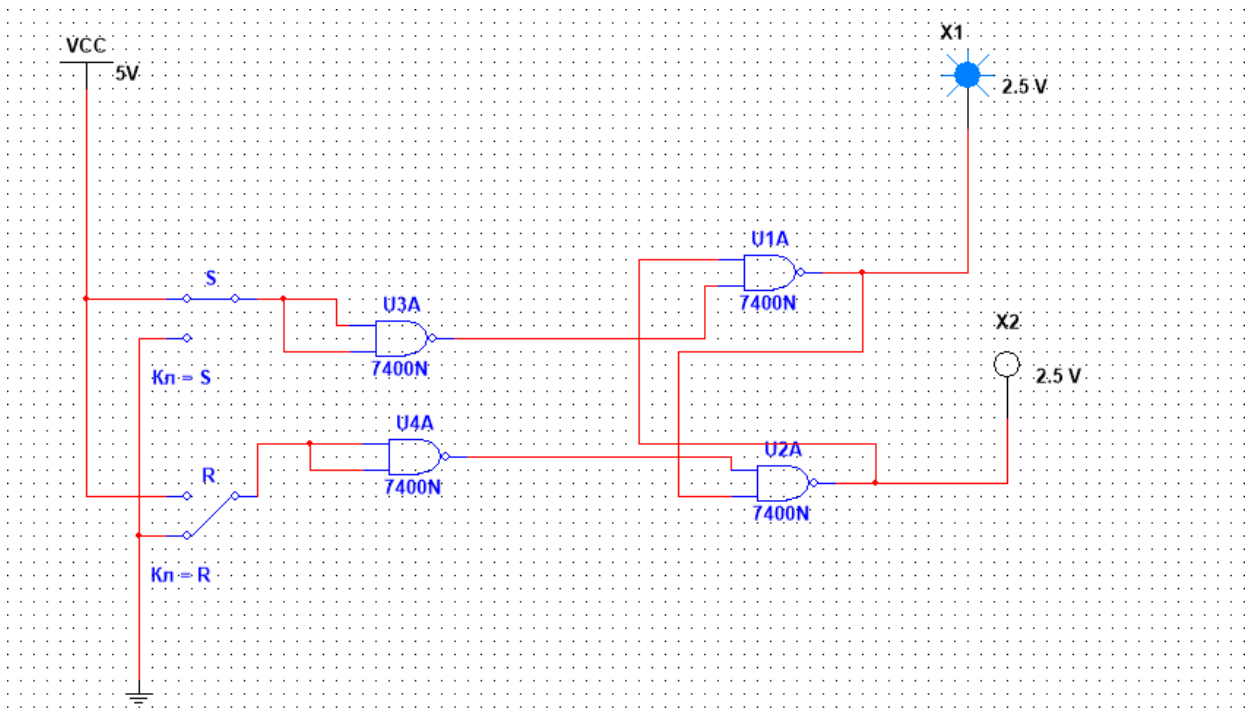


Рис. 2. Схема асинхронного RS-тригера в Multisim.

Дослідимо роботу схеми і сформуємо експериментальну таблицю істинності (Таблиця 2), щоб з'ясувати, чи правильно працює змодельований тригер.

S	R	$Q_t$	$\neg Q_t$
0	0	1	0
0	1	1	0
1	0	0	1

1	1	Заборонена комбінація
---	---	-----------------------

Таблиця 2. Експериментальна таблиця істинності асинхронного RS-тригера

Бачимо, що теоретична і експериментальна таблиці співпали, отже, схема змодельована правильно.

Коли потрібно використовувати декілька RS-тригерів і важливо, щоб їх стани змінювалися одночасно, замість асинхронних використовуються синхронні RS-тригери. Їх відмінність в тому, що крім входів R і S існує ще один вхід – C. Наведемо схему даного тригера (Рис. 3).

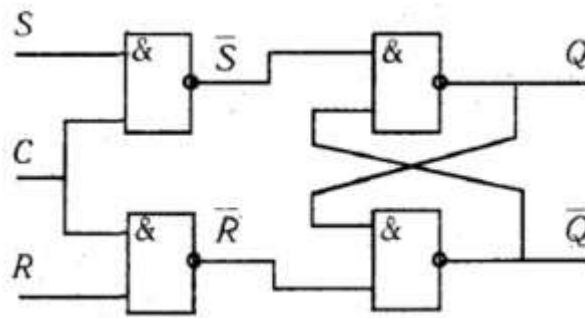


Рис. 3. Схема синхронного RS-тригера.

Бачимо, що синхронний RS-тригер є по суті асинхронним RS-тригером, входи якого виходять з двох елементів ТА, на один вхід кожного з яких, в свою чергу, подані вже знайомі R або S, а на інший – синхронізуючий сигнал C. Тобто, якщо сигнал C нульовий, то на виходах елементів ТА теж буде нуль незалежно від входів R і S. Тобто, в такому разі тригер залишатиметься в запам'ятовуючому режимі. Якщо ж на C подати одиницю, тригер працюватиме так само, як його асинхронний аналог. Покажемо це все в таблиці істинності.

C	S	R	$Q_t$	$\neg Q_t$
0	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
0	0	1	$Q_{t-1}$	$\neg Q_{t-1}$
0	1	0	$Q_{t-1}$	$\neg Q_{t-1}$
0	1	1	$Q_{t-1}$	$\neg Q_{t-1}$

1	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0

Таблиця 3. Теоретична таблиця істинності синхронного RS-тригера

Тепер побудуємо схему синхронного RS-тригера в Multisim (Рис. 4).

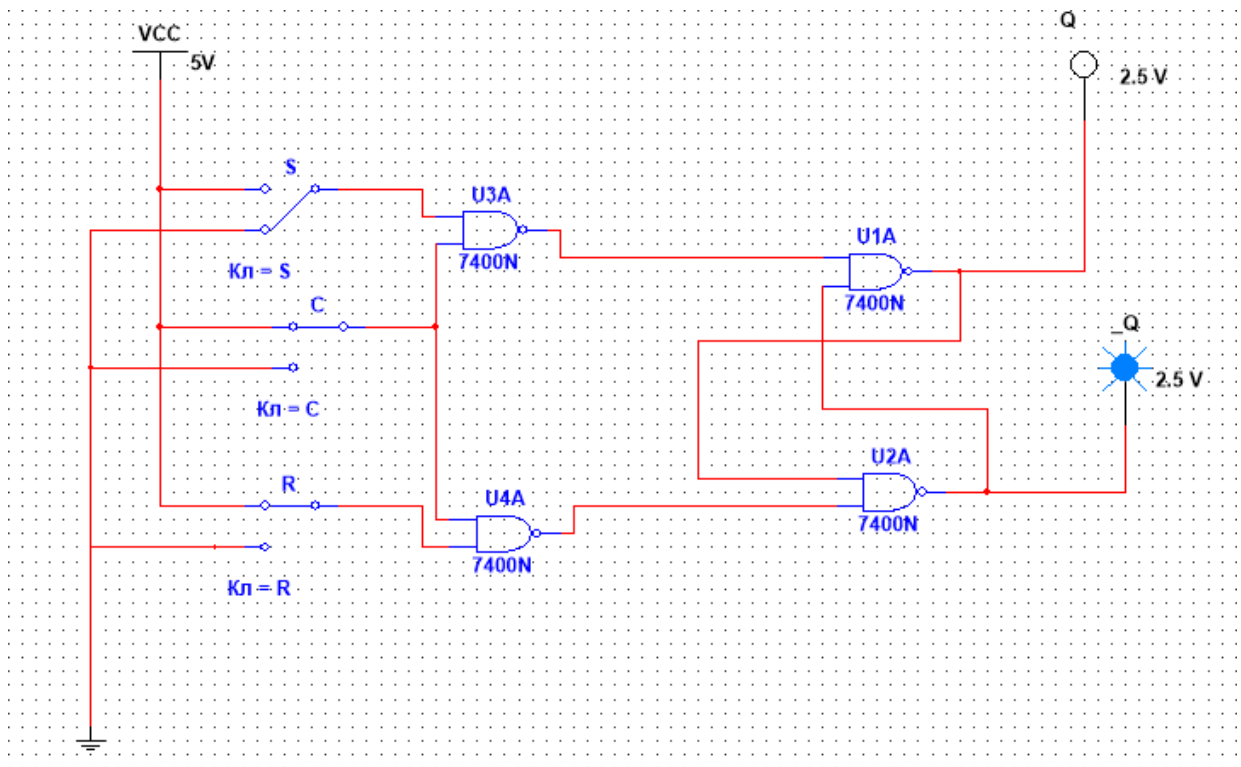


Рис. 4. Схема синхронного RS-тригера в Multisim.

Дослідимо роботу схеми і сформуємо експериментальну таблицю істинності (Таблиця 4), щоб з'ясувати, чи правильно працює змодельований тригер.

Таблиця 4. Експериментальна таблиця істинності синхронного RS-тригера

C	S	R	$Q_t$	$\neg Q_t$
0	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
0	0	1	$Q_{t-1}$	$\neg Q_{t-1}$
0	1	0	$Q_{t-1}$	$\neg Q_{t-1}$

0	1	1	$Q_{t-1}$	$\neg Q_{t-1}$
1	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	0	1	0	1
1	1	0	1	0
1	1	1	0	0

Бачимо, що теоретична і експериментальна таблиці співпали, отже, схема змодельована правильно.

Як вже згадувалося, в RS-тригера є комбінація (1, 1), яка не застосовується. Щоб використати її, був створений JK-тригер. Його входи і виходи відповідають входам і виходам RS-тригера (єдина відмінність в тому, що називаються входи не R і S, а J і K), і працює він аналогічно RS-тригеру, за виключенням того, що в JK-тригері комбінація сигналів (1, 1) на вході змінює поточний стан тригера на протилежний. Технічно це досягається завдяки тому, що сигнали на входи синхронного RS-тригера подаються через елементи ТА, сигнал для другого входу кожного з яких знімається з протилежного виходу ( $Q$  або  $\neg Q$ ). Наведемо теоретичну таблицю істинності такого тригера (Таблиця 5).

C	J	K	$Q_t$	$\neg Q_t$
1	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	0	1	0	1
1	1	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	1	1	1	0

Таблиця 5. Теоретична таблиця істинності JK-тригера

Оскільки найбільш поширеними є двоступеневі синхронні JK-тригери, то саме їх і розглянемо. Наведемо схему такого тригера (Рис. 5).

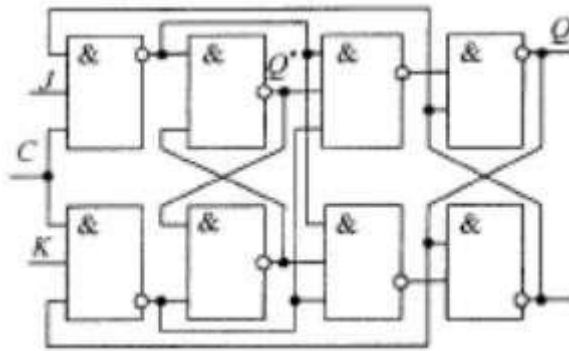


Рис. 5. Схема двоступеневого синхронного JK-тригера.

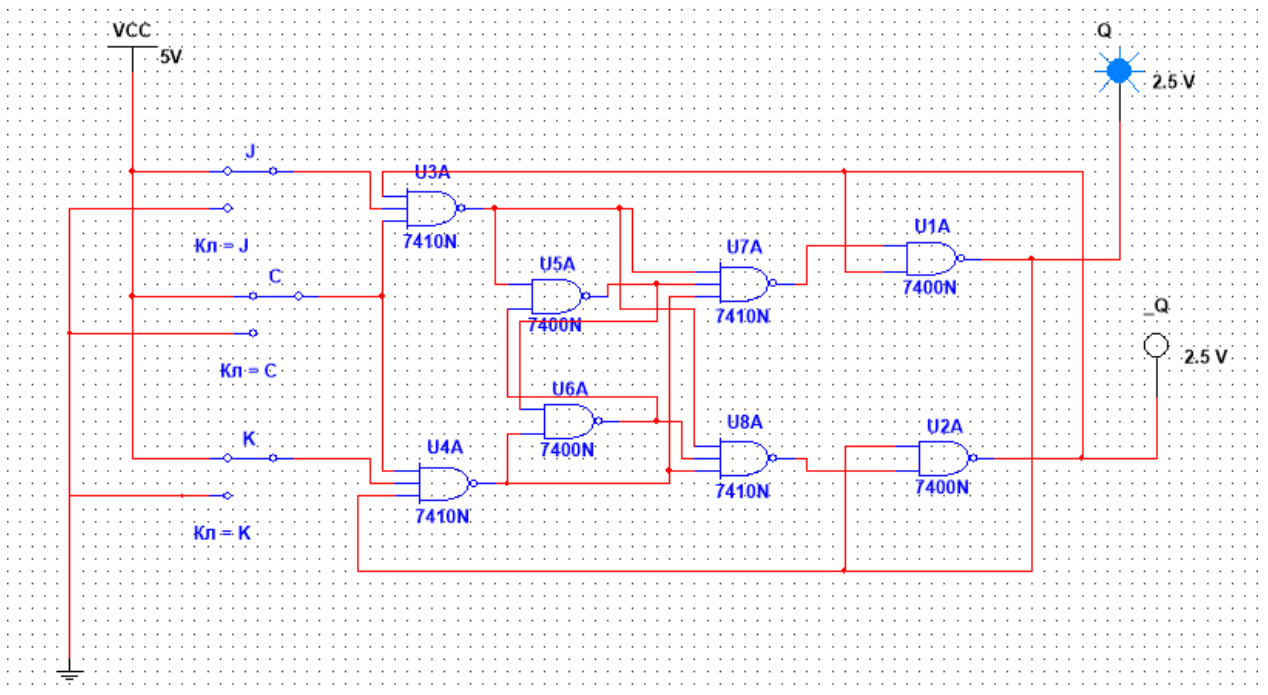


Рис. 6. Схема двоступеневого синхронного JK-тригера в Multisim.

Дослідимо роботу схеми і сформуємо експериментальну таблицю істинності (Таблиця 6), щоб з'ясувати, чи правильно працює змодельований тригер.

C	J	K	$Q_t$	$\neg Q_t$
1	0	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	0	1	1	0
1	1	0	$Q_{t-1}$	$\neg Q_{t-1}$
1	1	1	1	0

Таблиця 6. Експериментальна таблиця істинності JK-тригера

Бачимо, що теоретична і експериментальна таблиці співпали, отже, схема змодельована правильно.

Як вже було зазначено, при подаванні на вхід JK-тригера двох одиниць, він змінює свій стан на протилежний. Якщо ж об'єднати входи J і K, отримаємо тригер, що змінюватиме стан на протилежний при подаванні на цей об'єднаний вхід одиниці, і лишатиметься в тому самому – при нулі. Такий тригер називається T-тригером, або лічильним, а об'єднаний вхід – відповідно T. Побудуємо схему цього тригера на основі JK-тригера згаданим способом (Рис. 7).

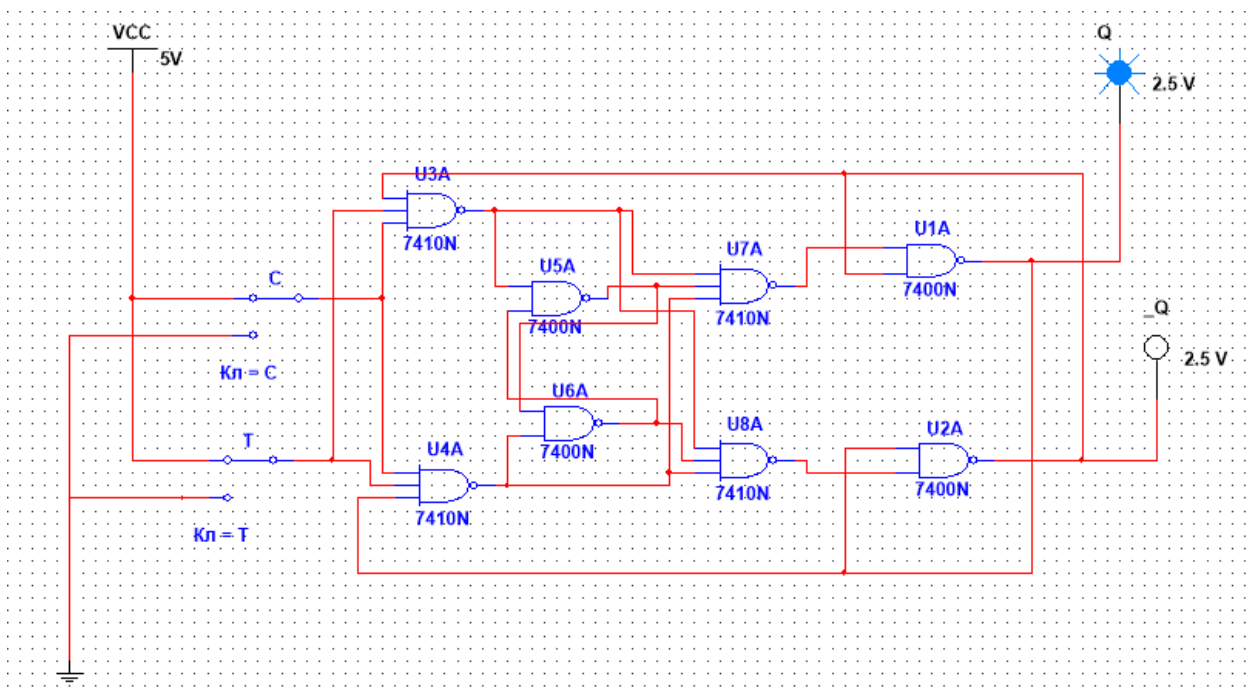


Рис. 7. Схема T-тригера в Multisim.

Ще один тип тригера, який можна легко побудувати на основі JK-тригера – D-тригер. D-тригер запам'ятовує стан входу та видає його на вихід. D-тригери мають, як мінімум, два входи: інформаційний D і синхронізації C. Після приходу активного фронту імпульсу синхронізації на вхід C D-тригер відкривається. Збереження інформації в D-тригерах відбувається після спаду імпульсу синхронізації C. Оскільки інформація на виході залишається



незмінною до приходу чергового імпульсу синхронізації, D-тригер називають також тригером із запам'ятовуванням інформації. Щоб отримати D-тригер з JK-тригера, достатньо на його входи одночасно подавати взаємно інверсні сигнали. Побудуємо схему D-тригера згідно з цим правилом (Рис. 8).

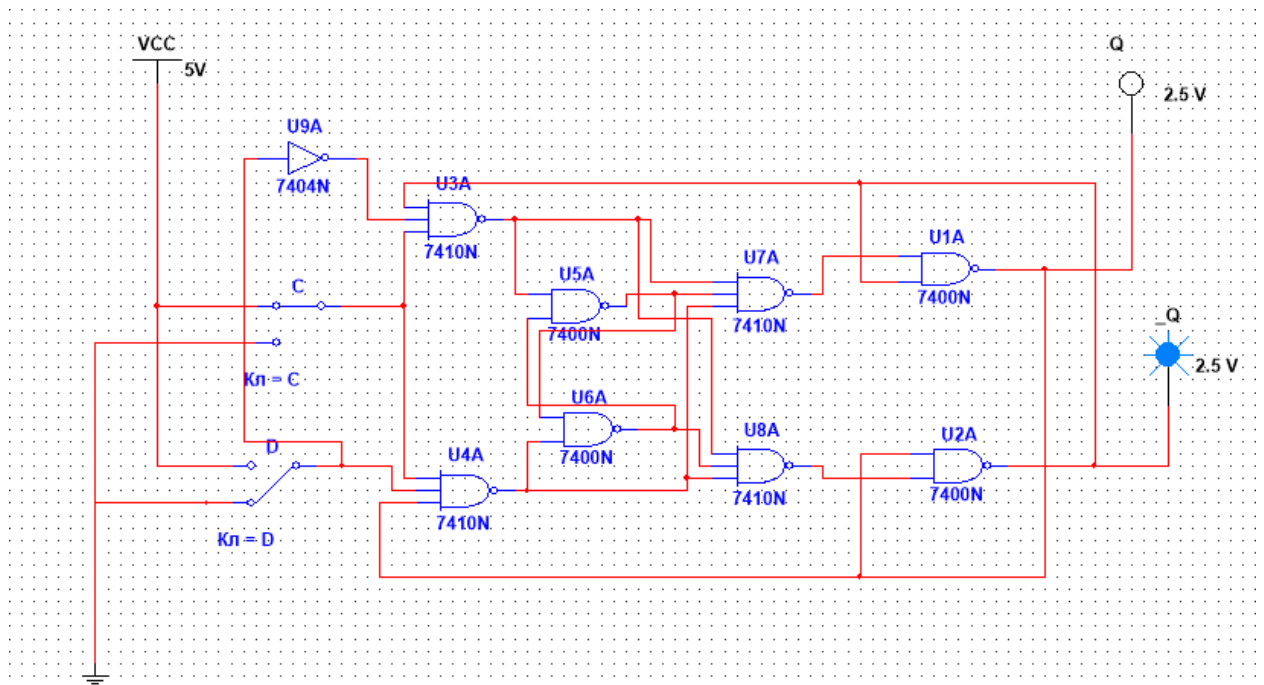


Рис. 8. Схема D-тригера в Multisim.

Дана схема, як і повинна, видає на виході той самий сигнал, що був поданий на вхід, і зберігає його, якщо вимкнути синхронізуючий вхід С.

Висновок: в процесі виконання даної лабораторної роботи було вивчене призначення, конструктивне виконання та характеристики цифрових мікросхем послідовного типу, в тому числі тригерів. Були побудовані та досліджені схеми RS-, D-, T-, JK-тригерів, в ході чого набути навички роботи з ними.