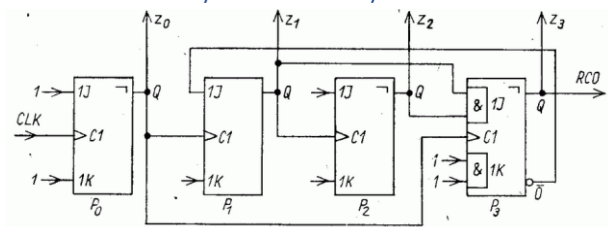


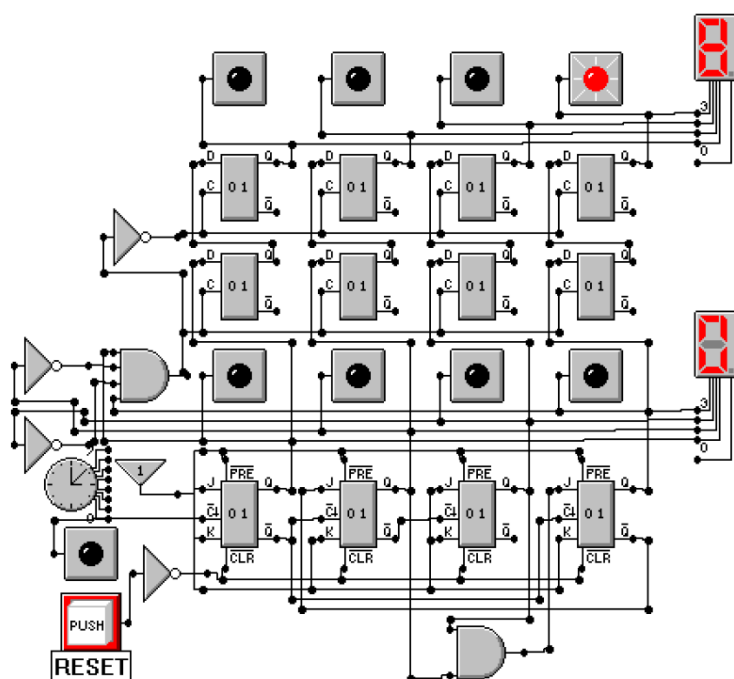
ASK_10	Romaniak Hubert	Informatyka niestacjonarna III rok	Semestr zimowy 2024/25
--------	-----------------	---------------------------------------	---------------------------

Zadania

1. Licznik BCD asynchroniczny



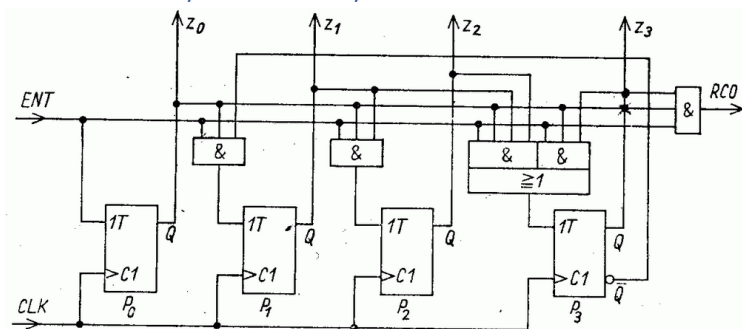
Rysunek 1 - zadany schemat logiczny licznika BCD asynchronicznego



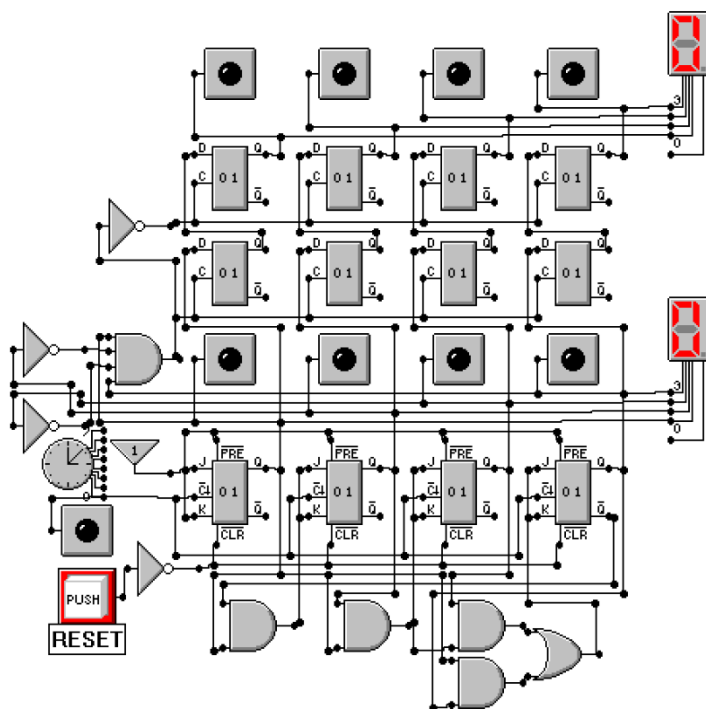
Rysunek 2 - schemat logiczny licznika BCD asynchronicznego z układem zatrzymującym stan pośredni między 9 a 0

Dla licznika BCD asynchronicznego zbudowanego według zadanego schematu, ostatnia wartość na wyjściach licznika, podczas przełączania się z 9 na 0, to wartość 8. Posiada on zatem stan przejściowy.

2. Licznik BCD synchroniczny



Rysunek 3 - zadany schemat logiczny licznika BCD synchronicznego



Rysunek 4 - schemat logiczny licznika BCD synchronicznego z układem zatrzymującym stan pośredni między 9 a 0

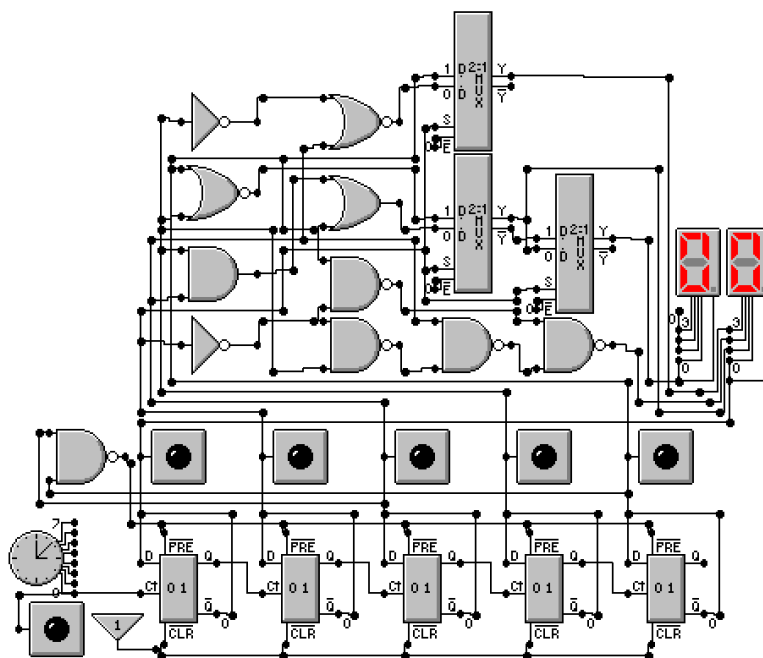
Dla licznika BCD synchronicznego zbudowanego według zadanego schematu, ostatnia wartość na wyjściach licznika, podczas przełączania się z 9 na 0, to wartość 0. Nie posiada on zatem stanu przejściowego.

3. Licznik mod 20 asynchroniczny

x_{4n}	x_{3n}	x_{2n}	x_{1n}	x_{0n}	x_{4n+1}	x_{3n+1}	x_{2n+1}	x_{1n+1}	x_{0n+1}
0	0	0	0	0	0	0	0	0	1
0	0	0	0	1	0	0	0	1	0
0	0	0	1	0	0	0	0	1	1
0	0	0	1	1	0	0	1	0	0
0	0	1	0	0	0	0	1	0	1
0	0	1	0	1	0	0	1	1	0
0	0	1	1	0	0	0	1	1	1
0	0	1	1	1	0	1	0	0	0
0	1	0	0	0	0	1	0	0	1
0	1	0	0	1	0	1	0	1	0
0	1	0	1	0	0	1	0	1	1
0	1	0	1	1	0	1	1	0	0
0	1	1	0	0	0	1	1	0	1
0	1	1	0	1	0	1	1	1	0
0	1	1	1	0	0	1	1	1	1
0	1	1	1	1	1	0	0	0	0
1	0	0	0	0	1	0	0	0	1
1	0	0	0	1	1	0	0	1	0
1	0	0	1	0	1	0	0	1	1
1	0	0	1	1	0	0	0	0	0
1	0	1	0	0	x	x	x	x	x
1	0	1	0	1	x	x	x	x	x
1	0	1	1	0	x	x	x	x	x

1	0	1	1	1	x	x	x	x	x
1	1	0	0	0	x	x	x	x	x
1	1	0	0	1	x	x	x	x	x
1	1	0	1	0	x	x	x	x	x
1	1	0	1	1	x	x	x	x	x
1	1	1	0	0	x	x	x	x	x
1	1	1	0	1	x	x	x	x	x
1	1	1	1	0	x	x	x	x	x
1	1	1	1	1	x	x	x	x	x

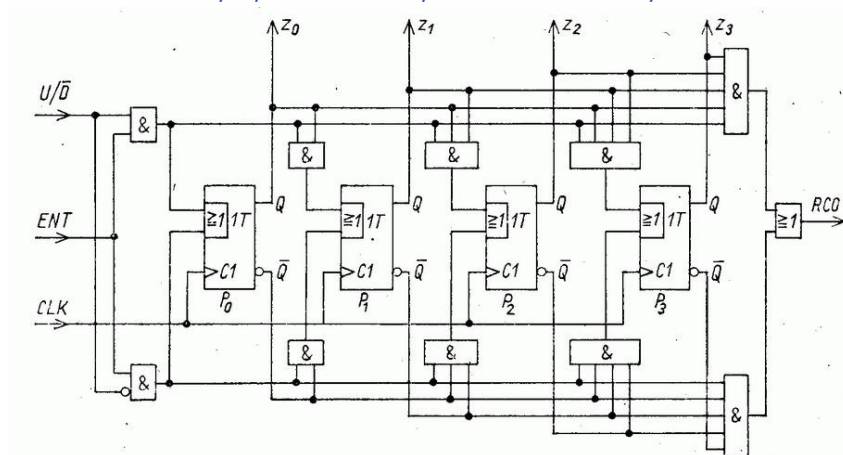
Tabela 1 - tabela przejść licznika mod 20 asynchronicznego



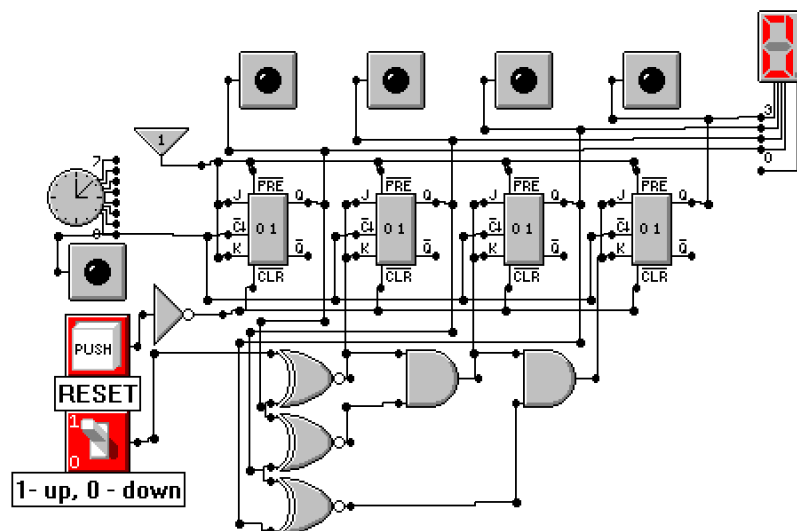
Rysunek 5 - schemat logiczny licznika mod 20 asynchronicznego z układem sterownika 5-bit → BCD dla dwóch wyświetlaczy 7-segmentowych

Do układu licznika mod 20 asynchronicznego został podpięty sterownik pozwalający na wyświetlanie liczb od 0 do 19 w formie dziesiętnej. Sterownik ten przyjmuje 5-bitową liczbę w formie binarnym i zwraca dwie liczby w formie BCD.

4. Licznik 4-bitowy synchroniczny dwukierunkowy



Rysunek 6 - zadany schemat logiczny licznika BCD synchronicznego



Rysunek 7 - schemat logiczny licznika 4-bitowego synchronicznego dwukierunkowego

Ze względu na brak wejścia **ENT** i wyjścia **RCO** w zbudowanym liczniku, układ mógł zostać w znaczący sposób uproszczony, a ilość bramek logicznych zmniejszona. Zamiast 10 bramek **AND** i 5 bramek **OR**, zostały użyte 3 bramki **XNOR** oraz 2 bramki **AND**.

Wnioski

Budowa liczników synchronicznych pozwala na wykluczenie stanów przejściowych występujących przy zmianie stanu. Wiąże się to jednak z tym, że ich budowa, w przeciwieństwie do liczników asynchronicznych, jest bardziej złożona.

Ze względu na szeregowość i powtarzalność budowy liczników dwójkowych, jest możliwość zwiększenia ich limitu, do którego mogą liczyć, poprzez proste dodanie kolejnego przerzutnika i podpięcia go w sposób analogiczny do poprzednich. Dodanie jednego przerzutnika do licznika 4-bitowego (liczącego od 0 do 15) pozwala na dwukrotne zwiększenie zakresu liczenia (od 0 do 31).

Poprzez dodanie odpowiednich bramek logicznych pomiędzy przerzutnikami, możliwe jest również skonfigurowanie takiego licznika tak, aby mógł liczyć zarówno do przodu, jak i do tyłu – w zależności od stanu dodatkowego wejścia, określającego kierunek liczenia.