## *一、选择题，每题2分，同学可以自己选择15题作答，共30分*

1. IEEE 754单精度浮点格式表述的数中，最小的规格化正数是( )（A）；

|  |  |  |  |
| --- | --- | --- | --- |
| A. | B. | C. | D. |

1. 若x=103，y=-25，则下列表达式进行补码运算会发生溢出的是( )（C）

|  |  |  |  |
| --- | --- | --- | --- |
| A. x+y | B.-x+y | C.x-y | D. -x-y |

3.将高级语言源程序转换为内存中可直接执行的机器级目标代码的过程是：( )（C）

1. 汇编、编译、链接、加载 B、编译、链接、汇编、加载
2. 编译、汇编、链接、加载 D、汇编、编译、加载、链接

4. 某存储器容量为32KB，按字节编址，地址4000H~5FFFH为ROM区，其余为RAM区。若采用4K×4位的DRAM芯片进行设计，则需要该芯片的数量是( )（C）

* 4 B、3 C、12 D、6

5. 下列选项中，属于外部中断的事件是( ) (B)。

Ⅰ．访存缺页 Ⅱ．定时器到时 Ⅲ.网络数据包到达 IV. 磁盘数据准备好 V.除数为0

VI. 单步调试  
A.仅有Ⅰ、Ⅱ B. 仅有Ⅱ、Ⅲ、IV C.仅有Ⅱ、Ⅲ D. 仅有Ⅱ、Ⅲ、V、VI

6.下列给出的指令系统特点中，有利于实现指令流水线的是 （ ）（C）

Ⅰ.指令格式规整且长度一致 Ⅱ．指令和数据按边界对齐存放

Ⅲ．只有Load/Store指令才能对操作数进行存储访问 IV. 采用存储器间接寻址

V. 指令Cache和数据Cache分离

A.仅Ⅰ、Ⅱ B.仅Ⅱ、Ⅲ C.仅Ⅰ、Ⅱ、Ⅲ、V D.Ⅰ、Ⅱ、Ⅲ、IV、V

7. 外部中断包括不可屏蔽（NMI）和可屏蔽中断，下列关于外部中断的叙述中，正确的是 ( )（D）

A．在多周期处理器中的任何一个时钟周期，CPU都要检查是否存在中断请求

B．一旦可屏蔽中断请求信号有效，CPU将立即响应

C．CPU处于关中断状态时，忽略包括NMI在内的所有中断请求

D．可通过中断屏蔽字改变可屏蔽中断的处理优先级

8.考虑以下 C 语言代码：（不动）执行下列程序段后,si的值是（ ） A

unsigned short usi = 65535;

short si = usi;

A.-1 B.-32767 C.-32768 D.-65535

9.某指令功能为 R[r2]←R[r1] + M[R[r0]]，其两个源操作数分别采用寄存器、寄存器间接寻址方式。对于下列给定部件，该指令在取数及执行过程中需要用到的是（ ）C

I．通用寄存器组（GPRs） II．算术逻辑单元（ALU）

III．存储器（Memory） IV．指令译码器（ID） V. 立即数扩展器（Extender）

VI. 访存地址暂存器（MAR） VII. PC寄存器

A.仅 I、II B.仅 I、II、III、VII C.仅 I、II、III、VI D.仅 I、III、IV

10.假定计算机 M1 和 M2，主频分别为 1.5GHz 和 1.2 GHz。在 M1 和 M2 上编译、运行某基准程序 P，编译的机器指令条数分别为10000条和8000条，运行的平均 CPI 分别为 2 和 1，则程序 P 在 M1 和 M2 上运行时间的比值是 （ ）D

A.0.5 B.3.125 C.2.5 D.2.0

11.某计算机主存空间为4GB，指令和数据均保存在该主存中，字长为 32 位，按字节编址，采用 32 位字长指令字格式。若指令按字边界对齐存放，则程序计数器（PC）、指令寄存器（IR）、主存地址寄存器（MAR）的位数至少分别是（ ） B

A.30、30、30 B.30、32、32 C.30、32、30 D.32、32、30

12.由4 个“1”和 4 个“0”组成的 8 位二进制补码，能表示的最小整数（ ）（A）

A.-121 B.-15 C.-16 D.-61

13.程序P在机器M上的执行时间是20秒，编译优化后，P执行的指令数减少到原来的70%，而CPI增加到原来的1.2倍，则P在M上的执行时间是（ ）（A）

A.16.8s B.14s C.11.8s D.8.4s

14. 对于典型的MIPS五级流水线处理器，如果将指令和数据放在同一个存储器中，则会直接导致（ ）A

A、结构冒险 B、数据冒险 C、控制冒险

15. 对于典型的MIPS五级流水线处理器（不转发，指令存储器和数据存储器分开），下面这段代码中，存在哪些冒险（ ）B、

lw $1, 40($6)

beq $2, $1, Label;

add $6, $6, $2

add $6, $6, $1

Label: add $2, $6, $6

A、结构冒险和数据冒险 B、数据冒险和控制冒险 C、控制冒险和结构冒险

16.若某计算机最复杂指令的执行需要完成 5 个子功能，分别由功能部件 A～E 实现，各功能部件所需时间分别为 20ps、50ps、40ps、90ps 和 40ps，采用流水线方式执行指令，流水段寄存器延时为30ps，则 CPU 时钟周期至少为多少？假定流水过程中无任何阻塞，即理想流水线，则流水线方式相对于单周期方式的加速比是多少？（ ）（D）

A.80ps，4 B.120ps，3 C.90ps，3 D.120ps，2

1. 在存储器分层体系结构中，存储器从快到慢的排列顺序是（ ）（C）

|  |  |
| --- | --- |
| A. 寄存器-主存-cache-硬盘 | B. 寄存器-硬盘-cache-主存 |
| C. 寄存器- cache -主存-硬盘 | D. 寄存器- cache -硬盘-主存 |

18. 下列关于TLB 和 cache的叙述中，错误的是（ ） C

A.命中率都与程序局部性有关 B.缺失后都需要去访问主存

C.命中判定和缺失处理都由软件实现 D.都由SRAM存储器组成

19. 假定DRAM芯片中存储阵列的行数为r、列数为c，对于一个8K×8位的DRAM芯片，按字节寻址，为保证其地址引脚数最少，并尽量减少刷新开销，则r、c的取值分别是（ ）（B）

A.8192、1  B.64、128  C.128、64 D.4、2048

20. 某存储器容量为32KB，按字节编址，地址4000H~5FFFH为ROM区，其余为RAM区。若采用4K×4位的DRAM芯片进行设计，则需要该芯片的数量是（ ）（C）

A、4 B、3 C、12 D、6

21.下面关于Cache的说法错误的是 （ ）（A）

A、CPU在访问Cache时，Cache接收到的地址是逻辑地址，而非物理地址

B、在相同容量的Cache下，直接相联的命中率比组相联稍低

C、较小的L1 Cache有利于降低缓存命中时间

D、采用指令Cache与数据Cache分离可以减少流水线资源冲突

22. 对于典型的MIPS五级流水线处理器（不转发），下面这段代码中，哪条指令会遇到控制冒险？ （ ）A

instruction 1: add $1, $2, $3

instruction 2: sw $2, 0($1)

instruction 3: beq $1, $2,lable//假设($1)不等于 ($2)

instruction 4: lw $1, 4($2)

instruction 5: j lable

instruction 6: add $1, $2,4

lable: instruction 7: add $2, $2, $1

A、instruction 2和instruction 4 B、instruction 4

C、instruction 3和instruction 5 D、instruction 5

23.下列存储器中， 工作期间需要刷新的是（ ）（B）

A. SRAM B. DRAM C. ROM D. FLASH

24、给定MIPS machine 2KiB单级直接映射，写直达法，cache块大小为512B. 内存有 1MiB 的物理存储空间. 则其缓存的Tag, Index, 和 Offset 位数T：I：O为下列哪项（ ） C

**A、9：2：8 B、8：7：9 C、9：2：9 D、 7：3：7**

25、如24题中，计算这个缓存每行有多少位?**（ ）B**

|  |  |  |  |
| --- | --- | --- | --- |
| A. 2104 | B.4106 | C. 4107 | D. 4105 |

26、 虚拟地址空间4GB， 物理内存地址空间16 MB，页大小4KB,物理页号(PPN)，页内偏移(Offset)位数下面哪个是正确的（ ）A

A、12, 12 B、 18, 14 C、 20,12 D、 20, 10 E、 18, 16

27. 26题中，如果某程序指令数一共8K条（字），那么它的页表需要多少项？（ ） A

A、8 B、4 C、16 D、 12 E、 2

28. 某存储系统中，内存容量16MB，cache容量为4KB，cache块（block）大小4字，即16B,cache假设采用2-way组相联方式，则cache的T：I（set）：O为多少？（）C

|  |  |  |  |
| --- | --- | --- | --- |
| A. 11:7:4 | B. 12:7:4 | C.13:7:4 | D. 13:7:2 |