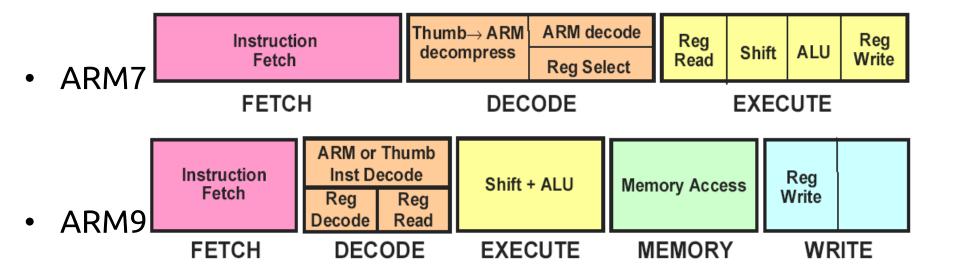
# Protočne arhitekture procesora

# Primjeri unaprjeđenja protočnih struktura ARM-a

# Primjeri protočnih arhitektura ARM-a

- S obzirom da čitanje/pisanje podataka u memoriju predstavlja čestu naredbu, strukturni hazard kod ARM7 znatno smanjuje efikasnost protočne strukture
- Zbog povećanja efikasnosti kod arhitekture ARM9 uvodi se:
  - Harvardska arhitektura memorijskog pristupa
  - razina izvođenja razdvaja se u 3 nove protočne razine



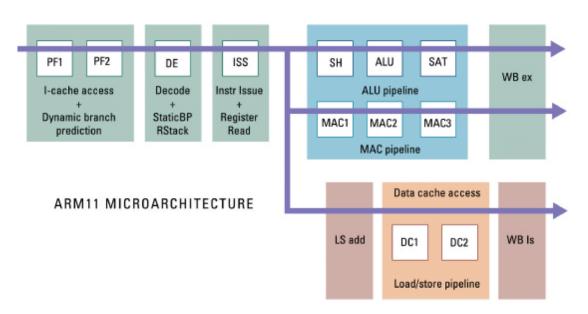
## Protočne arhitekture: ARM7 i ARM9

- ARCHITECTURE AND APPLICATION RESEARCH CENTER
- Na sličan način kao ranije mogu se analizirati i druge situacije koje dovode do podatkovnog hazarda
- U sljedećoj tablici dana je kratka usporedba efikasnosti izvođenja kritičnih naredaba kod arhitektura ARM7 i ARM9:

Naredba	ARM7	ARM9
	Periodi izvođenja	Periodi izvođenja + [mogući dodatni periodi zbog podatkovnog hazarda]
LDR	3	1 + [0 ili 1]
LDRH, LDRB, LDRSH, LDRSB	3	1 + [0 do 2] (mogući dodatni periodi: 1 zbog pod. hazarda, 1 zbog potrebe za rotacijom podatka)
STR, STRB, STRH	2	1

- Ubrzanja ARM9 u odnosu na ARM7:
  - frekvencija: ubrzanje 1.8 2.2 puta (manja kompleksnost razina)
  - broj perioda potrebnih programu: smanjenje za otprilike 30%
  - gornja dva faktora kumulativno doprinose ubrzanju arhitekture ARM9

HPC ARCHITECTURE

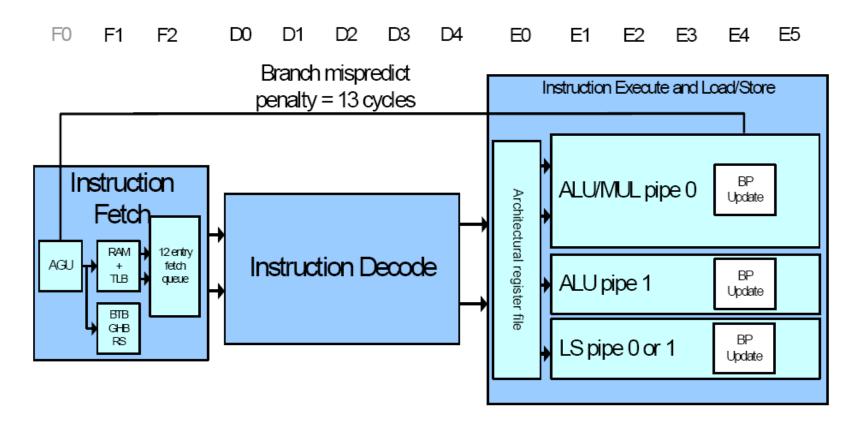


- Protočna struktura sa 8 razina
- Na razinama 1 i 2 obavlja se dinamičko predviđanje grananja
- Na razini 3 obavlja se statičko predviđanje
- ARM tvrdi da je točnost predviđanja 85%!
- DODATNO: Paralelizam Integer, MAC i LoadStore protočnih struktura

HEC ARCHITECTURE

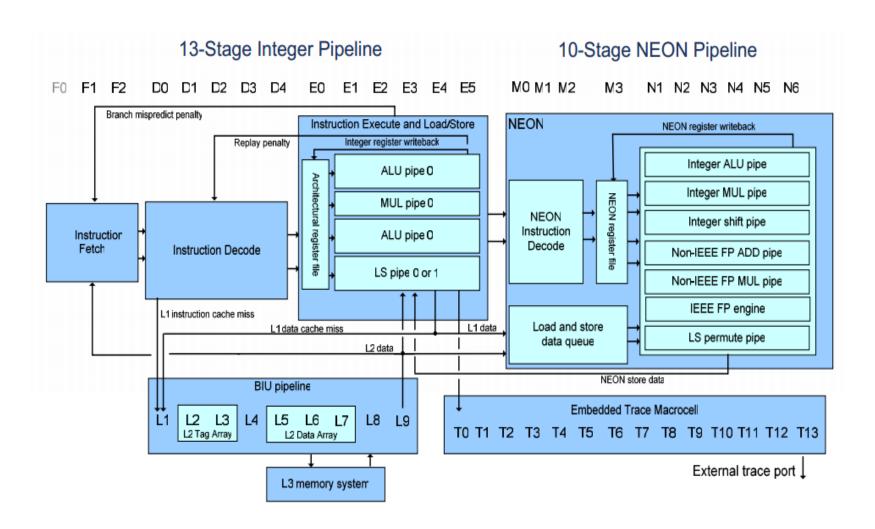
#### ARM Cortex-A8 Microarchitecture

Protočna struktura od 13 razina



HEC ARCHITECTURE

### ARM Cortex-A8 Microarchitecture + NEON



- AR1R
- Na primjeru prethodnih arhitektura može se vidjeti novo načelo:
  - Paralelizam izvođenja naredaba koje ne koriste iste resurse
  - Mogućnost izvođenja više naredaba u isto vrijeme
  - Veoma bitna arhitektura memorijskog sustava te podrška za predviđanje grananja
- Kod nekih arhitektura se dijelovi protočne strukture multipliciraju
  - Može se postići da se NEKOLIKO naredaba šalje na izvođenje u jednom trenutku čime se ostvaruje da procesor izvodi VIŠE OD JEDNE naredbe po vremenskom periodu
  - Takve arhitekture koriste načela više-dretvene obrade (multi threaded processing)
  - (npr. Intel: hyperthreading)

# Protočne arhitekture drugih procesora

F

TC Nxt IP

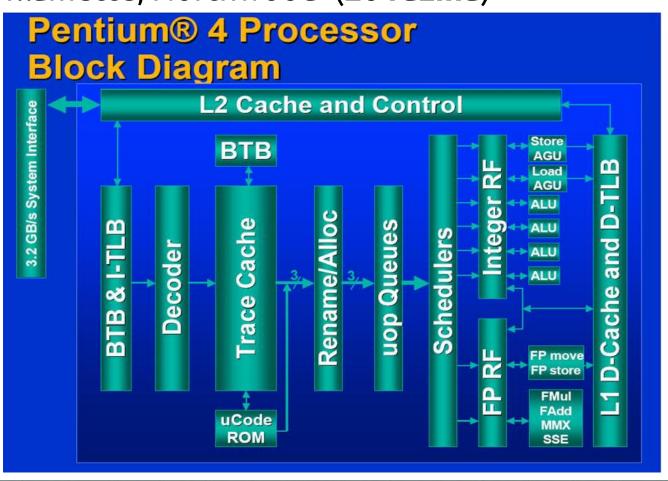
TC Fetch

P4 Willamette, Northwood (20 razina)

6

Rename

Drive Alloc



Sch

Que

Sch

Sch

20

19

18

15

RF

Disp Disp

16

RF

Ex

Malo povijesti: Intel Prescott P4

F

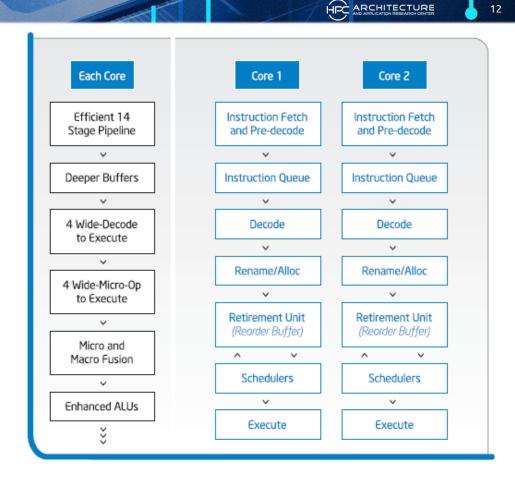
- Protočna struktura proširena na 31 !!! razinu
- Procesor je doživio neslavnu sudbinu zbog brojnih problema sa zagrijavanjem te je na kraju ova arhitektura odbačena
- Arhitektura protočne strukture nije javno objavljena...

# Malo povijesti: Intel Core Microarchitecture

 Nastavak razvoja krenuo je u sasvim drugom smjeru tako da nova arhitektura Intelovih procesora nazvana Intel Core Microarchitecture ima 14 razina

民

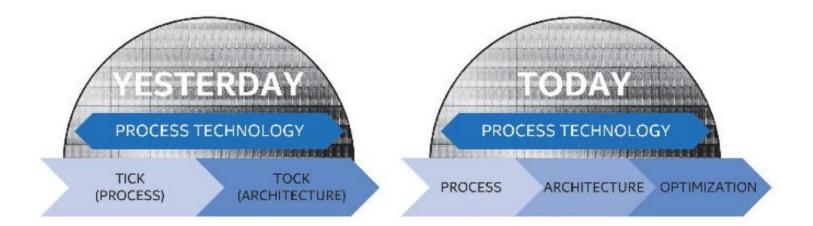
 Svaka jezgra može paralelno obraditi 4 naredbe (tako npr. procesor s 4 jezgre može obraditi u isto vrijeme 16 naredaba)



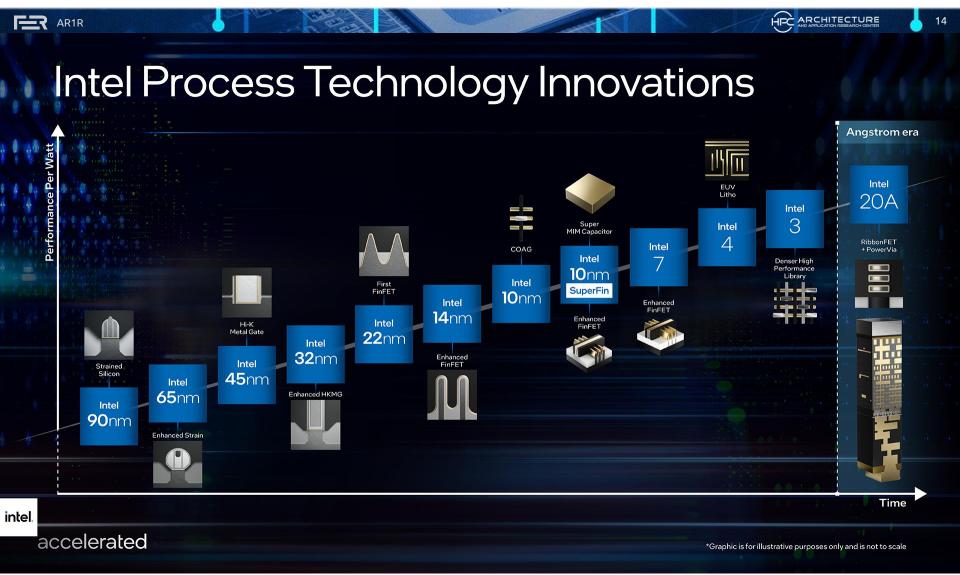
# Procesi unaprjeđenja

• Intel:

- Prije: Tick-Tock (službeno odbačen)
- Novi model: Process-Architecture-Optimization



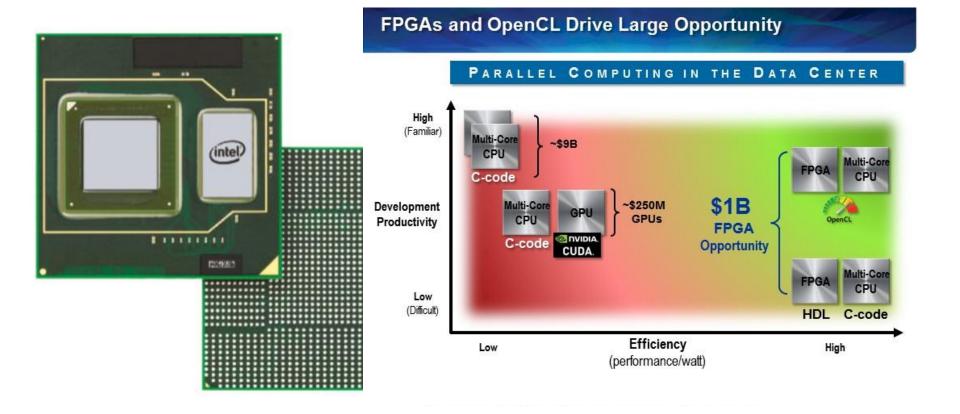
# Razvoj procesa



F



 Intel Completes \$16.7 Billion Buy of Altera (December 28, 2015)



- AMD to Acquire Xilinx for \$35 billion, Creating the Industry's High Performance Computing Leader | AMD (Oct 27, 2020)
- AMD-Xilinx Acquisition Now Expected to Close in Q1 of 2022 (Dec 30,2021)





- NVIDIA to Acquire Arm for \$40 Billion, Creating World's Premier Computing Company for the Age of AI (September 13, 2020)
- Nvidia's \$40 billion Arm acquisition is now 'highly unlikely' to go through (Dec 3, 2021)





# DETALJI u posebnom predavanju...







https://www.european-processor-initiative.eu/