

数字电路与数字逻辑实验

-实验1:七段数码管显示实验

计算机组成原理课程群



陈刚

副教授，无人系统研究所
数据科学与计算机学院
中山大学



<https://www.usilab.cn/team/chengang/>



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

School of Data and Computer Science

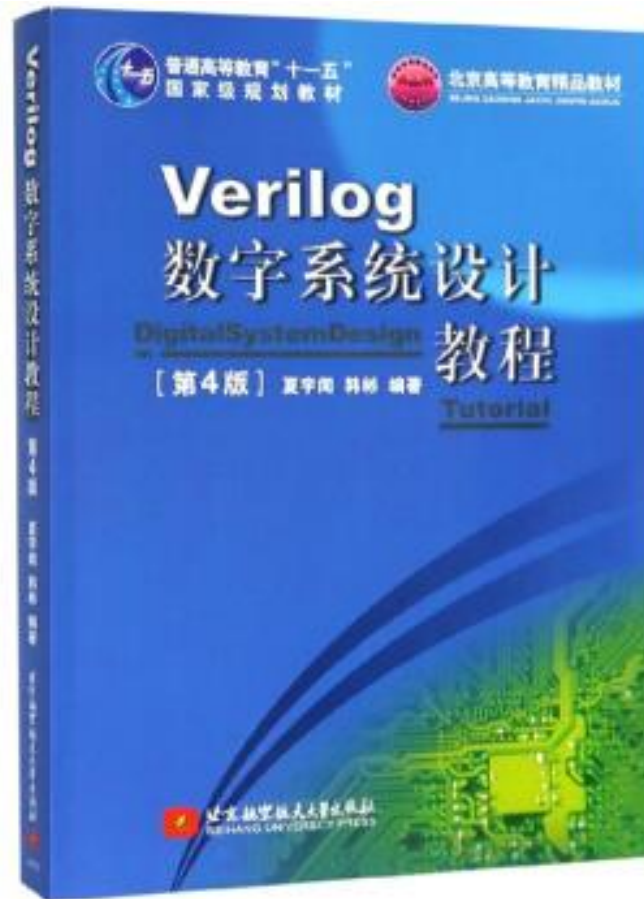
实验目的

- 熟悉使用Xilinx vivado软件
 - 熟悉流程
 - 仿真和程序下载
- 开发板的基本使用
- 自学硬件描述Verilog

计算机组成原理课程群



Verilog自学教材



实验内容1

- 利用开发板 4 个 7 段数码管依次显示数字“1234”和“4321”，通过判断拨键开关 SW0 的状态进行选择数码管是顺序显示数字还是逆序显示数字。亦可使用按键开关控制模式转换。
- 如：当 SW0=1 时显示“1234”；
当 SW0=0 时显示“4321”；
- 要求：
 - 1.给出行为仿真波形
 - 2.开发板演示

实验内容

```
1 `timescale 1ns / 1ps
2
3 module display_7seg(
4     input CLK,
5     input SW_in,
6     output reg[10:0] display_out
7 );
8     reg [19:0] count=0;
9     reg [2:0] sel=0;
10    parameter TMS=50000;
11    always@(posedge CLK)
12    begin
13        if(SW_in==0)
14        begin
15            case(sel)
16            0:display_out<=11'b0111_1001111;
17            1:display_out<=11'b0111_0010010;
18            2:display_out<=11'b1101_0000110;
19            3:display_out<=11'b1110_1001100;
20            default:display_out<=11'b1111_1111111;
21            endcase
22        end
23        else
24        begin
25            case(sel)
26            0:display_out<=11'b1110_1001111;
27            1:display_out<=11'b1101_0010010;
28            2:display_out<=11'b0111_0000110;
29            3:display_out<=11'b0111_1001100;
30            default:display_out<=11'b1111_1111111;
31            endcase
32        end
33    end
34    always@(posedge CLK)
35    begin
36        count<=count+1;
37        if(count==TMS)
38        begin
39            count<=0;
40            sel<=sel+1;
41            if(sel==4)
42                sel<=0;
43        end
44    end
45 endmodule
46
```

```
`timescale 1ns / 1ps

module display_7seg_tb;
    reg CLK;
    reg SW_in;
    wire [10:0] display_out;

    display_7seg uu(
        .CLK(CLK),
        .SW_in(SW_in),
        .display_out(display_out)
    );

    initial begin
        CLK=0;
        SW_in=0;
        #100;
        end

    parameter PERIOD=20;

    always begin
        CLK=0;
        #(PERIOD/2);
        CLK=1;
        #(PERIOD/2);
        end

    always begin
        SW_in=0;
        #(PERIOD*500);
        SW_in=1;
        #(PERIOD*500);
        end

endmodule
```

实验内容2

- 利用开发板16个LED，实现一个跑马灯，通过判断拨键开关 SW0 的状态进行选择LED是左到右依次亮起，还是从右到左依次亮起。
- 如：当 SW0=1 时显示“左到右依次亮起”；
当 SW0=0 时显示“从右到左依次亮起”；
- 1.给出行为仿真波形
2.开发板演示
3. 自己写代码，建立工程

Questions?

Comments?

Discussion?