

数字电路与数字逻辑实验

-实验10:六十进制计数器的实现

陈刚

副教授，无人系统研究所
数据科学与计算机学院
中山大学



<https://www.usilab.cn/team/chengang/>



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

School of Data and Computer Science

实验目的

- 熟悉中规模集成电路计数器的功能及应用
- 设计符合进制要求的计数器电路
- 掌握器件
 - 74LS73 （J-K触发器）
 - 74LS48 （七段数码管编码器）
 - 74LS20 （4输入与门）
 - 74LS160 （10进制计数器）
- 对应教材实验4.7

任意N进制的计数器

- 在前面的实验中，学习了小规模计数器的设计方法，使用触发器来设计计数器
- 当计数器的模数N比较大的时候，状态位数会比较多，如果还是用触发器来设计的话，电路会比较复杂
- 可以利用M进制集成计数器来构成任意N进制计数器
- 器件：74LS160–10进制计数器
- 如果 $N > 10$ ，可以采用多片74160串联计数（后面会讲）

任意N进制的计数器

- 74160是一个10进制计数器

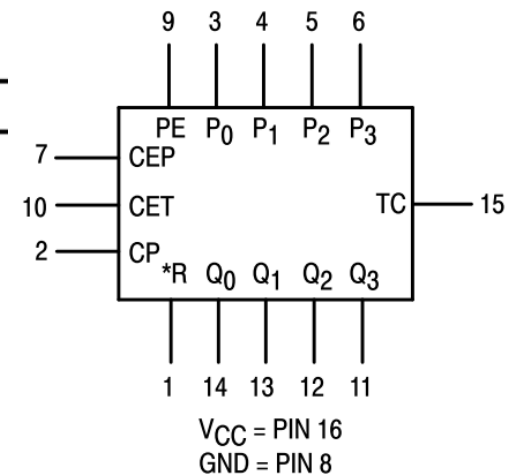
- PIN NAMES**

\overline{PE}	Parallel Enable (Active LOW) Input
P_0-P_3	Parallel Inputs
CEP	Count Enable Parallel Input
CET	Count Enable Trickle Input
\overline{CP}	Clock (Active HIGH Going Edge) Input
\overline{MR}	Master Reset (Active LOW) Input
SR	Synchronous Reset (Active LOW) Input
Q_0-Q_3	Parallel Outputs (Note b)
TC	Terminal Count Output (Note b)

LOADING (Note a)

HIGH	LOW
1.0 U.L.	0.5 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
1.0 U.L.	0.5 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
1.0 U.L.	0.5 U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.

LOGIC SYMBOL



*MR for LS160A and LS161A
*SR for LS162A and LS163A

MODE SELECT TABLE

*SR	PE	CET	CEP	Action on the Rising Clock Edge (\uparrow)
L	X	X	X	RESET (Clear)
H	L	X	X	LOAD ($P_n \rightarrow Q_n$)
H	H	H	H	COUNT (Increment)
H	H	L	X	NO CHANGE (Hold)
H	H	X	L	NO CHANGE (Hold)

LOGIC EQUATIONS

Count Enable = $\overline{CEP} \cdot \overline{CET} \cdot \overline{PE}$

TC for LS160A & LS162A = $\overline{CET} \cdot Q_0 \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot Q_3$

TC for LS161A & LS163A = $\overline{CET} \cdot Q_0 \cdot Q_1 \cdot \overline{Q_2} \cdot Q_3$

Preset = $\overline{PE} \cdot \overline{CP}$ + (rising clock edge)

Reset = \overline{MR} (LS160A & LS161A)

Reset = $SR \cdot \overline{CP}$ + (rising clock edge)
(LS162A & LS163A)

*For the LS162A and LS163A only.

H = HIGH Voltage Level

L = LOW Voltage Level

X = Don't Care

任意N进制的计数器

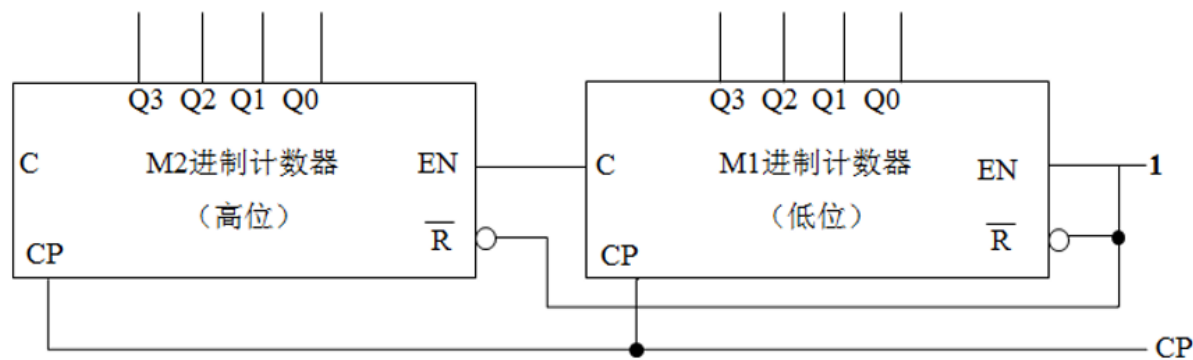


图 4-33 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 1

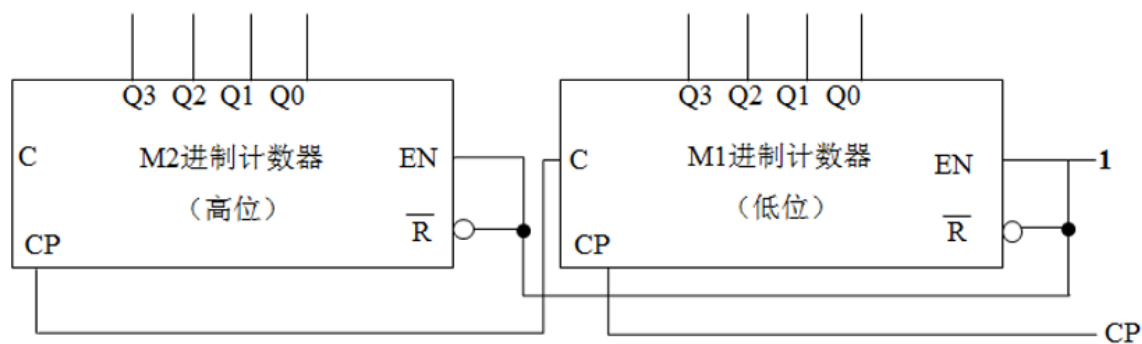


图 4-34 M 进制集成计数器级联成 M' 进制计数器 ($M' > N$) 电路 2

同步与异步清零/置数

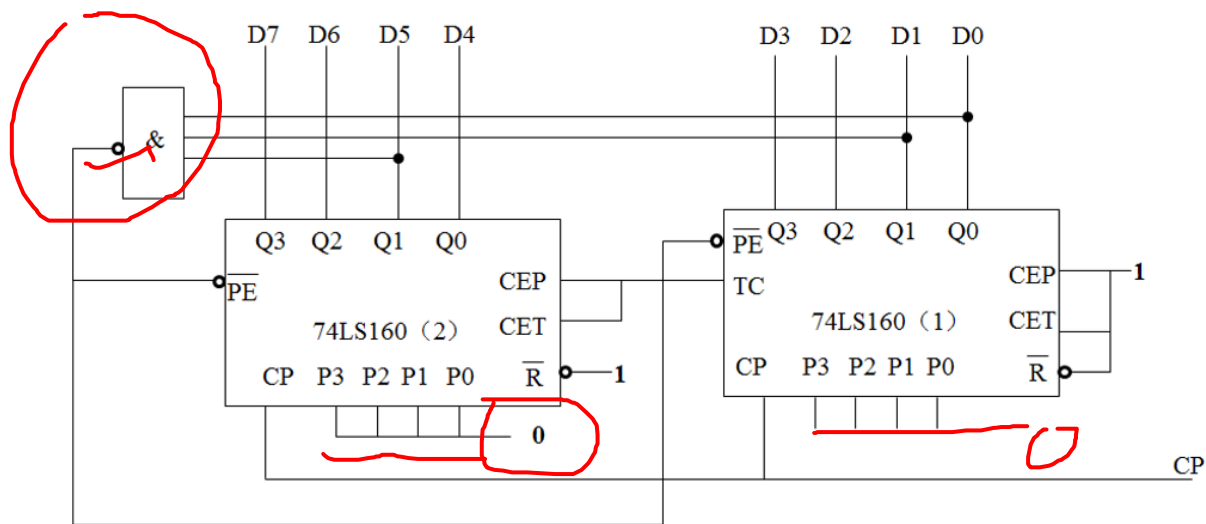
- 计数器有不同清零和置位
- 清零和置数均采用异步方式的有 74LS197。
- 清零采用异步方式、置数采用同步方式的有74LS160。
- 同步清零端或置数端置零或置数。
 - 写出状态 $S_{\{N-1\}}$ 的二进制代码
- 异步清零端或置数端置零或置数
 - 写出状态 $S_{\{N\}}$ 的二进制代码
- 写出清零端或置数控制端信号的逻辑表达式。

同步与异步清零

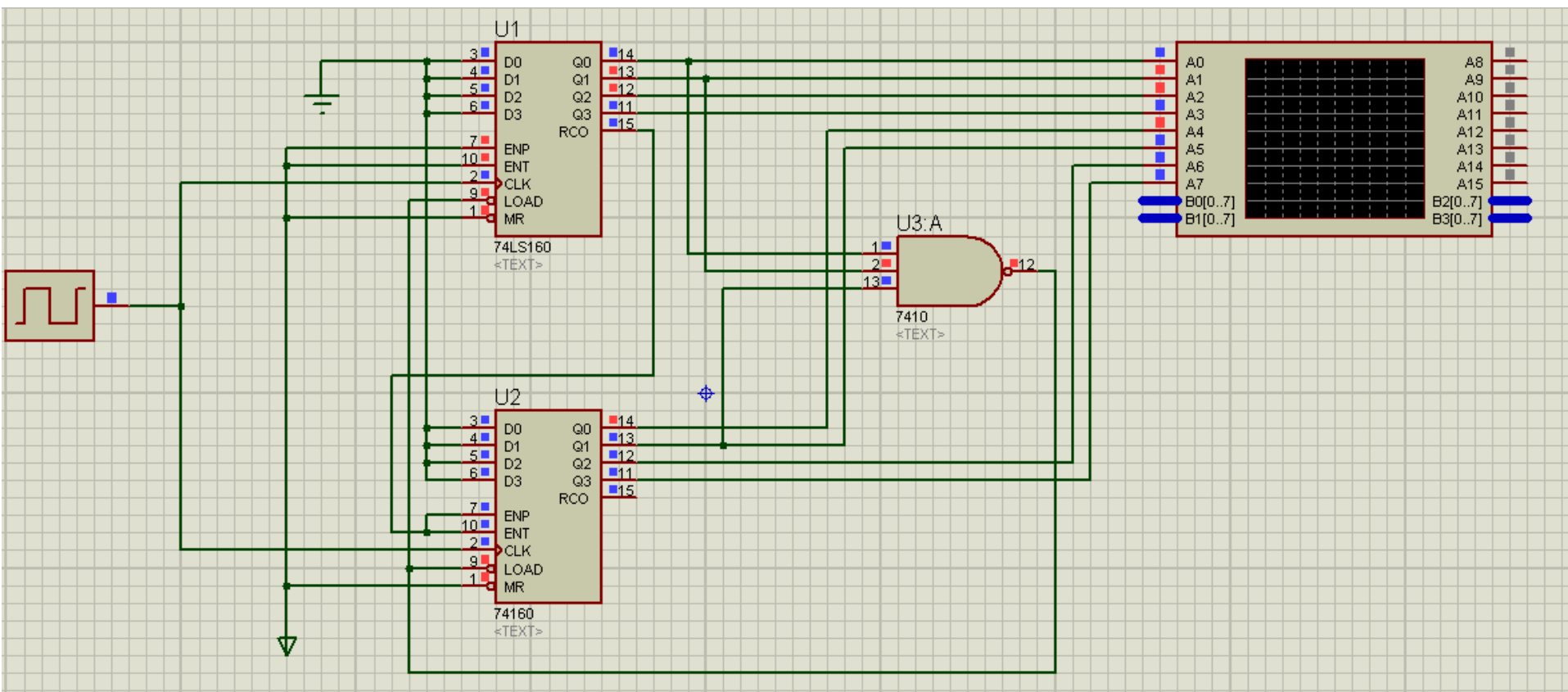
- 计数器有不同清零和置位
- 清零和置数均采用异步方式的有 74LS197。
- 清零采用异步方式、置数采用同步方式的有74LS160。
- 同步清零端或置数端置零或置数。
 - 状态 $S_{\{N-1\}}$ 的二进制代码
- 异步清零端或置数端置零或置数
 - 状态 $S_{\{N\}}$ 的二进制代码
- 写出清零端或置数控制端信号的逻辑表达式。

24进制的计数器

- 用两片74160实现24进制计数器
- 利用个位的进位信号TC作为使能端进行计数
- 利用74160的同步置数方式实现二十四进制计数器
- 清零：Q7Q6Q5Q4-Q3Q2Q1Q0=0010-0011（23，高4位是2，低四位3）



24进制的计数器



实验内容

- 使用两片集成计数器 74LS160 搭建一个六十进制计数器（六进制为高位、十进制为低位）
 - 将 10KHz 的连续脉冲作为六十进制计数器的计数脉冲，使用示波器数字通道观察并记录 CP（计数脉冲）和两片 74LS160 的计数输出Q3、Q2、Q1、Q0。
 - 将1Hz的连续脉冲作为六十进制计数器的计数脉冲，使用七段数码管显示计数结果（注意高低位显示顺序）。

Questions?

Comments?

Discussion?