

数字电路与数字逻辑实验

-实验2:组合逻辑电路分析与设计2

陈刚

副教授，无人系统研究所
数据科学与计算机学院
中山大学



<https://www.usilab.cn/team/chengang/>



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

School of Data and Computer Science

实验目的

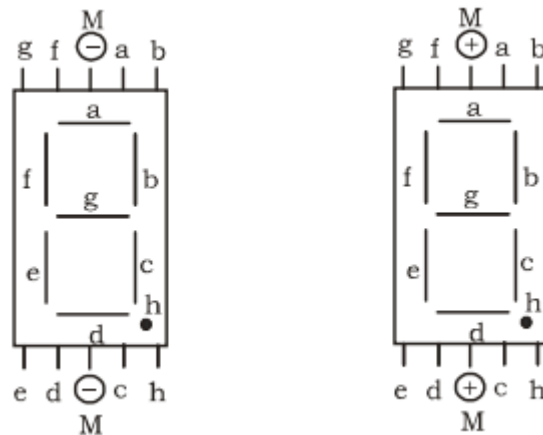
- 组合逻辑电路的分析方法
- 组合逻辑电路的设计方法
- 熟悉译码器特点

实验基础知识

- 组合逻辑和时序逻辑
 - 组合逻辑电路中不带存储单元，输出与历史无关
 - 例如：Verilog中有阻塞赋值和非阻塞赋值来描述两种逻辑
- 组合逻辑电路设计与分析方法
 - 根据给定事件的因果系列出真值表
 - 由真值表写函数式
 - 对函数式进行化简或变换（卡诺图化简）
 - 画出逻辑图，并测试逻辑功能

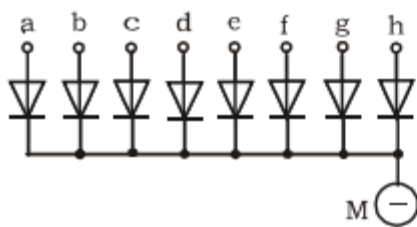
组合逻辑:译码器

- 译码器：它能将输入的二进制代码译成对应的高低电平信号或者另一种代码。
- 用于驱动七段数码管的 8421码七段译码驱动器就是一种译码器。 例如：显示0，需要点亮 a, b, c, d, e, f, 熄灭g。

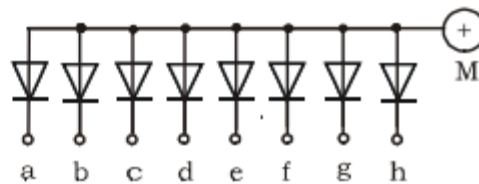


组合逻辑:译码器

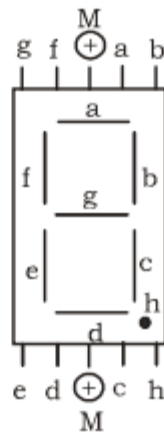
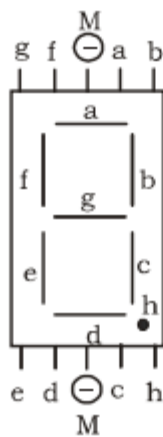
- 共阴极和共阳极，二极管需要串接电阻！



(a) 共阴连接 (“1”电平驱动)



(b) 共阳连接 (“0”电平驱动)

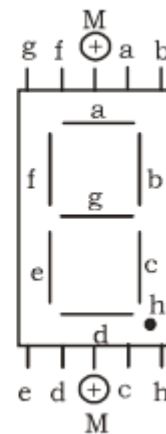
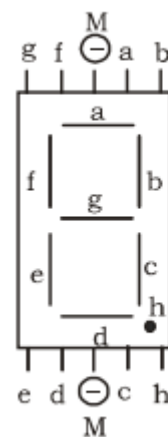


(c) 符号及引脚功能

组合逻辑:译码器

表 3-3 二进制码七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

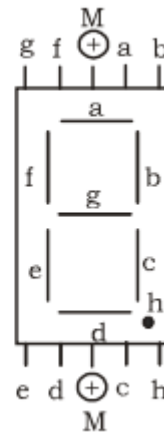
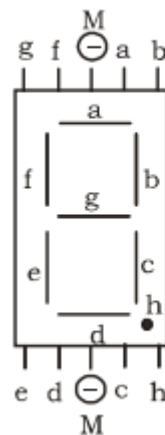


组合逻辑表达式?
列出所有的 '1'
然后或起来

组合逻辑:译码器

表 3-3 二进制七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|----------|----------|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |



组合逻辑表达式?
列出所有的 '1'
然后或起来

组合逻辑:译码器

表 3-3 二进制七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第一步：真值表->标准表达式

$$\begin{aligned}
 a = & \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_3 \bar{Q}_2 Q_1 \bar{Q}_0 + \\
 & \bar{Q}_3 \bar{Q}_2 Q_1 Q_0 + \bar{Q}_3 Q_2 \bar{Q}_1 Q_0 + \\
 & \bar{Q}_3 Q_2 Q_1 \bar{Q}_0 + \bar{Q}_3 Q_2 Q_1 Q_0 + \\
 & Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_2 \bar{Q}_1 Q_0 + \\
 & Q_3 \bar{Q}_2 Q_1 \bar{Q}_0 + Q_3 \bar{Q}_2 Q_1 Q_0 + \\
 & Q_3 Q_2 \bar{Q}_1 \bar{Q}_0 + Q_3 Q_2 \bar{Q}_1 Q_0
 \end{aligned}$$

组合逻辑:译码器

表 3-3 二进制码七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第二步：逻辑化简

如何进行化简？

卡诺图化简？

如何构建卡诺图？



卡诺图

- 卡诺图是小方格阵列，每一个小方格对应的输入变量的二进制数
- 通过合并值为1的小方格可以达到化简的目的
- 排列方式
 - 相邻的小方格：仅有1个输入变量不同
 - 不相邻的小方格：有1个以上的输入变量不同

输入

| AB \ C | 0 | 1 |
|--------|-------------------------|-------------------|
| 00 | $\bar{A}\bar{B}\bar{C}$ | $\bar{A}\bar{B}C$ |
| 01 | $\bar{A}B\bar{C}$ | $\bar{A}BC$ |
| 11 | $AB\bar{C}$ | ABC |
| 10 | $A\bar{B}\bar{C}$ | $A\bar{B}C$ |

| AB \ CD | 00 | 01 | 11 | 10 |
|---------|----|----|----|----|
| 00 | | | | |
| 01 | | | | |
| 11 | | | | |
| 10 | | | | |

组合逻辑:译码器

表 3-3 二进制码七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第二步：逻辑化简

(1) 构建卡诺图：填入1项（最小项）

| $Q_3 \backslash Q_2 \backslash Q_1 \backslash Q_0$ | 00 | 01 | 11 | 10 |
|--|----|----|----|----|
| 00 | 1 | | 1 | 1 |
| 01 | | 1 | | 1 |
| 11 | 1 | 1 | 1 | 1 |
| 10 | 1 | 1 | 1 | 1 |

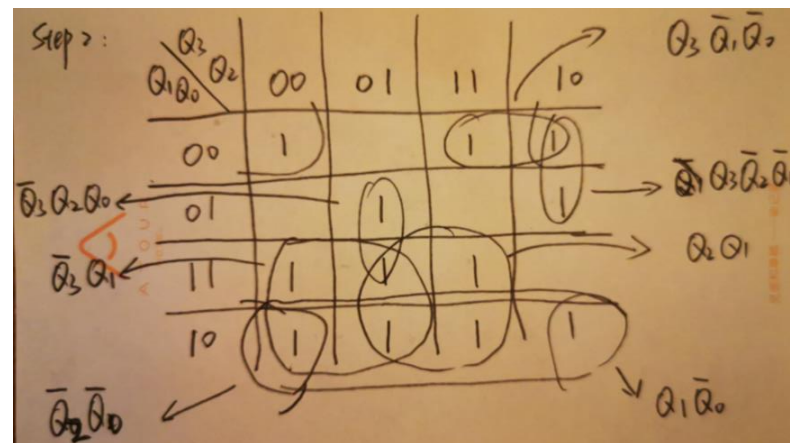
组合逻辑:译码器

表 3-3 二进制七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第二步：逻辑化简

- (1) 构建卡诺图：填入1项（最小项）
- (2) 合并相邻项



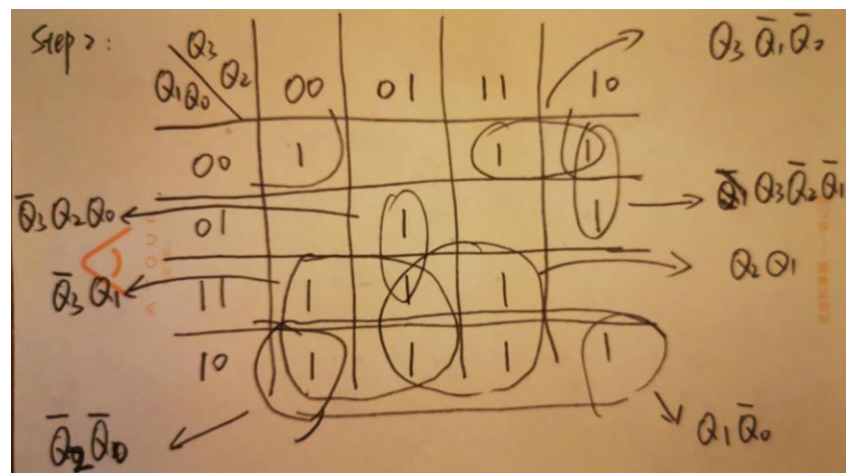
组合逻辑:译码器

表 3-3 二进制七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第二步：逻辑化简

- (1) 构建卡诺图：填入1项（最小项）
- (2) 合并相邻项



(3) 最后化简结果

$$a = Q_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0 + Q_2 Q_1 + \bar{Q}_3 Q_1 + \bar{Q}_3 Q_2 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_1 + Q_3 \bar{Q}_1 \bar{Q}_0$$

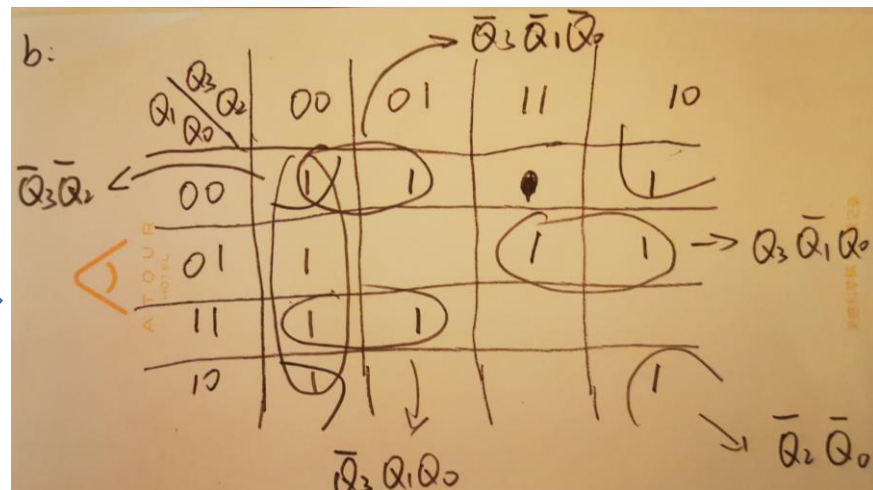
组合逻辑:译码器

表 3-3 二进制七段数码管译码器的真值表

| 输入 | | | | 输出 | | | | | | | 七段数码管 显示内容 |
|----|----|----|----|----|---|---|---|---|---|---|---------------|
| Q3 | Q2 | Q1 | Q0 | a | b | c | d | e | f | g | |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | "0" |
| 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | "1" |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | "2" |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 | "3" |
| 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | "4" |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | "5" |
| 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | "6" |
| 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | "7" |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | "8" |
| 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | "9" |
| 1 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | "A" |
| 1 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | "b" |
| 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 0 | "C" |
| 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | "d" |
| 1 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | "E" |
| 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | "F" |

第二步：逻辑化简

- (1) 构建卡诺图：填入1项（最小项）
- (2) 合并相邻项



- (3) 最后化简结果

实验内容1

- 设计实现输入、输出如实验原理中二进制码七段数码管译码器真值表的组合逻辑电路。 并将译码器电路的输出接共阴极七段数码管，仿真验证电路功能。
- 对代码转换电路进行动态测试。将 1Hz 的连续脉冲接入 74LS197 的CP0 端， 作为 74LS197 计数脉冲。将74LS197 的 Q3、 Q2、 Q1 和 Q0 连接到代码转换电路的输入端，作为 8421 码输入。用示波器数字通道观察并记录 CP、 Q3、 Q2、 Q1、 Q0 和 G3、 G2、 G1、 G0 的波形。注意电压波形图之间的相位关系。

实验内容2

- 观察：在 Proteus 环境下，对芯片74LS48（8421码七段数码管译码器，可驱动共阴极七段数码管）进行仿真测试，分析对比其译码显示功能和实验原理中所述二进制码七段数码管译码器。
- 1. 将74LS197的输出Q0-Q3接到芯片74LS48输入上，并设置74LS197的输入时钟为1Hz。记录并观察七段数码管的显示变化。
- 2. 将74LS197的输出Q0-Q3表示0-15的十进制数，尝试使用2个芯片74LS48分别显示十进制数的个位和十位（使用两个7段数码管分别显示个位和十位），例如：Q0-Q3=0001，2个数码管分别显示‘01’，Q0-Q3=1110，2个数码管分别显示‘14’，请设计编码电路完成上面功能的电路设计

常用逻辑门

- 与非门

- 7400：四2输入与非门
- 7410：三3输入与非门
- 7420：双4输入与非门
- 7430：单8输入与非门

- 或门

- 74LS32：四2输入或门（小功率肖特基版本）

- 与门

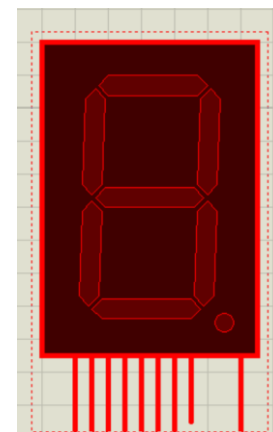
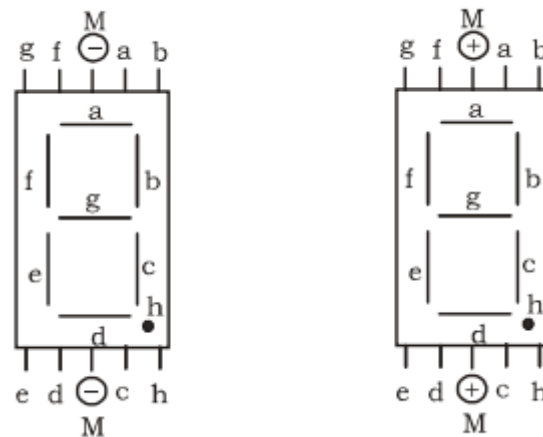
- 四2输入与门7408

- 非门

- 7404：六向反向器

- 共阴极数码管： 7SEG-MPX1-CC

- 从左到右依次是a b c d e f g h(点) 最右是接地，



实验建议

- 先把Q0-Q3输入到非门，得到Q0-Q3的非
- 然后在源信号Q0-Q3和非门输出信号进行组合，求各个与项信号
- 最后使用或门把所有与项用或门或起来

$$a = Q_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0 + Q_2 Q_1 + \bar{Q}_3 Q_1 + \bar{Q}_3 Q_2 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_1 + Q_3 \bar{Q}_1 \bar{Q}_0$$

实验报告

- 写出详细的设计过程。用 Proteus 软件画出电路图并仿真电路功能。
- 总结组合逻辑电路分析方法与设计过程(卡诺图)，以及本实验过程心得。

Questions?

Comments?

Discussion?