

实验报告

【实验内容】

1. 使用 74LS151 设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。S=0 加法，S=1 减法。分别进行静态测试和动态测试。

表 3-9 带控制端的半加半减器功能表

S	输入 1	输入 2	输出 Y	进/借位 C_n
0	A	B	A+B	进位
1	A	B	A-B	借位

2. 使用 74LS150 设计一个函数发生器。输入为 S₀、S₁、A、B，其中 S₀、S₁ 为功能选择口。

输入		输出
S ₁	S ₀	Y
0	0	A · B
0	1	A+B
1	0	A⊕B
1	1	\overline{A}

【实验原理】

74LS151（8 路数据选择器）和 74LS150（16 路数据选择器）可以从一组输入数据选出某一个信号输出，经常用于输入选择。可根据产生的最小项，同时产生或电路。相比于 3-8 译码器，电路更加完备，可以大大简化电路设计，但一个输出需要用两个数据选择器。

【实验设计与结果】

半加半减器的静态测试

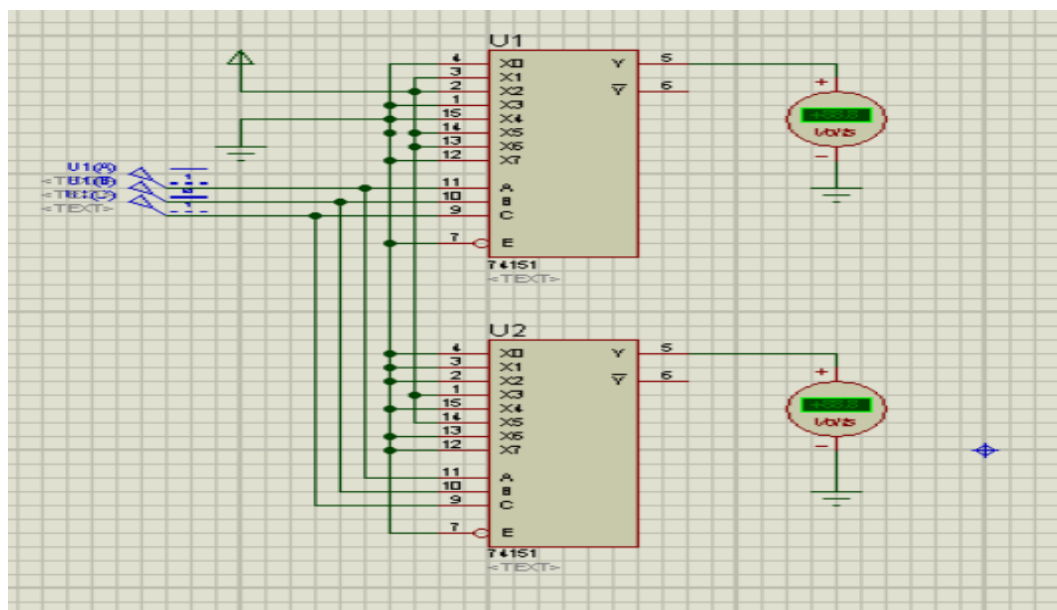
首先我们可以画出真值表

S	A	B	Y	Cn
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	1

发现 $Y = m_1 + m_2 + m_5 + m_6$

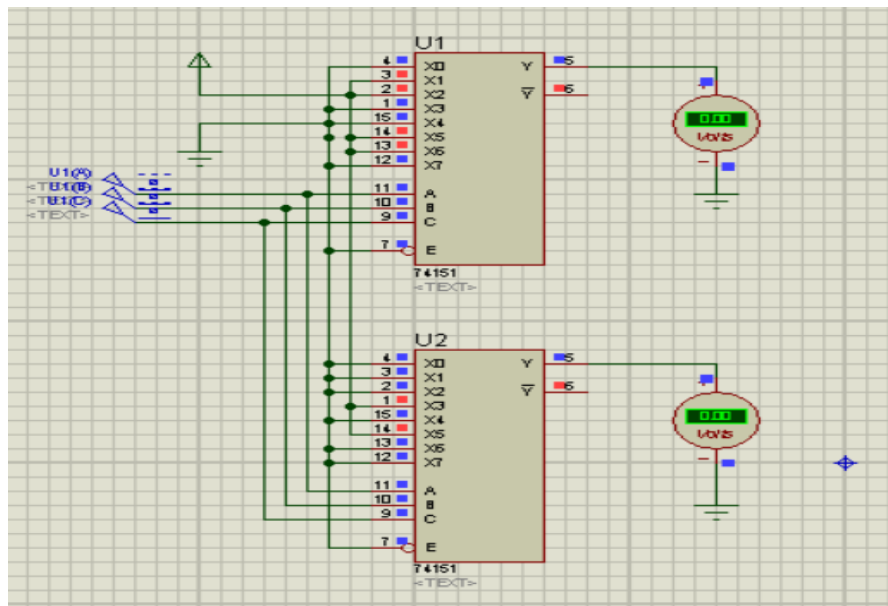
$C_n = m_3 + m_5$

可设计出如下电路

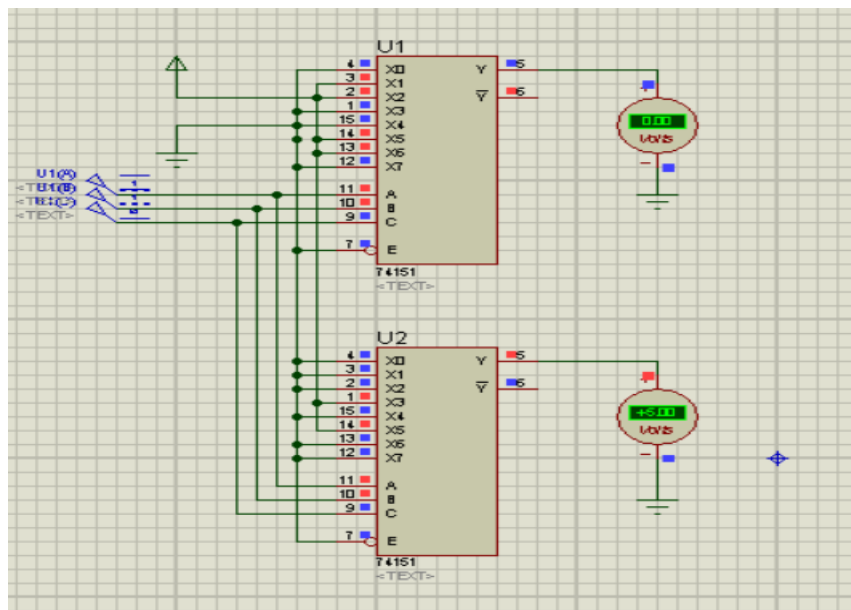


在上方的 74LS151 取 X1、X2、X5、X6 连高电平，X0、X3、X4、X7 接地；在下方的 74LS151 取 X3、X5 连高电平，X0、X1、X2、X4、X6、X7 接地。左边的三个激励源由上至下对应真值表 B、A、S，分别连接在两片 74LS151 的 A、B、C 接口。最后在两个 74LS151 的输出上接上电压表（上 Y 下 Cn）再接地，形成回路。

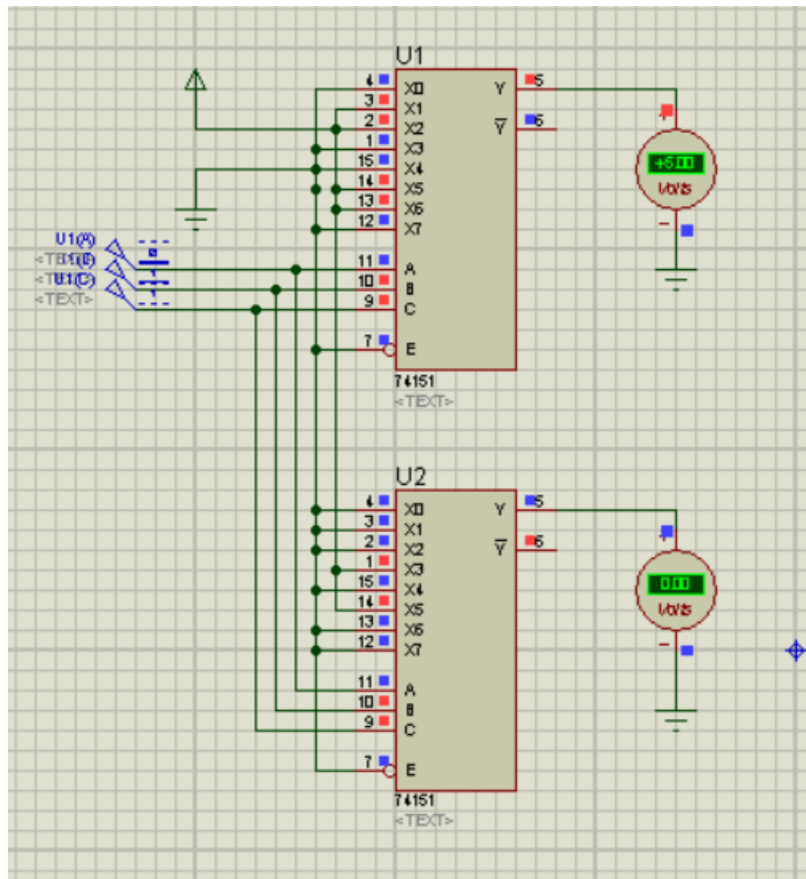
以下是静态测试（3 个样例）



000->00



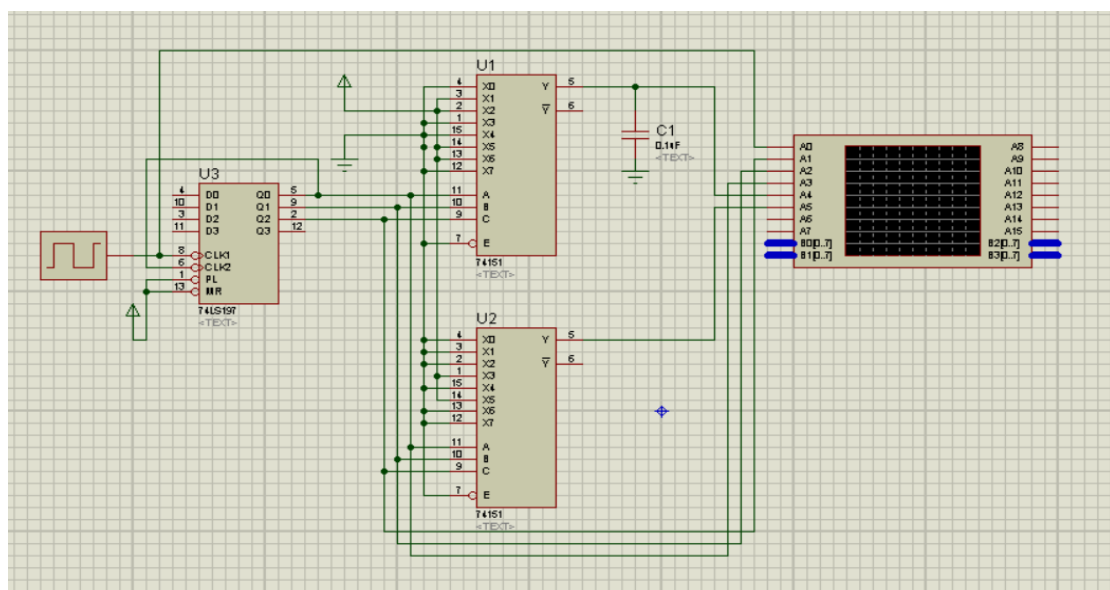
011->01



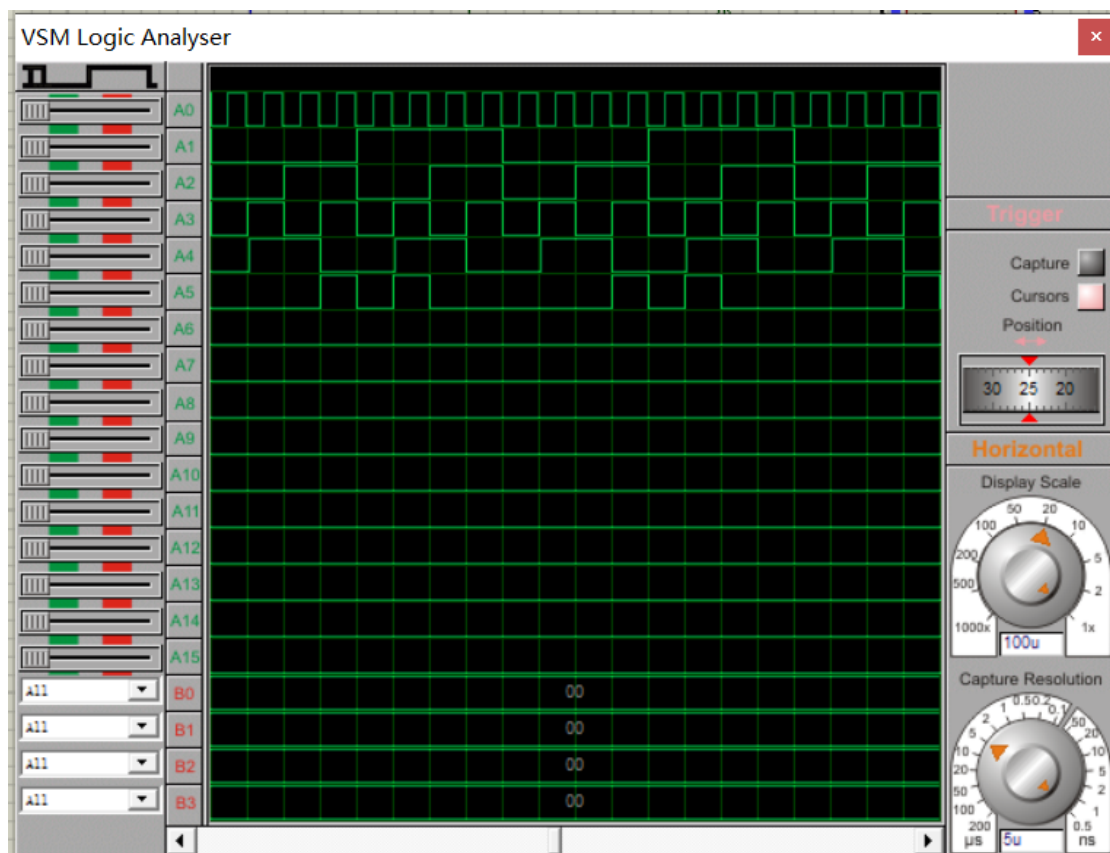
110->10

由结果可知电路设计正确

半加半减器的动态测试



我们保持对两片 74LS151 的 8 路数据不变, 即在上方的 74LS151 取 X1、X2、X5、X6 连高电平, X0、X3、X4、X7 接地; 在下方的 74LS151 取 X3、X5 连高电平, X0、X1、X2、X4、X6、X7 接地。将 74LS197 的 Q0、Q1、Q2 分别连入两片 74LS151 的 A、B、C 接口, 分别对应真值表的 B、A、S, 并将 CLOCK 调到 10kHz。然后将 CP (时钟)、S、A、B、Y、Cn 分别连到右边逻辑分析仪的 A0、A1、A2、A3、A4、A5 接口, 观察并记录波形。



实验中我发现 A4 (即 Y) 的波形产生了冒险现象, 所以我在 Y 的输出上并上了一个 0.1uF 的小电容, 即可解决问题。由上图观察可知, Y 经历 0110 的循环, Cn 经历 00010100 的循环, 且与前几个波形分别对应, 所以该电路设计正确。

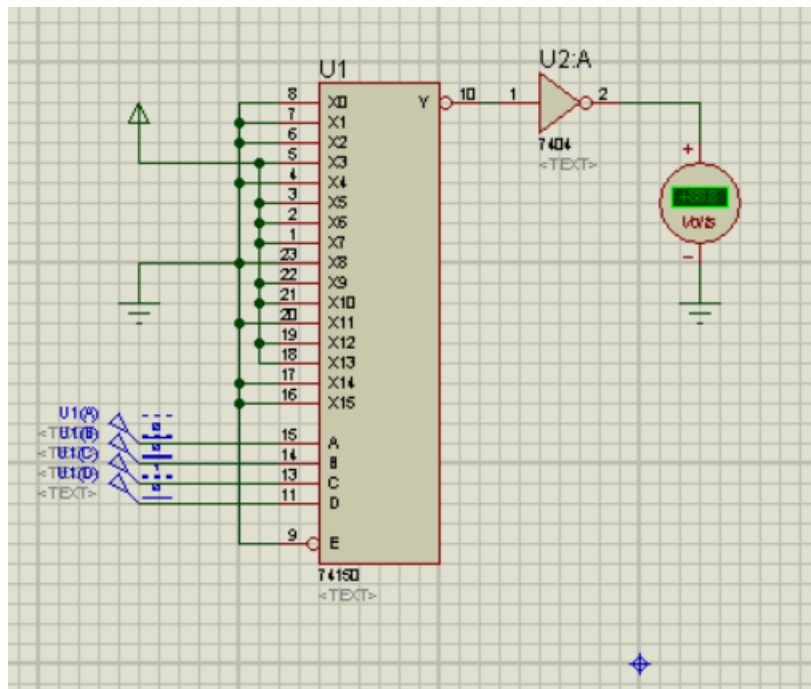
函数发生器的静态测试

首先我们画出真值表

	S_1	S_0	A	B	Y
$A \cdot B$	0	0	0	0	0
	0	0	0	1	0
	0	0	1	0	0
	0	0	1	1	1
$A + B$	0	1	0	0	0
	0	1	0	1	1
	0	1	1	0	1
	0	1	1	1	1
$A \oplus B$	1	0	0	0	0
	1	0	0	1	1
	1	0	1	0	1
	1	0	1	1	0
\overline{A}	1	1	0	0	1
	1	1	0	1	1
	1	1	1	0	0
	1	1	1	1	0

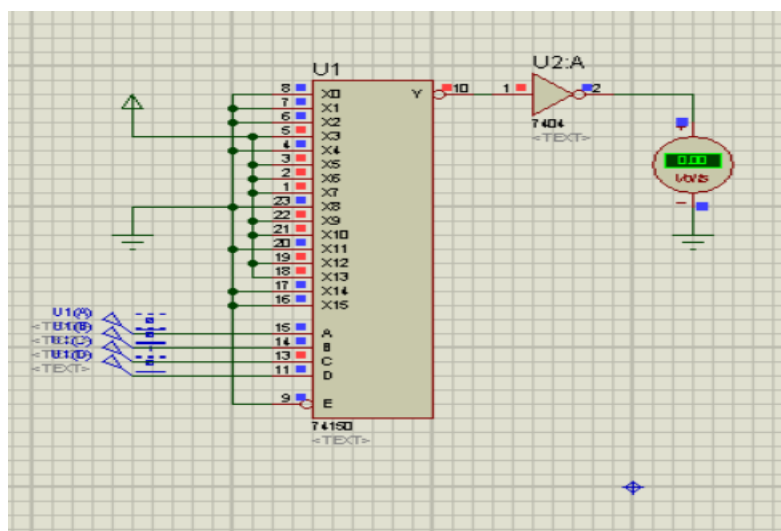
发现 $Y = m_3 + m_5 + m_6 + m_7 + m_9 + m_{10} + m_{12} + m_{13}$

可设计出如下电路：

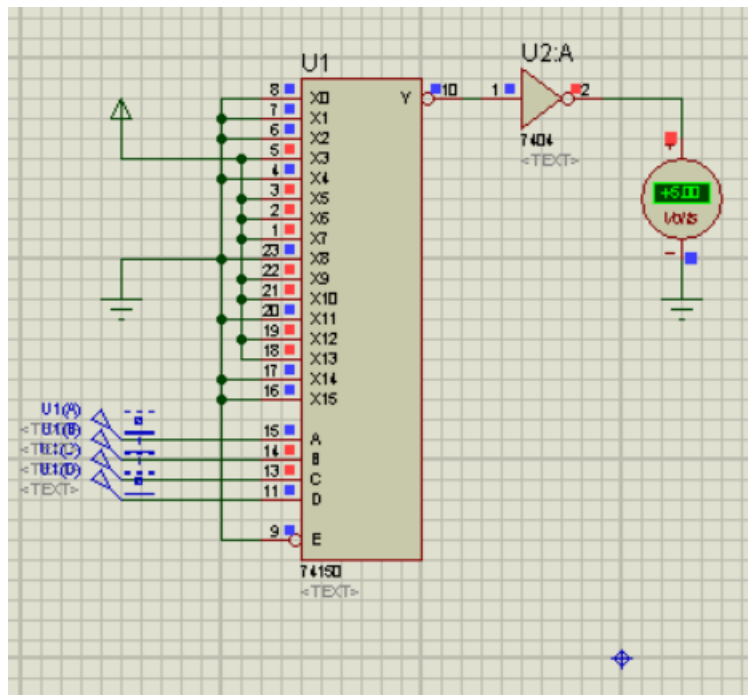


在 74LS150 芯片的 X3、X5、X6、X7、X9、X10、X12、X13 接高电平，X0、X1、X2、X4、X8、X11、X14、X15 接地。左边四个激励源分别接上 74LS150 芯片的 A、B、C、D，分别对应真值表的 B、A、S0、S1。最后在 74LS150 的输出上加 7404 反相器可得正确输出，再接上电压表接地形成回路。

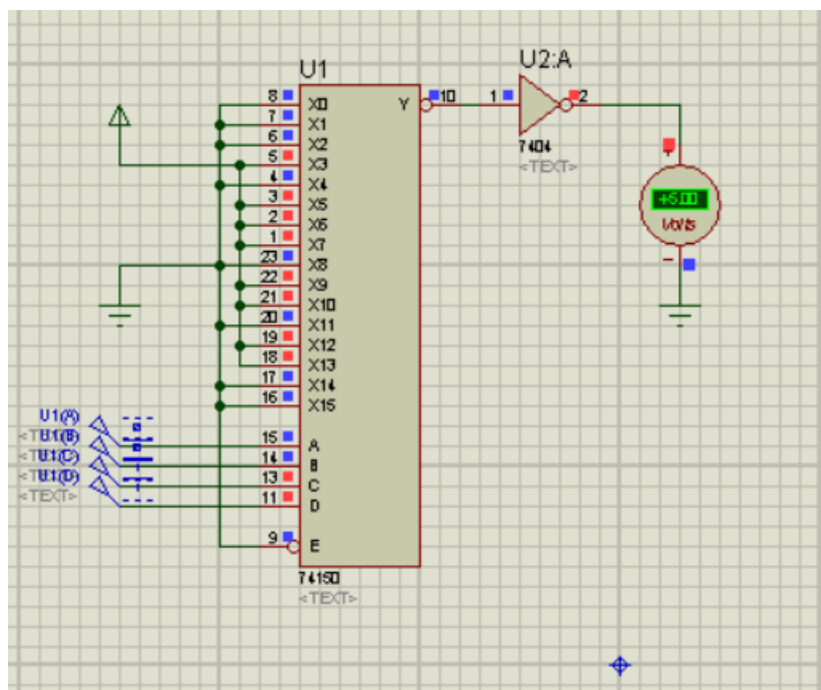
以下是静态测试（三个样例）：



0100->0 0 + 0 = 0



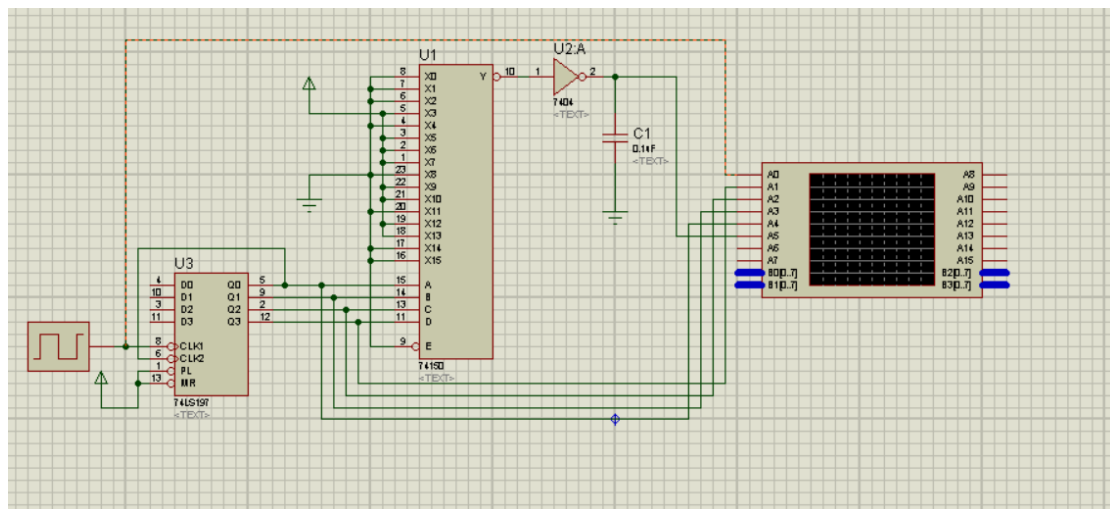
0110->1 $1 + 0 = 1$



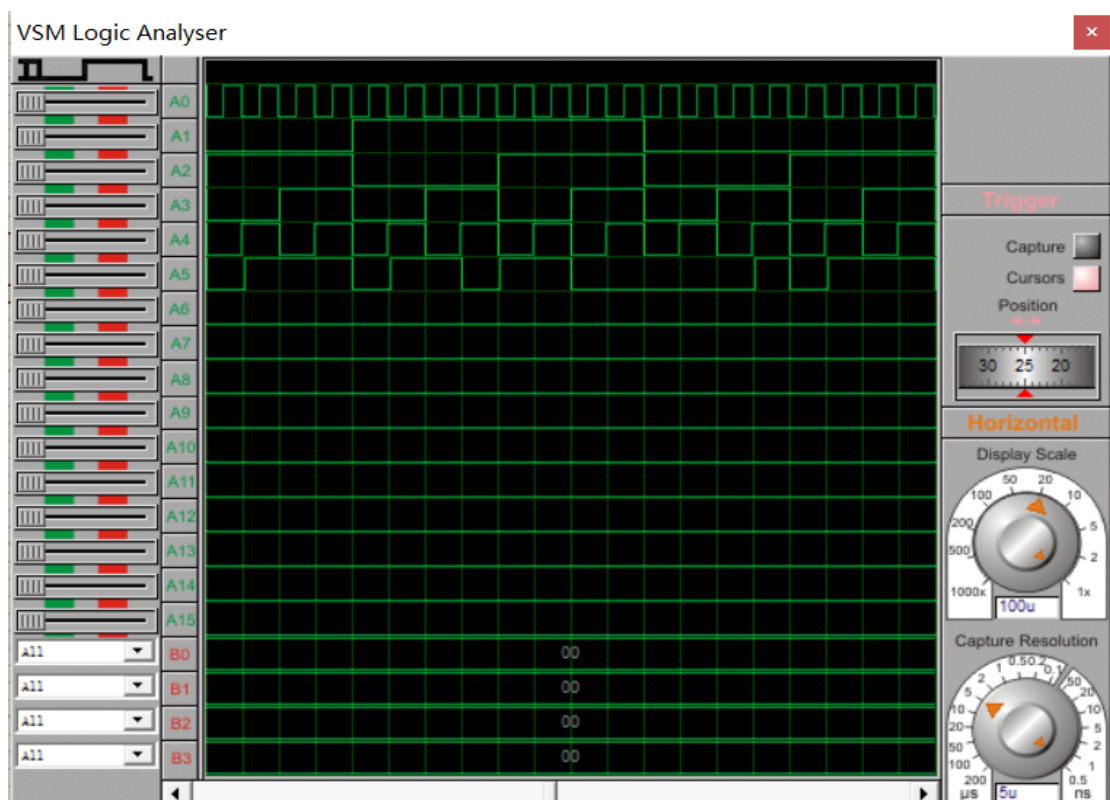
1100->1 0 取非是 1

由结果可知电路设计正确

函数发生器的动态测试



在 74LS150 芯片的 X3、X5、X6、X7、X9、X10、X12、X13 接高电平，X0、X1、X2、X4、X8、X11、X14、X15 接地。左边一个 74LS197 的 Q0、Q1、Q2、Q3 分别连到 74LS150 的 A、B、C、D 上，分别代表真值表上的 B、A、S0、S1。然后将 CP（时钟）、S1、S0、A、B、Y 分别连接到右边逻辑分析仪的 A0、A1、A2、A3、A4、A5 上，观察并记录波形。



实验中我发现 A5（即 Y）的波形产生了冒险现象，所以我在 Y 的输出上并上了一个 0.1uF 的小电容，即可解决问题。由上图观察可知，Y 经历 00010111101101100 的循环，且与另外几个波形分别对应，所以该电路设计正确。

【实验心得】

本次实验我学会了用 74LS151 芯片设计一个带控制端的半加半减器，也学会了用 74LS150 芯片设计一个函数发生器。对于实验中产生的冒险现象，我也知道了如何解决。一个组合逻辑电路设计通常需要先画出真值表，再通过真值表得出相应的表达式，最后即可设计出正确的电路。这次实验也相对比较简单，但完成时的喜悦与自豪感还是那么强烈。