

实验内容 1 报告

【实验内容】

设计实现输入、输出如实验原理中二进制码七段数码管译码器真值表的组合逻辑电路。并将译码器电路的输出接共阴极七段数码管，仿真验证电路功能。并用 1Hz 的 74LS197 对代码转换电路进行动态测试。

【实验原理】

译码器能将输入的二进制代码译成对应的高低电平信号或者另一种代码。用于驱动七段数码管的 8421 码七段译码驱动器就是一种译码器。七段数码管的七个晶体管的亮灭可由逻辑门电路控制，因此可设计电路来实现。

【实验设计】

表 3-3 二进制码七段数码管译码器的真值表

输入				输出							七段数码管 显示内容
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	"0"
0	0	0	1	0	1	1	0	0	0	0	"1"
0	0	1	0	1	1	0	1	1	0	1	"2"
0	0	1	1	1	1	1	1	0	0	1	"3"
0	1	0	0	0	1	1	0	0	1	1	"4"
0	1	0	1	1	0	1	1	0	1	1	"5"
0	1	1	0	1	0	1	1	1	1	1	"6"
0	1	1	1	1	1	1	0	0	0	0	"7"
1	0	0	0	1	1	1	1	1	1	1	"8"
1	0	0	1	1	1	1	1	0	1	1	"9"
1	0	1	0	1	1	1	0	1	1	1	"A"
1	0	1	1	0	0	1	1	1	1	1	"b"
1	1	0	0	1	0	0	1	1	1	0	"C"
1	1	0	1	0	1	1	1	1	0	1	"d"
1	1	1	0	1	0	0	1	1	1	1	"E"
1	1	1	1	1	0	0	0	1	1	1	"F"

通过真值表的分析，我们可以利用卡诺图来得出 abcdefg 各输出的最小项之和的化简结果。如下图：

a

$Q_3 Q_2$ $Q_1 Q_0$	00	01	11	10
00	1		1	1
01		1		1
11	1	1	1	
10	1	1	1	1

$$a = \overline{Q_2} \overline{Q_0} + Q_2 Q_1 + \overline{Q_3} Q_1 + \overline{Q_3} Q_2 Q_0 + Q_3 \overline{Q_2} \overline{Q_1} + Q_3 \overline{Q_1} \overline{Q_0}$$

b

$Q_3 Q_2$ $Q_1 Q_0$	00	01	11	10
00	1	1		1
01	1		1	1
11	1	1		
10	1			1

$$b = \overline{Q_3} \overline{Q_2} + \overline{Q_2} \overline{Q_0} + \overline{Q_3} \overline{Q_1} \overline{Q_0} + \overline{Q_3} Q_1 Q_0 + Q_3 \overline{Q_1} Q_0$$

c

$Q_3 Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	1	1		1
01	1	1	1	1
11	1	1		1
10		1		1

$$c = \bar{Q}_3 \bar{Q}_1 + \bar{Q}_3 Q_0 + \bar{Q}_3 Q_2 + \bar{Q}_1 Q_0 + Q_3 \bar{Q}_2$$

d

$Q_3 Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	1		1	1
01		1	1	1
11	1			1
10	1	1	1	

$$d = Q_3 \bar{Q}_1 + Q_2 \bar{Q}_1 Q_0 + Q_3 \bar{Q}_2 Q_0 + \bar{Q}_3 \bar{Q}_2 Q_1 + Q_2 Q_1 \bar{Q}_0 + \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0$$

e

$Q_3 Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	1		1	1
01			1	
11			1	1
10	1	1	1	1

$$e = \bar{Q}_2 \bar{Q}_0 + Q_1 \bar{Q}_0 + Q_3 Q_2 + Q_3 Q_1$$

f

$Q_3 Q_2 \backslash Q_1 Q_0$	00	01	11	10
00	1	1	1	1
01		1		1
11			1	1
10		1	1	1

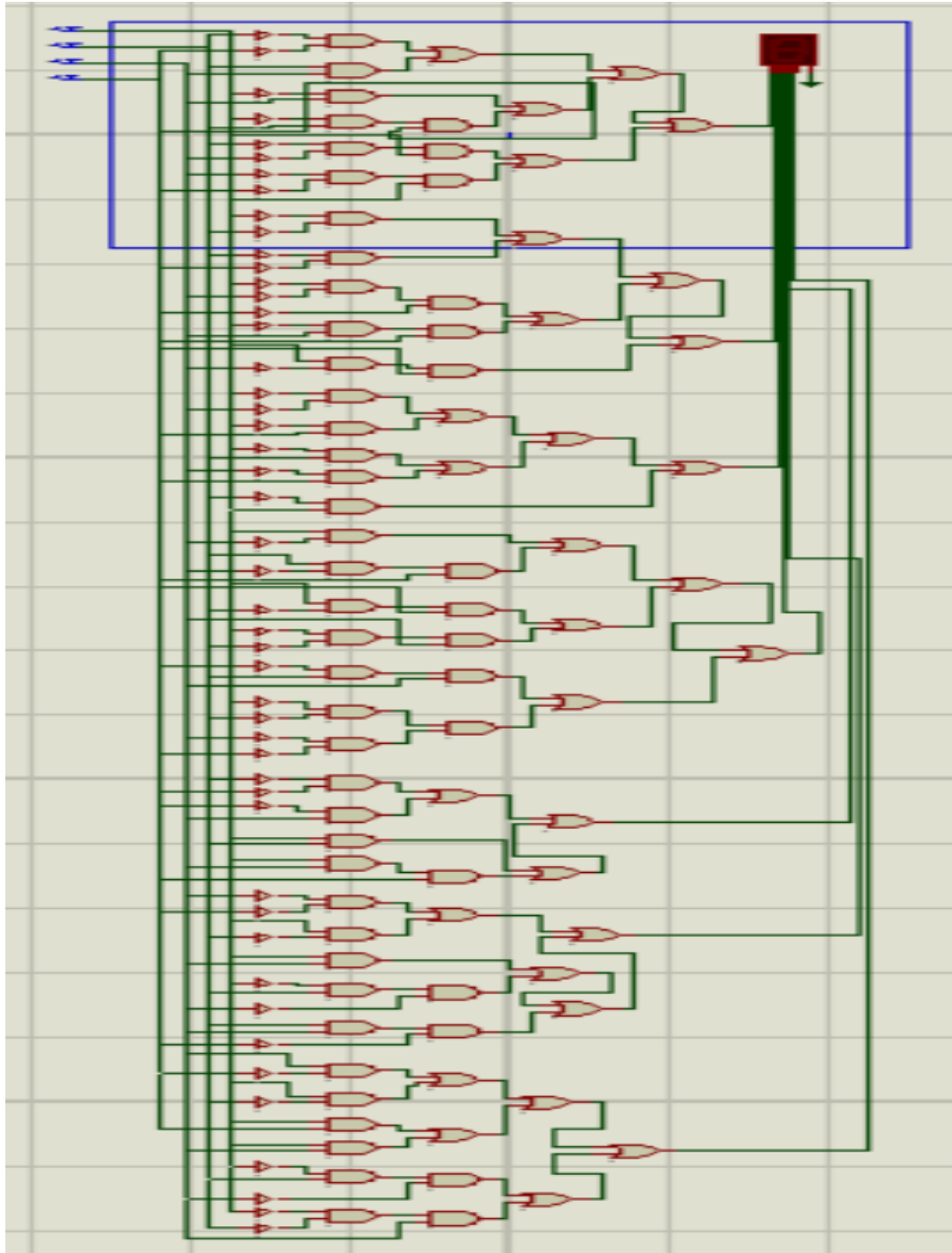
$$f = \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_2 + Q_3 Q_1 \\ + \bar{Q}_3 Q_2 \bar{Q}_1 + Q_2 \bar{Q}_0$$

g

$Q_3 Q_2 \backslash Q_1 Q_0$	00	01	11	10
00		1		1
01		1	1	1
11	1		1	1
10	1	1	1	1

$$g = Q_1 \bar{Q}_0 + Q_3 \bar{Q}_2 + Q_3 Q_0 + Q_3 Q_1 \\ + \bar{Q}_2 Q_1$$

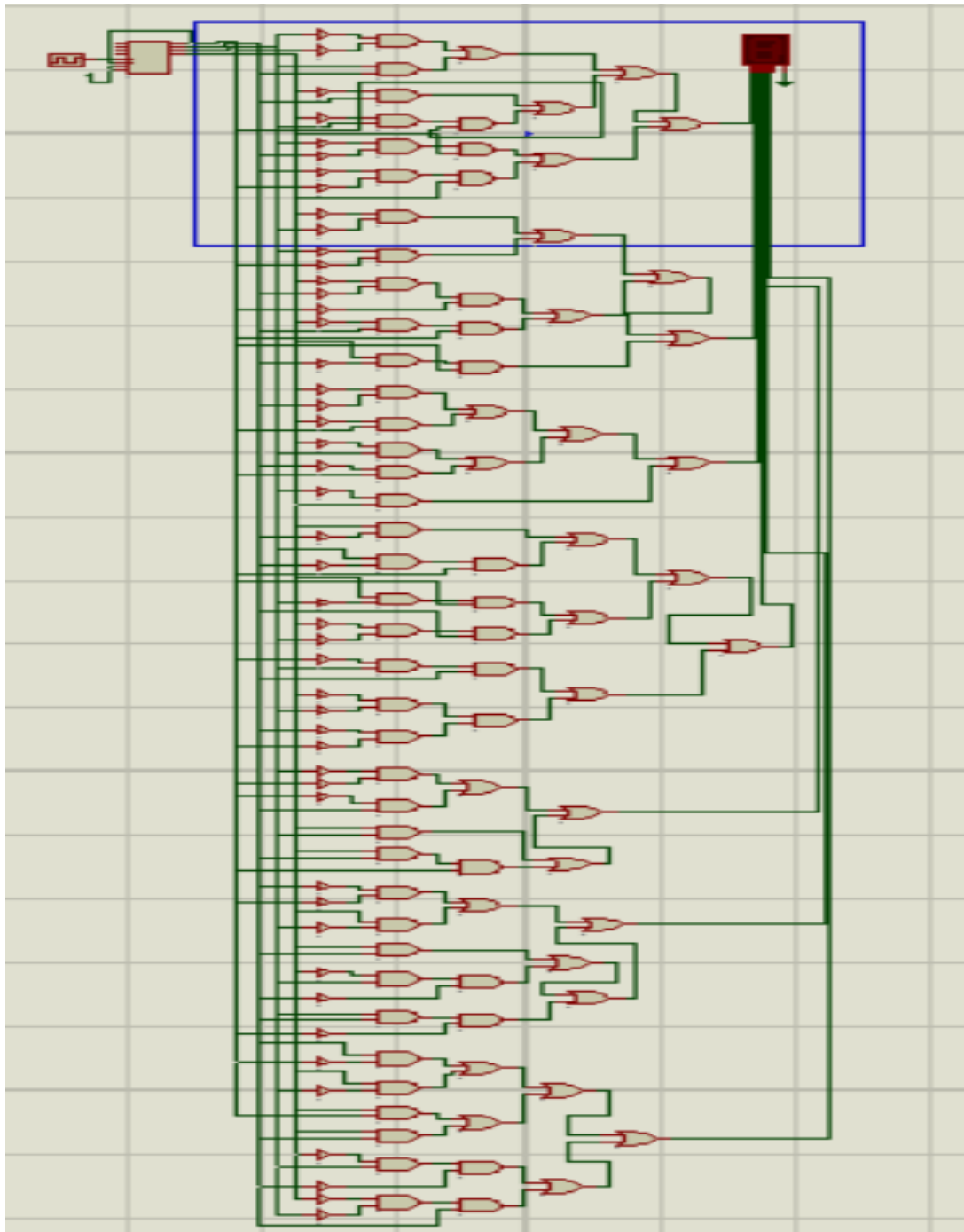
然后根据相应的化简结果，我们可以设计出如下的静态电路：



(完整图过于庞大，后续会有相应的测试。。。)

图中 4 个激励源从上到下下分别是 Q3、Q2、Q1、Q0，中间的逻辑门电路由大量 7404 非门、7408 与门、74LS32 或门构成，右边接上 7SEG-MPX1-CC 共阴极数码管，最后接地完成电路。

利用 74LS197 构成的动态测试电路如下：

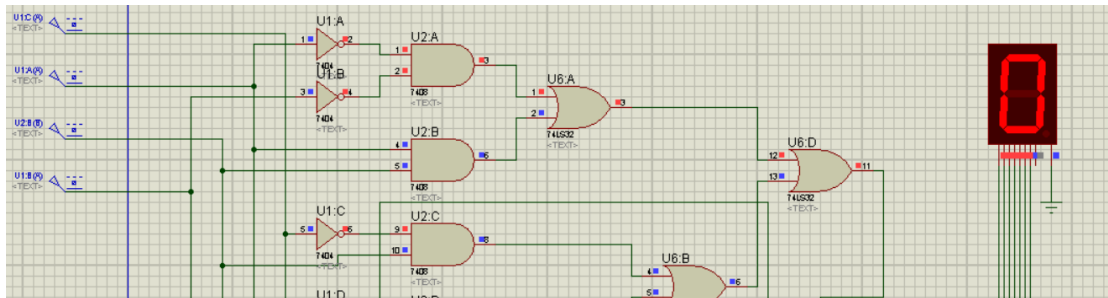


如图，与静态测试不同的是，用一个 74LS197 代替四个激励源进行动态测试。

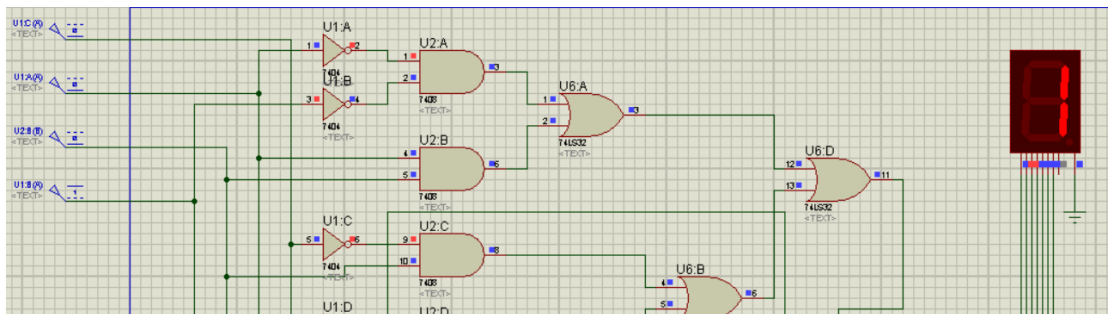
74LS197 上的 Q3、Q2、Q1、Q0 即为逻辑电路的 Q3、Q2、Q1、Q0。

【实验结果与分析】

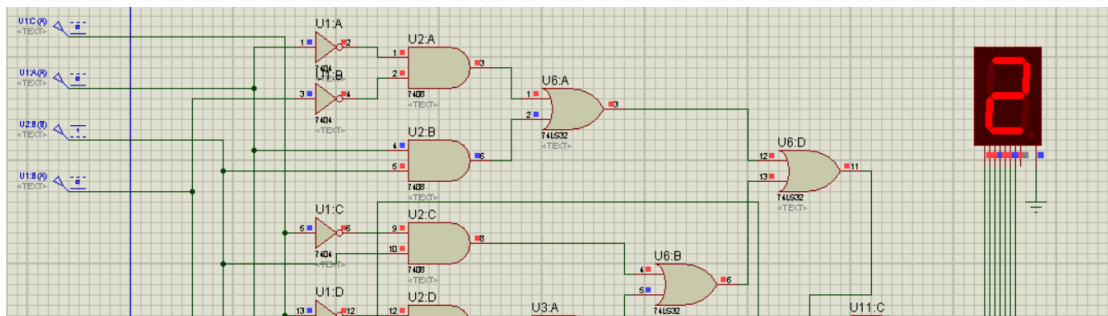
以下是静态测试：



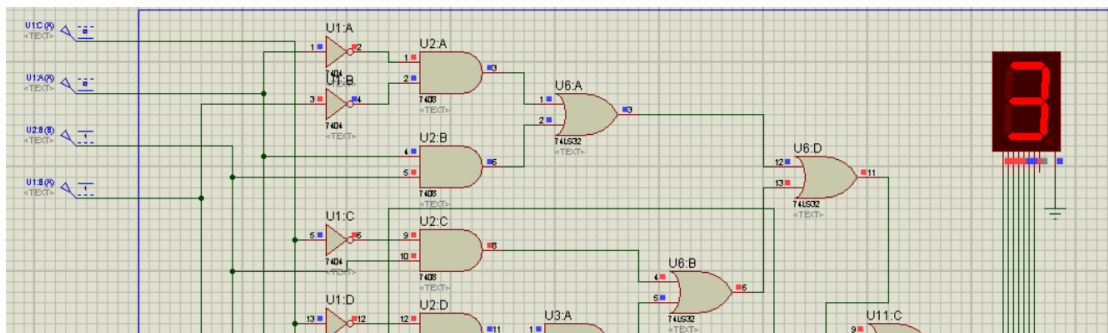
0000->0



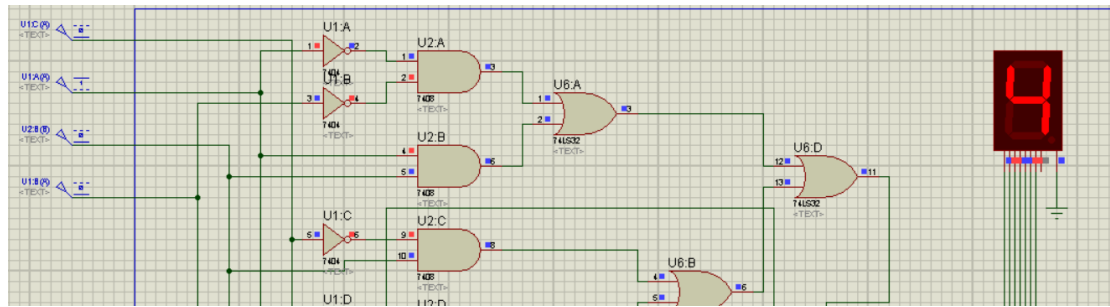
0001->1



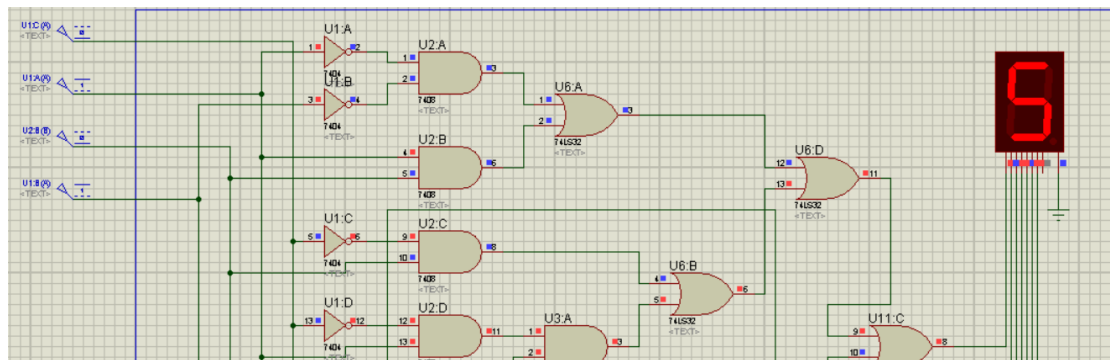
0010->2



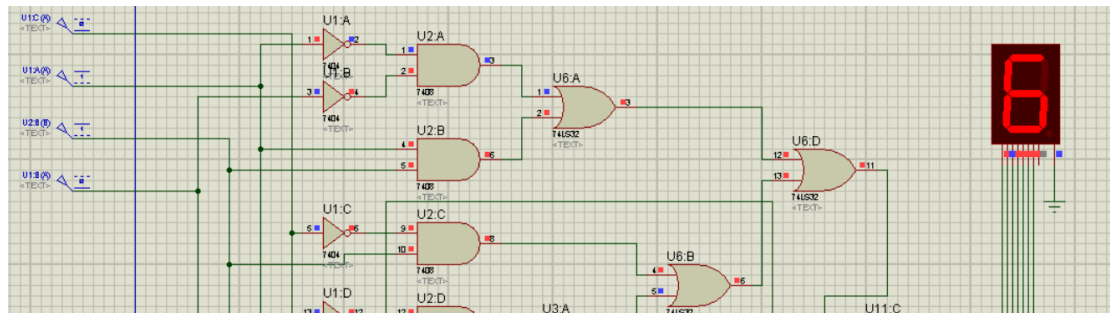
0011->3



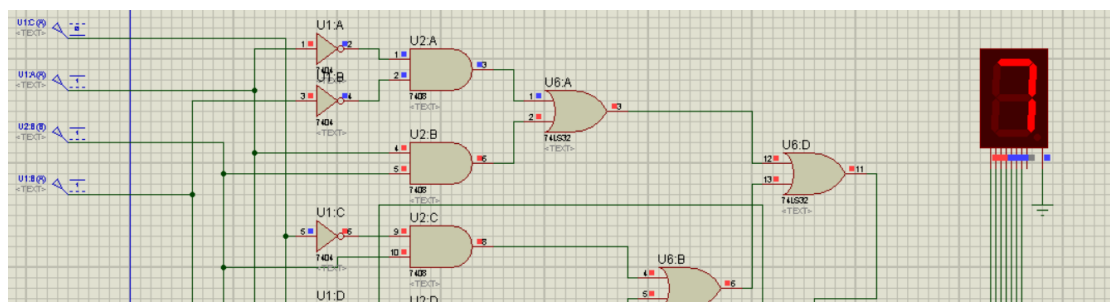
0100->4



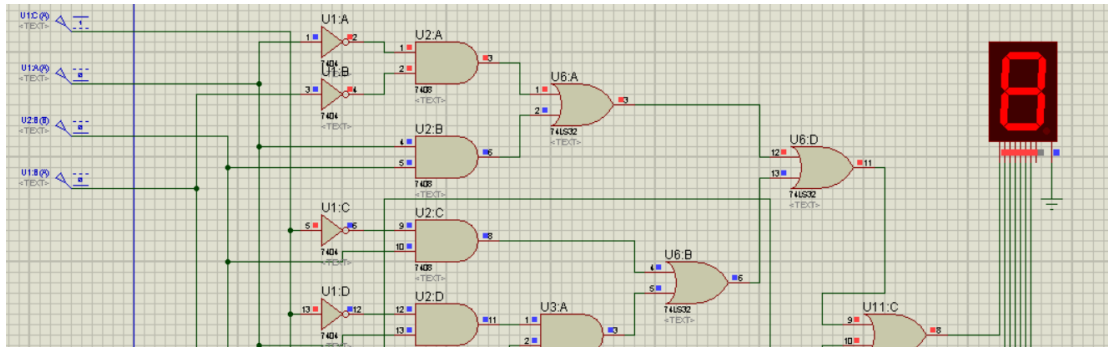
0101->5



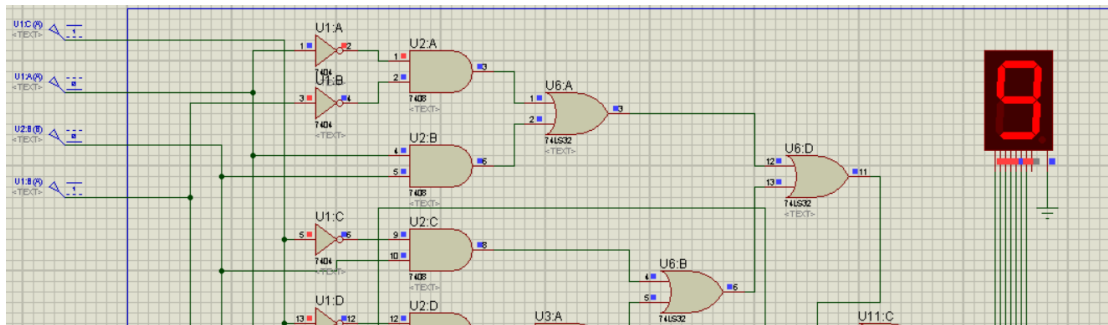
0110->6



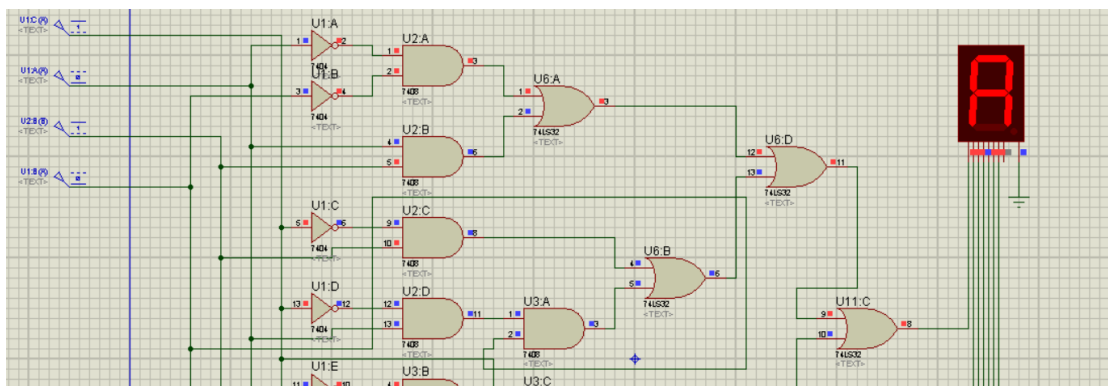
0111->7



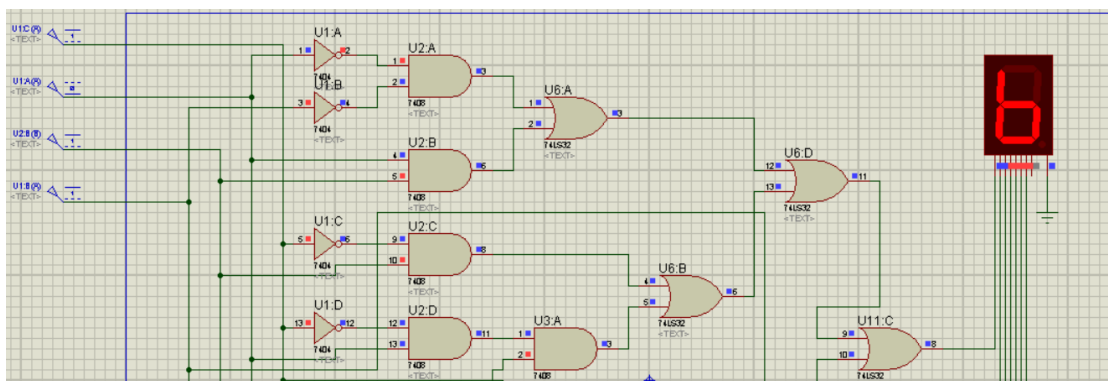
1000->8



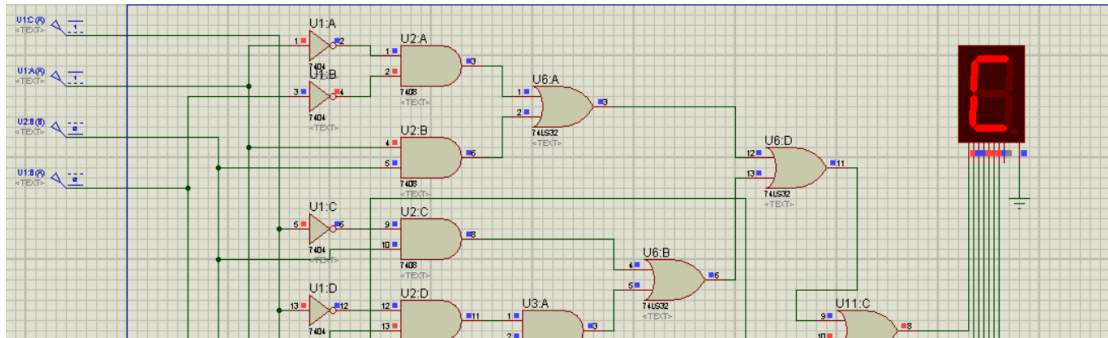
1001->9



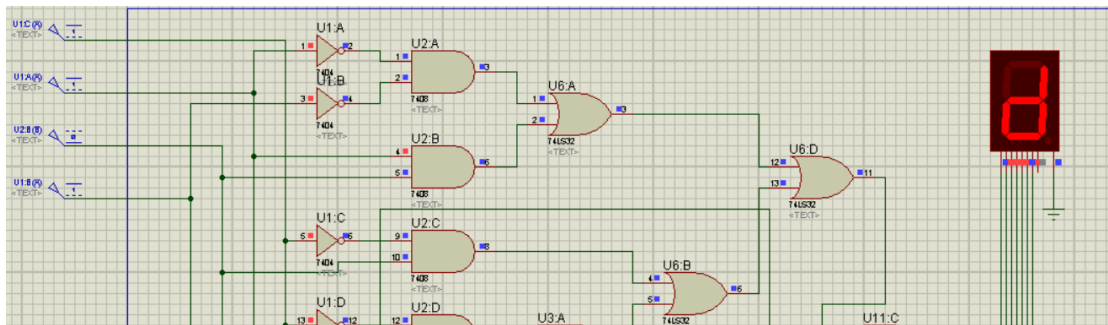
1010->A



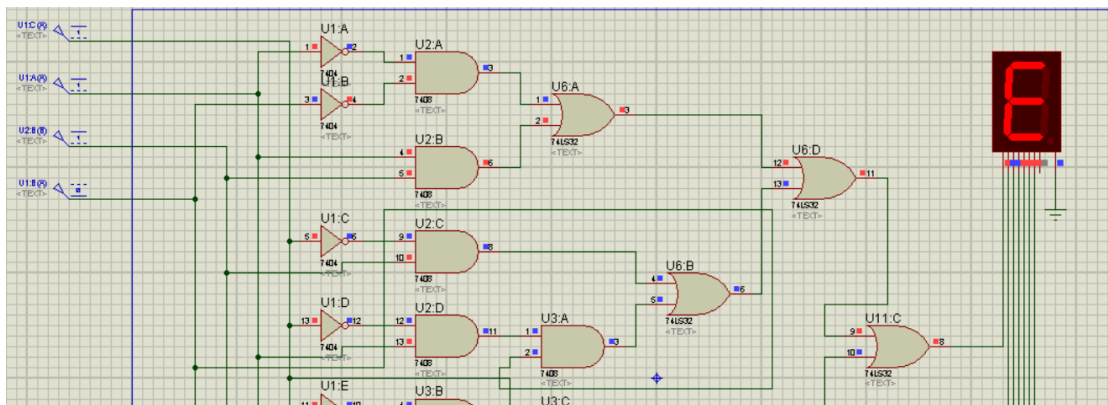
1011->b



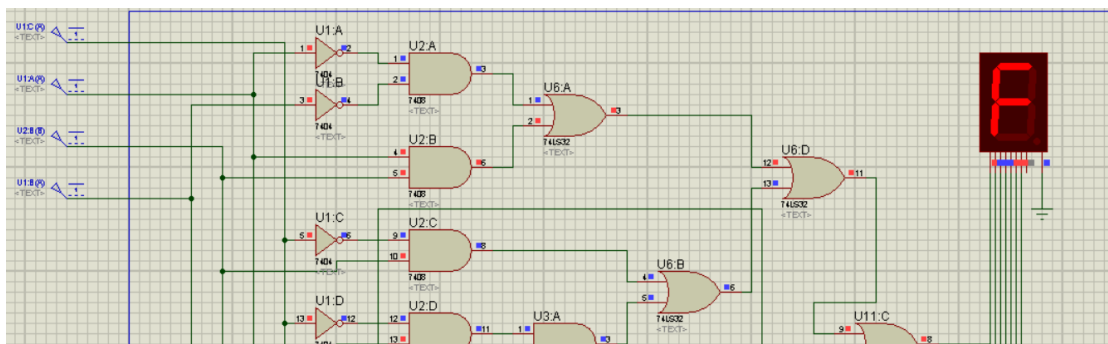
1100->C



1101->d

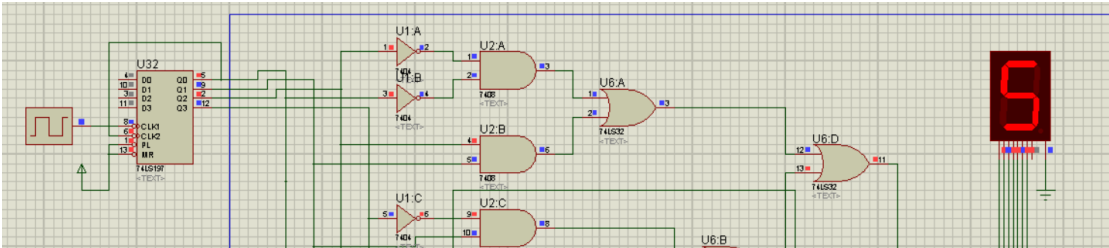
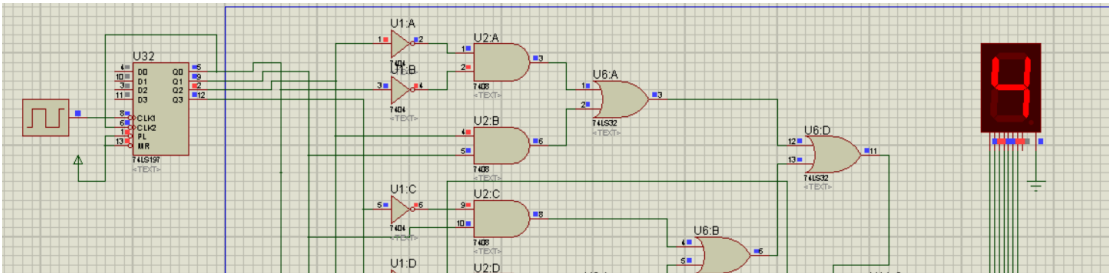
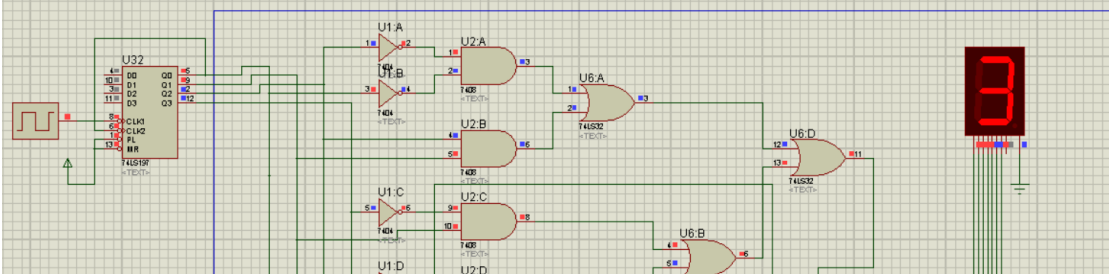
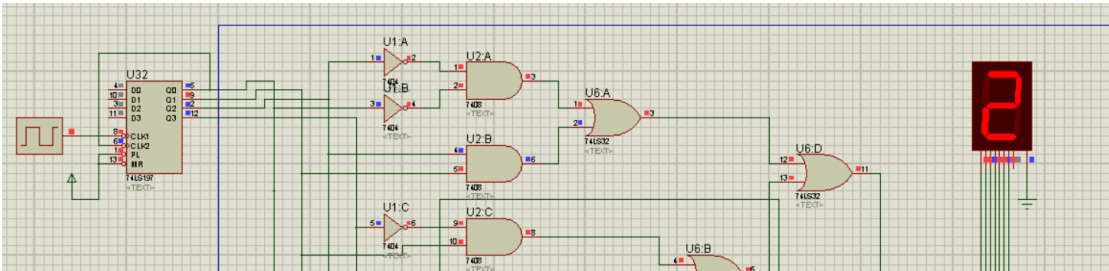
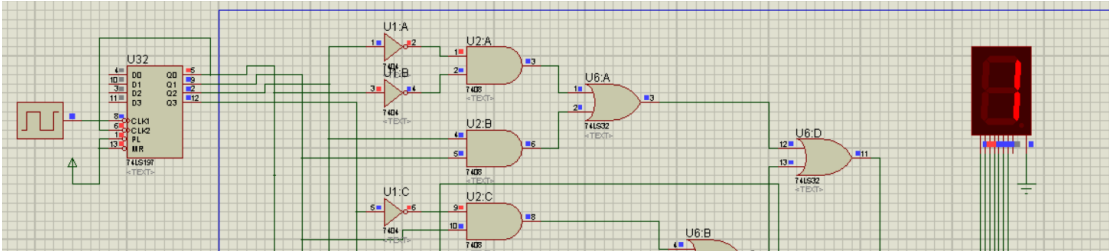
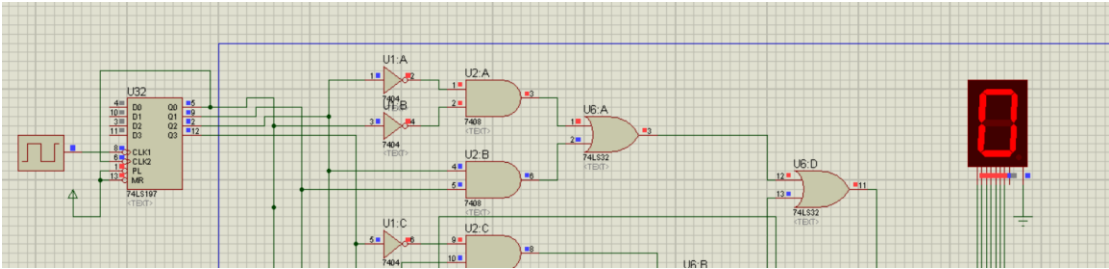


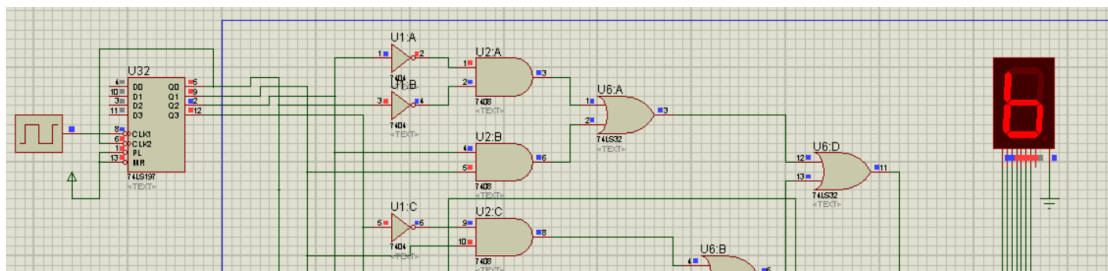
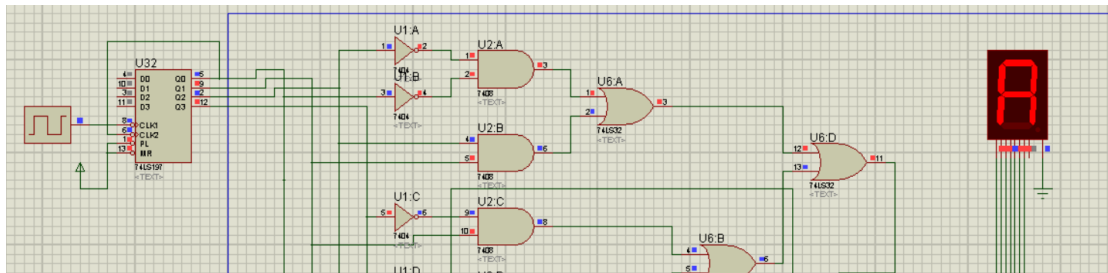
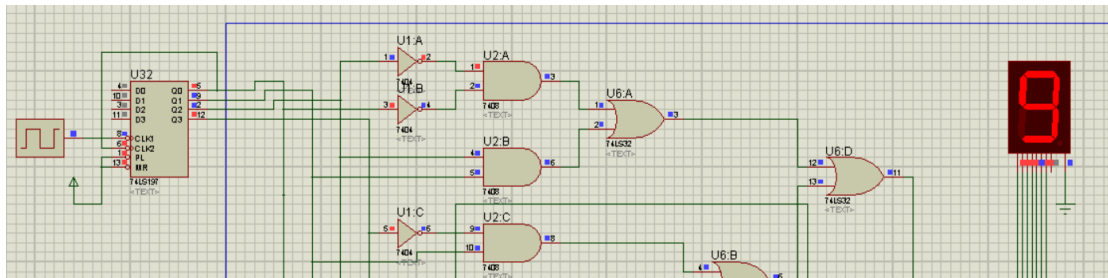
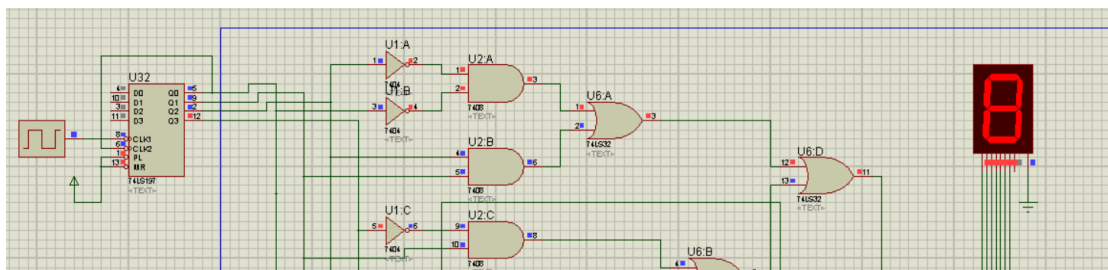
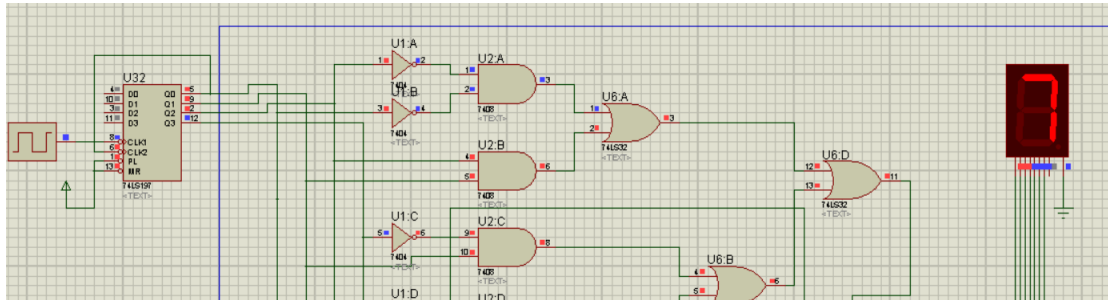
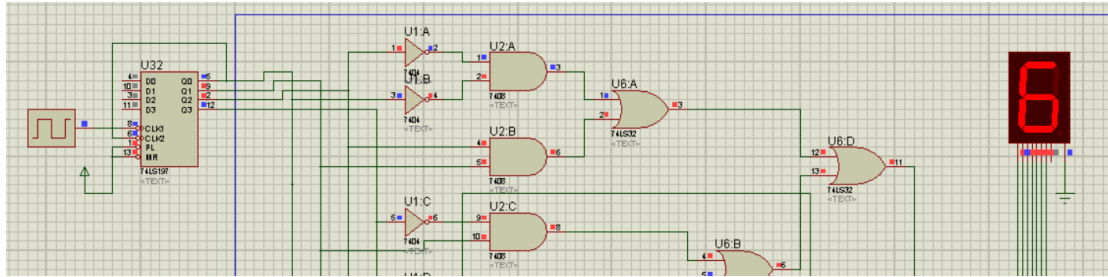
1110->E

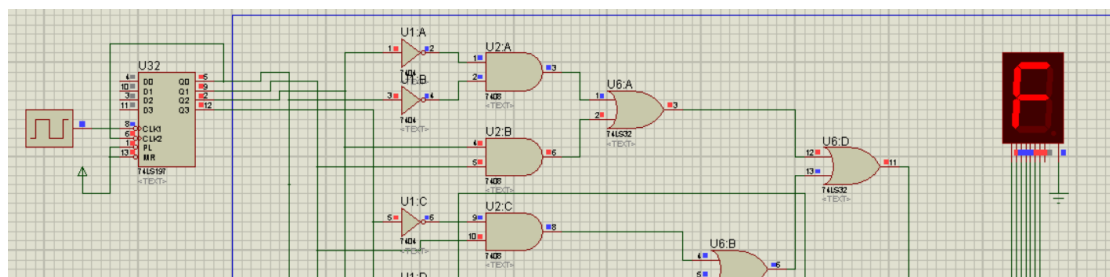
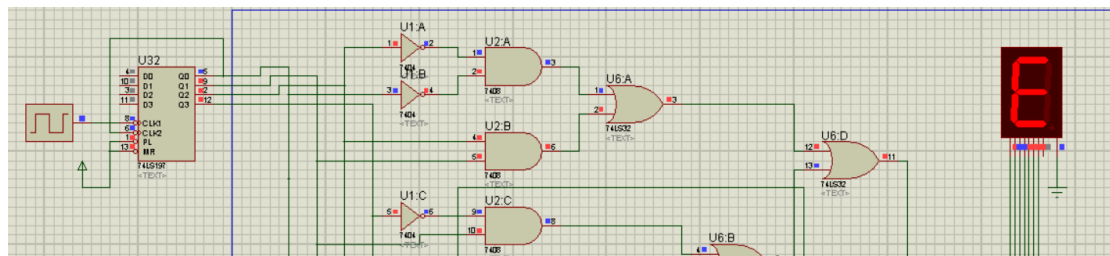
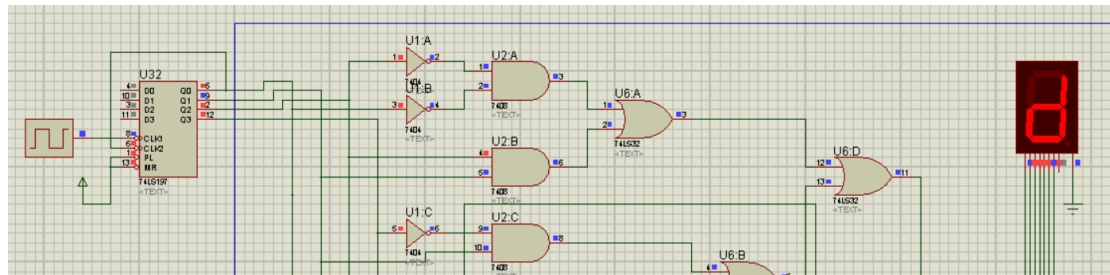
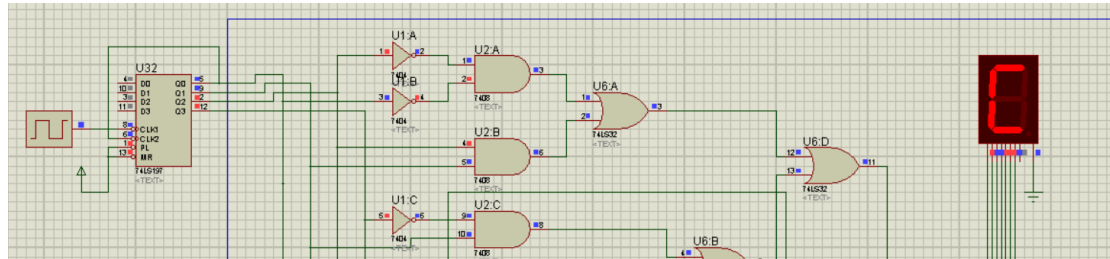


1111->F

以下是动态测试：（共阴极七段数码管会进行一个 0123456789AbCdEF 的循环）







【实验心得】

本次实验我学会了用与门、或门、非门将一个二进制码利用大量逻辑门电路输出接共阴极七段数码管的静态测试，并用 74LS197 进行了动态测试。逻辑门电路的“究极庞大”让我体会到了每个微小的电子元件其实里面都蕴含了无穷的奥妙，值得我们去探索。虽然完成这样一个庞大的电路有些劳累，但成功时收获的喜悦也是无与伦比的。