

数字电路与数字逻辑实验

-实验5:数据选择器电路原理及应用

陈刚

副教授，无人系统研究所
数据科学与计算机学院
中山大学



<https://www.usilab.cn/team/chengang/>



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

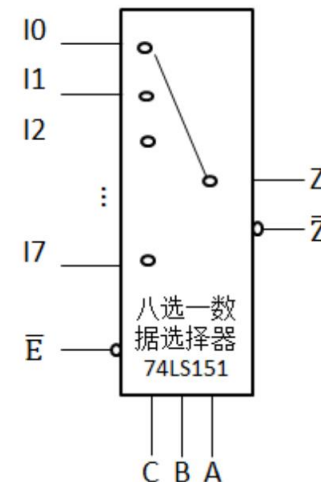
School of Data and Computer Science

实验目的

- 熟悉选择器的功能与使用方法
- 选择器的使用: 最小项法+或电路
 - 数据选择器也可以产生最小项+或电路形式
 - 相比于3-8译码器, 更简单
 - 和3-8译码器对比
- 使用3-8译码器设计组合电路
- 对应教材实验3.4

组合逻辑:8路选择器

- 数据选择器：从一组输入数据中选出某一个信号输出。
- 经常用于输入选择
 - 比如，我们有8组信号，希望有一个这样的功能，可以动态从8组信号中选择信号到输出管脚上
 - 对于8组信号，比如输入001，会将第一组信号输出到输出管脚上
- 74LS151（8路数据选择器）
- 74LS150（16路数据选择器）



8路选择器:74LS151

- 8路选择器：74LS151

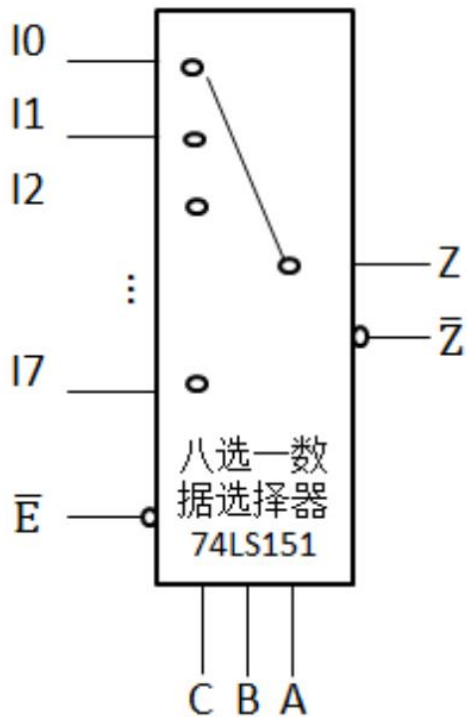


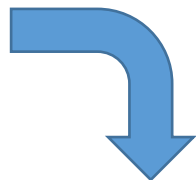
表 3-7 74LS151 的真值表

输入			输出
C	B	A	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7

8路选择器:74LS151

表 3-7 74LS151 的真值表

输入			输出
C	B	A	Z
0	0	0	I0
0	0	1	I1
0	1	0	I2
0	1	1	I3
1	0	0	I4
1	0	1	I5
1	1	0	I6
1	1	1	I7



- 8路选择器

- 产生最小项，同时产生或电路
- 相比于3-8译码器，电路更加完备性
- 可以大大简化电路设计
 - 主要在I0-I7输入0或者1选通相应的最小项就可以
 - 不需要额外的电路
- 一个输出需要用一個数据选择器

$$Z = \bar{C}\bar{B}\bar{A}I_0 + \bar{C}\bar{B}AI_1 + \bar{C}B\bar{A}I_2 + \bar{C}BAI_3 + C\bar{B}\bar{A}I_4 + C\bar{B}AI_5 + CB\bar{A}I_6 + CBAI_7$$

74LS151应用举例

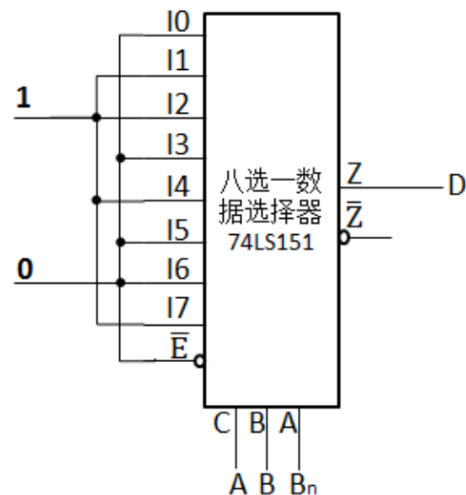
• 8路选择器实现全减器

输入			输出	
A	B	B _n	D	B _{n-1}
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

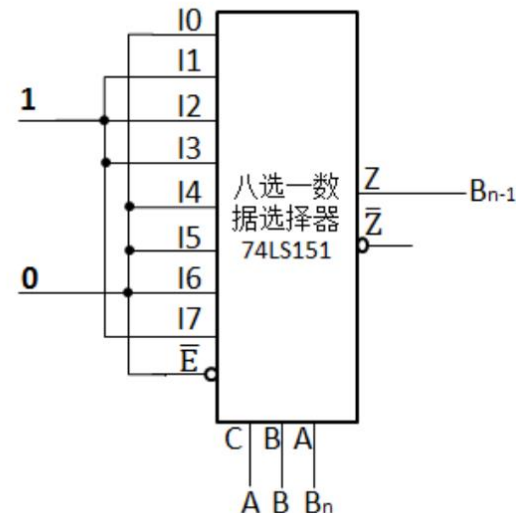
$$D = \bar{A} \bar{B} \bar{B}_n \cdot 0 + \bar{A} \bar{B} B_n \cdot 1 + \bar{A} B \bar{B}_n \cdot 1 + \bar{A} B B_n \cdot 0 + A \bar{B} \bar{B}_n \cdot 1 + A \bar{B} B_n \cdot 0 \\ + A B \bar{B}_n \cdot 0 + A B B_n \cdot 1$$

$$B_{n-1} = \bar{A} \bar{B} \bar{B}_n \cdot 0 + \bar{A} \bar{B} B_n \cdot 1 + \bar{A} B \bar{B}_n \cdot 1 + \bar{A} B B_n \cdot 1 + A \bar{B} \bar{B}_n \cdot 0 + A \bar{B} B_n \cdot 0 \\ + A B \bar{B}_n \cdot 0 + A B B_n \cdot 1$$

输出D

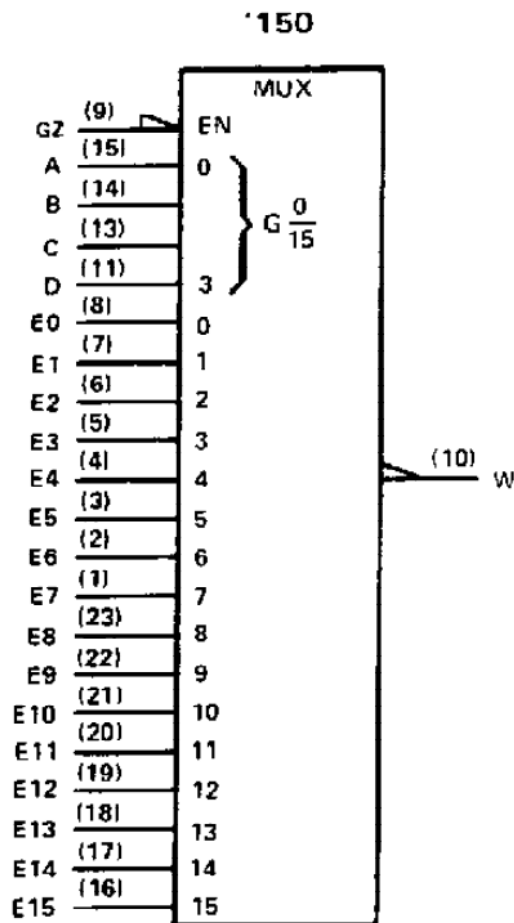


输出B_(n-1)



16路选择器应用举例

- 16路选择器: 74LS150



FUNCTION TABLE

INPUTS					OUTPUT W
SELECT				STROBE \bar{G}	
D	C	B	A	\bar{G}	W
X	X	X	X	H	H
L	L	L	L	L	$\overline{E0}$
L	L	L	H	L	$\overline{E1}$
L	L	H	L	L	$\overline{E2}$
L	L	H	H	L	$\overline{E3}$
L	H	L	L	L	$\overline{E4}$
L	H	L	H	L	$\overline{E5}$
L	H	H	L	L	$\overline{E6}$
L	H	H	H	L	$\overline{E7}$
H	L	L	L	L	$\overline{E8}$
H	L	L	H	L	$\overline{E9}$
H	L	H	L	L	$\overline{E10}$
H	L	H	H	L	$\overline{E11}$
H	H	L	L	L	$\overline{E12}$
H	H	L	H	L	$\overline{E13}$
H	H	H	L	L	$\overline{E14}$
H	H	H	H	L	$\overline{E15}$

16路选择器应用举例

- 举例：16路选择器74LS150实现7段数码管编码器

表 3-3 二进制七段数码管译码器的真值表

输入				输出							七段数码管 显示内容
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	"0"
0	0	0	1	0	1	1	0	0	0	0	"1"
0	0	1	0	1	1	0	1	1	0	1	"2"
0	0	1	1	1	1	1	1	0	0	1	"3"
0	1	0	0	0	1	1	0	0	1	1	"4"
0	1	0	1	1	0	1	1	0	1	1	"5"
0	1	1	0	1	0	1	1	1	1	1	"6"
0	1	1	1	1	1	1	0	0	0	0	"7"
1	0	0	0	1	1	1	1	1	1	1	"8"
1	0	0	1	1	1	1	1	0	1	1	"9"
1	0	1	0	1	1	1	0	1	1	1	"A"
1	0	1	1	0	0	1	1	1	1	1	"b"
1	1	0	0	1	0	0	1	1	1	0	"C"
1	1	0	1	0	1	1	1	1	0	1	"d"
1	1	1	0	1	0	0	1	1	1	1	"E"
1	1	1	1	1	0	0	0	1	1	1	"F"



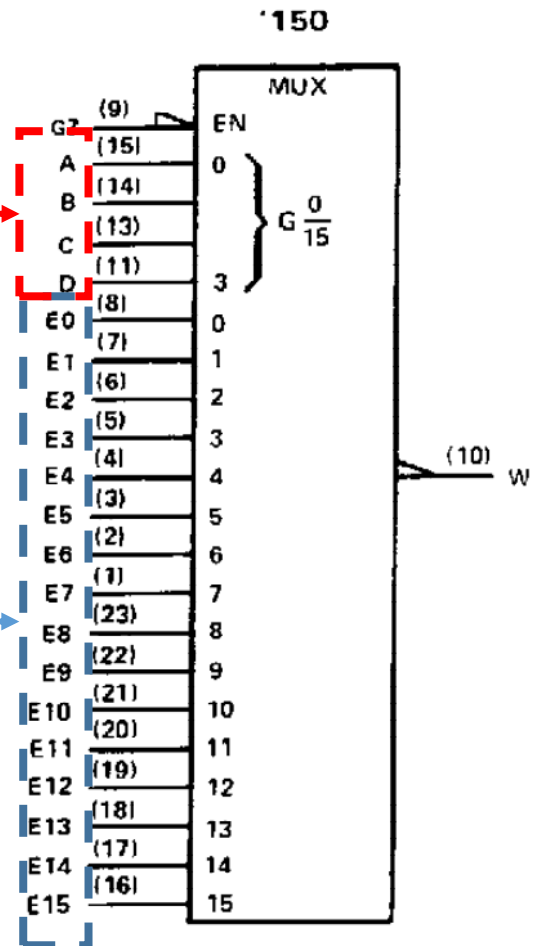
$$\begin{aligned}
 a = & \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + \bar{Q}_3 \bar{Q}_2 Q_1 \bar{Q}_0 + \\
 & \bar{Q}_3 \bar{Q}_2 Q_1 Q_0 + \bar{Q}_3 Q_2 \bar{Q}_1 \bar{Q}_0 + \\
 & \bar{Q}_3 Q_2 Q_1 \bar{Q}_0 + \bar{Q}_3 Q_2 Q_1 Q_0 + \\
 & Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_2 \bar{Q}_1 Q_0 + \\
 & Q_3 \bar{Q}_2 Q_1 \bar{Q}_0 + Q_3 \bar{Q}_2 Q_1 Q_0 + \\
 & Q_3 Q_2 \bar{Q}_1 \bar{Q}_0 + Q_3 Q_2 \bar{Q}_1 Q_0 + \\
 & Q_3 Q_2 Q_1 \bar{Q}_0 + Q_3 Q_2 Q_1 Q_0
 \end{aligned}$$

16路选择器应用举例

- 举例：16路选择器74LS150实现7段数码管编码器

表 3-3 二进制七段数码管译码器的真值表

输入				输出							七段数码管
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	显示内容
0	0	0	0	1	1	1	1	1	1	0	"0"
0	0	0	1	0	1	1	0	0	0	0	"1"
0	0	1	0	1	1	0	1	1	0	1	"2"
0	0	1	1	1	1	1	1	0	0	1	"3"
0	1	0	0	0	1	1	0	0	1	1	"4"
0	1	0	1	1	0	1	1	0	1	1	"5"
0	1	1	0	1	0	1	1	1	1	1	"6"
0	1	1	1	1	1	1	0	0	0	0	"7"
1	0	0	0	1	1	1	1	1	1	1	"8"
1	0	0	1	1	1	1	1	0	1	1	"9"
1	0	1	0	1	1	1	0	1	1	1	"A"
1	0	1	1	0	0	1	1	1	1	1	"b"
1	1	0	0	1	0	0	1	1	1	0	"C"
1	1	0	1	0	1	1	1	1	0	1	"d"
1	1	1	0	1	0	0	1	1	1	1	"E"
1	1	1	1	1	0	0	0	1	1	1	"F"



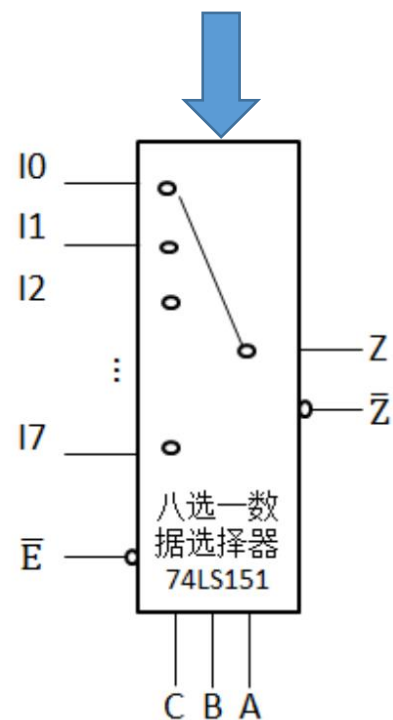
思考

- 能否用8路选择器实现（比如a的输出）？

表 3-3 二进制码七段数码管译码器的真值表

输入				输出							七段数码管 显示内容
Q3	Q2	Q1	Q0	a	b	c	d	e	f	g	
0	0	0	0	1	1	1	1	1	1	0	"0"
0	0	0	1	0	1	1	0	0	0	0	"1"
0	0	1	0	1	1	0	1	1	0	1	"2"
0	0	1	1	1	1	1	1	0	0	1	"3"
0	1	0	0	0	1	1	0	0	1	1	"4"
0	1	0	1	1	0	1	1	0	1	1	"5"
0	1	1	0	1	0	1	1	1	1	1	"6"
0	1	1	1	1	1	1	0	0	0	0	"7"
1	0	0	0	1	1	1	1	1	1	1	"8"
1	0	0	1	1	1	1	1	0	1	1	"9"
1	0	1	0	1	1	1	0	1	1	1	"A"
1	0	1	1	0	0	1	1	1	1	1	"b"
1	1	0	0	1	0	0	1	1	1	0	"C"
1	1	0	1	0	1	1	1	1	0	1	"d"
1	1	1	0	1	0	0	1	1	1	1	"E"
1	1	1	1	1	0	0	0	1	1	1	"F"

$$a = Q_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0 + Q_2 Q_1 + \bar{Q}_3 Q_1 + \bar{Q}_3 Q_2 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_1 + Q_3 \bar{Q}_1 \bar{Q}_0$$



对比总结

- 举例：16路选择器74LS150实现7段数码管编码器
- 7段数码管需要7个74LS150实现（不灵活）
 - 每个输出需要1个74LS150（最小项不能复用）
 - 连线简单
- 3-8译码器（复用比较灵活）
 - 只需要1个3-8译码器（最小项可以复用）+与非门
 - 需要独立期间

实验内容

- 使用 74LS151 实现AU(Arithmetic Unit, 算术单元)设计。设计一个带控制端的半加半减器，输入为 S、A、B，其中 S 为功能选择口。
 - S=0，输出加法计算结果
 - S=1，输出减法计算机结果
- 静态测试和动态测试（参照实验教材）

表 3-9 带控制端的半加半减器功能表

S	输入 1	输入 2	输出 Y	进/借位 C_n
0	A	B	A+B	进位
1	A	B	A-B	借位

实验内容

- 使用 74LS151 实现 LU (Logic Unit, 逻辑单元) 设计。设计一个函数发生器电路它的功能如下表 3-10 所示。输入为 S_0 、 S_1 、 A 、 B ，其中 S_0 、 S_1 为功能选择口。当 S_0 、 S_1 取 0、1 不同组合时， A 、 B 进行相应的与、或、非、异或运算，输出运算结果 Y 。

输入		输出
S_1	S_0	Y
0	0	$A \cdot B$
0	1	$A+B$
1	0	$A \oplus B$
1	1	\bar{A}

- 静态测试和动态测试（参照实验教材）

实验报告

- 写出详细的设计过程；用 Proteus 软件画出电路图并进行仿真测试。
- 按实验内容分别描述每个实验过程，分析实验中出现的問題，记录实验波形，打印波形并分析波形与电路功能之间的联系。
- 总结组合逻辑电路的本质与设计实现方法，陈述实验过程所得。

Questions?

Comments?

Discussion?