

数字电路与数字逻辑实验

-实验2:组合逻辑电路分析与设计1

陈刚

副教授，无人系统研究所
数据科学与计算机学院
中山大学



<https://www.usilab.cn/team/chengang/>



中山大學

SUN YAT-SEN UNIVERSITY

数据科学与计算机学院

School of Data and Computer Science

组合逻辑和时序逻辑

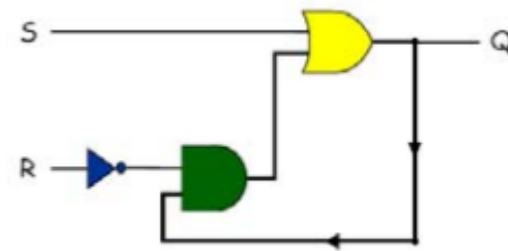
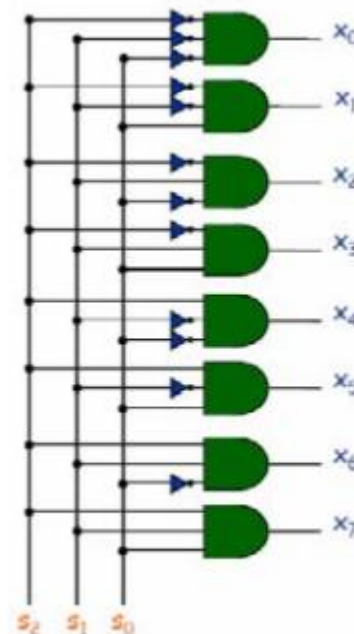
• 组合逻辑

- 输出直接由输入决定
- 电路上没有回环
- 例如：ALU，加法器
- Verilog语句： `assign c=a?1:0;`

• 时序逻辑

- 输出取决于输入和历史输出
- 例如：计数器，memory
- Verilog语句：
`always @(posedge clk)`

a



实验目的

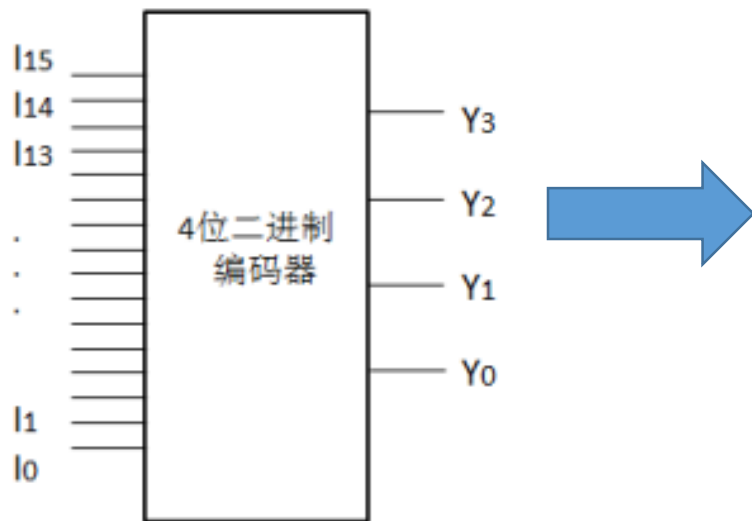
- 组合逻辑电路的分析方法
- 组合逻辑电路的设计方法
- 熟悉编码器原理和常用4位二进制编码特点

实验基础知识

- 组合逻辑和时序逻辑
 - 组合逻辑电路中不带存储单元，输出与历史无关
 - 例如：Verilog中有阻塞赋值和非阻塞赋值来描述两种逻辑
- 组合逻辑电路设计与分析方法
 - 根据给定事件的因果系列出真值表
 - 由真值表写函数式
 - 对函数式进行化简或变换
 - 画出逻辑图，并测试逻辑功能

组合逻辑:编码器

- 编码器：它能将输入的每一个高、低电平信号编成一个对应的二进制代码输出



输入																输出			
I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	I ₈	I ₉	I ₁₀	I ₁₁	I ₁₂	I ₁₃	I ₁₄	I ₁₅	Y ₃	Y ₂	Y ₁	Y ₀
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0	1
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	0	1	0
0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	1	1
0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	1	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	1	1	0	1
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	1	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1

组合逻辑:编码格式

- 8421 码和格雷码

- **8421 码：**由于代码从左到右的每一位二进制数 1 依次表示 8、 4、 2、 1，所以这种代码被称为 8421 码。将 8421 码每一位二进制数 1 代表的十进制数加起来得到的结果就是其所代表的十进制数码，因此非常容易与十进制数码进行转换。 比如：74LS197 加法器输出就是 8421码。
- **格雷码：**格雷码每一位的状态变化都按一定顺序循环。有很多种定义方式。本实验采用如下方式：当格雷码按照下表顺序从 0000 状态开始依次变化，则 G0 是按 0110 顺序循环， G1 是按 00111100 顺序循环，G2 是按 000011111110000 顺序循环，即格雷码自右向左，每位状态循环中连续的 0、 1 数码都翻倍。

组合逻辑:编码格式

- 8421码和格雷码

二进制码				格雷码			
Q3	Q2	Q1	Q0	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	1	0	1	1
1	1	1	1	1	0	1	1



?

组合逻辑:编码格式

- 8421码和格雷码

二进制码				格雷码			
Q3	Q2	Q1	Q0	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	1	0	1	1
1	1	1	1	1	0	1	1



- ✓ 根据给定事件的因果系列出真值表
- ✓ 由真值表写函数式
- ✓ 对函数式进行化简或变换
- ✓ 画出逻辑图，并测试逻辑功能

组合逻辑:编码格式

• 8421码和格雷码

二进制码				格雷码			
Q3	Q2	Q1	Q0	G3	G2	G1	G0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0
0	0	1	0	0	0	0	1
0	0	1	1	0	0	0	1
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	1	1	1
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	0
1	0	1	0	1	1	0	1
1	0	1	1	1	1	0	1
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	0
1	1	1	0	1	0	1	1
1	1	1	1	1	0	1	1



- ✓ 根据给定事件的因果关系列出真值表
- ✓ 由真值表写函数式
 - ✓ 罗列所有的‘1’的组合逻辑
 - ✓ 然和把所有‘1’项或起来
- ✓ 对函数式进行化简或变换

$$\begin{aligned}
 Q_3 &= Q_3 \bar{Q}_2 \bar{Q}_1 \bar{Q}_0 + Q_3 \bar{Q}_2 \bar{Q}_1 Q_0 + Q_3 \bar{Q}_2 Q_1 \bar{Q}_0 + Q_3 \bar{Q}_2 Q_1 Q_0 + Q_3 Q_2 \bar{Q}_1 \bar{Q}_0 \\
 &\quad + Q_3 Q_2 \bar{Q}_1 Q_0 + Q_3 Q_2 Q_1 \bar{Q}_0 + Q_3 Q_2 Q_1 Q_0 \\
 &= Q_3
 \end{aligned}$$

G2=?

G1=?

G0=?

组合逻辑:编码格式

- 与非门
 - 7400: 四2输入与非门
 - 7410: 三3输入与非门
 - 7420: 双4输入与非门
 - 7430: 单8输入与非门
- 或门
 - 74LS32: 四2输入或门（小功率肖特基版本）
- 与门
 - 四2输入与门7408
- 非门
 - 7404

实验内容1

- 设计一个代码转换电路，输入为 4 位二进制码输出为 4 位循环码。4 位二进制码与格雷码的对照关系如实验原理表格所示。
- 对代码转换电路进行静态测试。（任意选择3种状态）
- 74LS197 构成的十六进制计数器作为代码转换电路的输入信号源，作为代码转换电路的输入，输出接逻辑分析仪，记录逻辑分析仪的输出并比对结果。

实验报告

- 实验报告格式要求
 - 包含实验内容，实验原理，实验设计（电路设计），实验结果-分析-结论
- 写出详细的设计过程。用 Proteus 软件画出电路图并仿真电路功能。
- 按实验内容描述完成实验的过程，分析实验中出现的問題，记录并打印出波形，并分析波形与电路功能间的关系。
- 总结组合逻辑电路分析方法与设计过程，以及本实验过程心得。

Questions?

Comments?

Discussion?