

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ  
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»**

**Інститут комп'ютерних наук та інформаційних технологій  
Кафедра програмного забезпечення**



**ЗВІТ**

до лабораторної роботи №4  
**на тему:** «Синтез та моделювання основних типів регістрів та лічильників  
в системі Proteus»  
**з дисципліни:** «Архітектура комп'ютера»

**Лектор:**

доц. кафедри ПЗ  
Крук О. Г.

**Виконав:**

ст. гр. ПЗ-22  
Чаус О. М.

**Прийняв:**

доц. кафедри ПЗ  
Крук О. Г.

« \_\_\_\_ » \_\_\_\_\_ 2022 р.

$\Sigma$  = \_\_\_\_ .....

**Тема роботи:** Синтез та моделювання основних типів регістрів та лічильників в системі Proteus

**Мета роботи:** поглибити знання про будову та функціонування основних типів регістрів та лічильників; синтезувати їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу

Варіант 27

№	n	a <sub>1</sub> ... a <sub>n</sub>	M <sub>a</sub>	M <sub>c</sub>	f <sub>0</sub> , КГц
16	5	21, 42, 63, 65, 77	30	23	77
17	4	84, 71, 55, 61	13	14	82
18	5	87, 48, 46, 21, 34	26	20	87
19	5	83, 24, 64, 41, 89	24	25	92
20	5	68, 23, 47, 58, 75	26	30	97
21	5	85, 53, 43, 65, 76	30	25	102
22	4	59, 33, 94, 61	13	10	107
23	5	79, 31, 47, 21, 39	30	22	112
24	5	86, 67, 64, 41, 89	29	23	122
25	5	97, 73, 47, 58, 69	30	31	127
26	5	40, 25, 76, 51, 85	22	23	132
27	5	55, 43, 38, 67, 83	24	30	137
28	5	67, 42, 51, 75, 96	28	29	142
29	5	77, 38, 66, 41, 54	28	25	147
30	5	49, 61, 77, 51, 79	30	29	152

### Теоретичні відомості

Регістр - це типовий функціональний вузол комп'ютера, призначений для приймання, тимчасового зберігання, перетворення і видавання n-розрядного двійкового слова. Регістр містить регулярний набір однотипових тригерів, в кожному з яких зберігається значення одного двійкового розряду машинного слова. Найчастіше використовують тригери типів D, RS та JK.

Регістри, призначені тільки для приймання (записування), зберігання і видавання інформації, називаються елементарними або регістрами пам'яті, або ж фіксаторами. Регістри пам'яті - це пристрої з паралельним записуванням та зчитуванням інформації, яка подана в паралельному коді. Записана у тригери інформація може зчитуватись у прямому коді, інверсному або одночасно в прямому та інверсному кодах.

Вони можуть бути синхронізовані рівнем або фронтом тактового сигналу залежно від типу застосовуваних тригерів. Елементарні регістри будують на одноступеневих тригерах. Логічна функція регістра позначається буквами RG (register).

Регістри, в яких зберігання даних поєднується з мікроопераціями зсуву, називаються регістрами зсуву. Зсув - це одночасне просторове переміщення двійкового слова із збереженням порядку слідування нулів і одиниць. Мікрооперації зсуву використовують при виконанні команд множення, ділення та нормалізації. Крім того, за допомогою зсуву здійснюється перетворення паралельного коду в послідовний або навпаки. Зсув слова може виконуватися вправо (у бік молодших розрядів) або вліво (у бік старших розрядів).

Старший розряд регістра завдяки інвертору на К-вході працює в режимі D-тригера.

### Хід роботи

$$55_{10} = 0011\ 0111_2$$

$$43_{10} = 0010\ 1011_2$$

$$38_{10} = 0010\ 0110_2$$

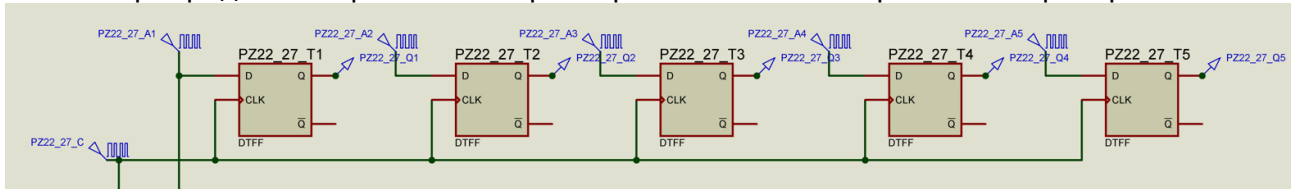
$$67_{10} = 0100\ 0011_2$$

$$83_{10} = 0101\ 0011_2$$

$$T = \frac{1}{f} = \frac{1}{137000} = 7.299 \cdot 10^{-6} \text{ c}$$

$$\tau = \frac{T}{10} = 7.299 \cdot 10^{-7} \text{ c}$$

### 1. Схема 5-розрядного паралельного регістра пам'яті на синхронних D-тригерах



Генератори до схеми:

**Digital Pattern Generator Properties**

Generator Name: **PZ22\_27\_C**

Initial State: **Low**

First Edge At (Secs): **1.277u**

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): **1.824u**

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

**01**

OK Cancel

**Digital Pattern Generator Properties**

Generator Name: **PZ22\_27\_A1**

Initial State: **Low**

First Edge At (Secs): **0**

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): **3.649u**

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

**00110111**

OK Cancel

**Digital Pattern Generator Properties**

Generator Name: P222\_27\_A2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 3.649u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 00101011

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

OK Cancel

**Digital Pattern Generator Properties**

Generator Name: P222\_27\_A3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 3.649u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 00100110

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

OK Cancel

**Digital Pattern Generator Properties**

Generator Name: P222\_27\_A4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 3.649u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 01000011

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

OK Cancel

**Digital Pattern Generator Properties**

Generator Name: P222\_27\_A5

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 3.649u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 01010011

Analogue Types:

☐ DC

☐ Sine

☐ Pulse

☐ Pwlin

☐ File

☐ Audio

☐ Exponent

☐ SFFM

☐ Easy HDL

Digital Types:

☐ Steady State

☐ Single Edge

☐ Single Pulse

☐ Clock

☒ Pattern

☐ Easy HDL

☐ Current Source?

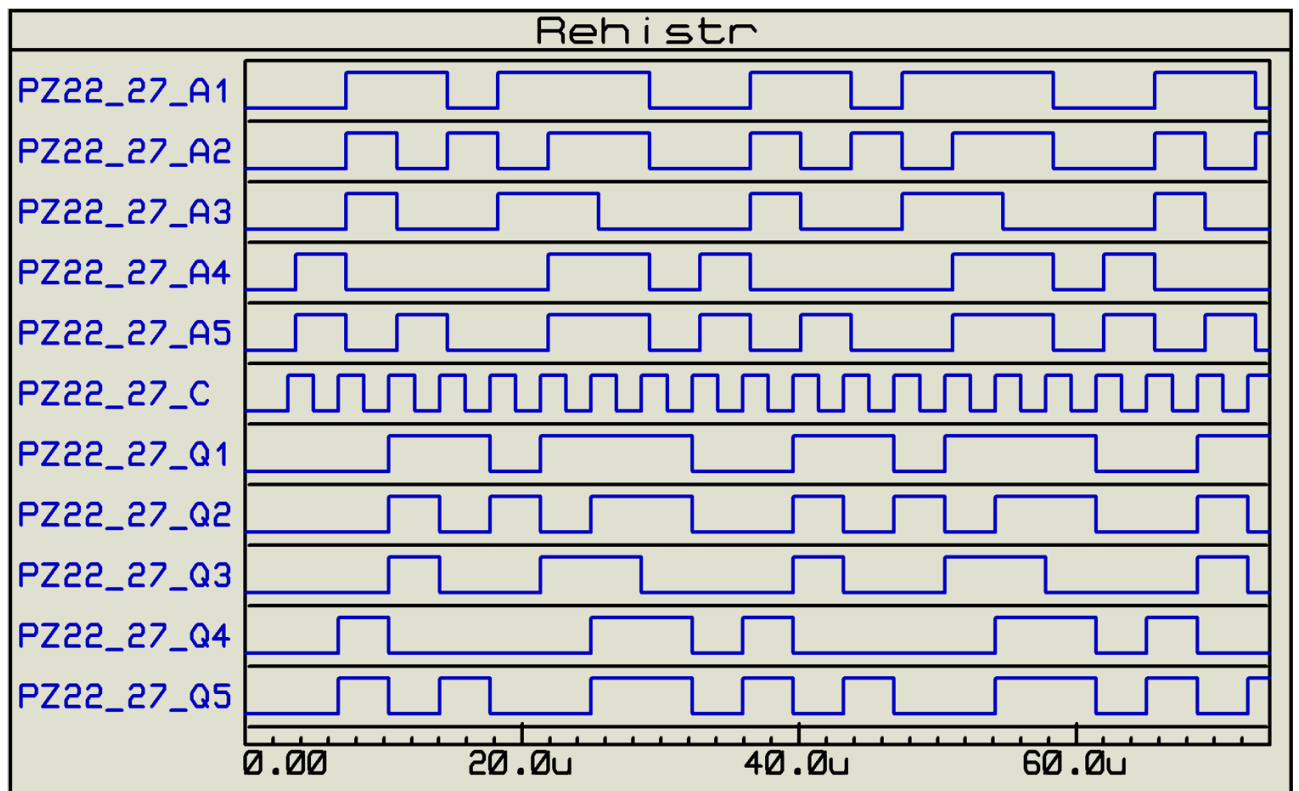
☐ Isolate Before?

☐ Manual Edits?

☒ Hide Properties?

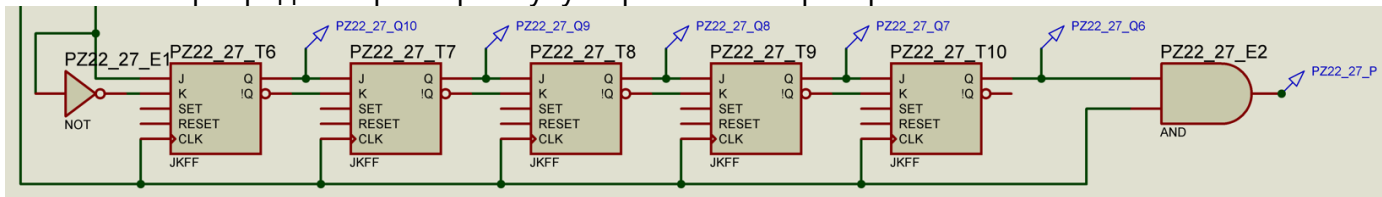
OK Cancel

Графік схеми:

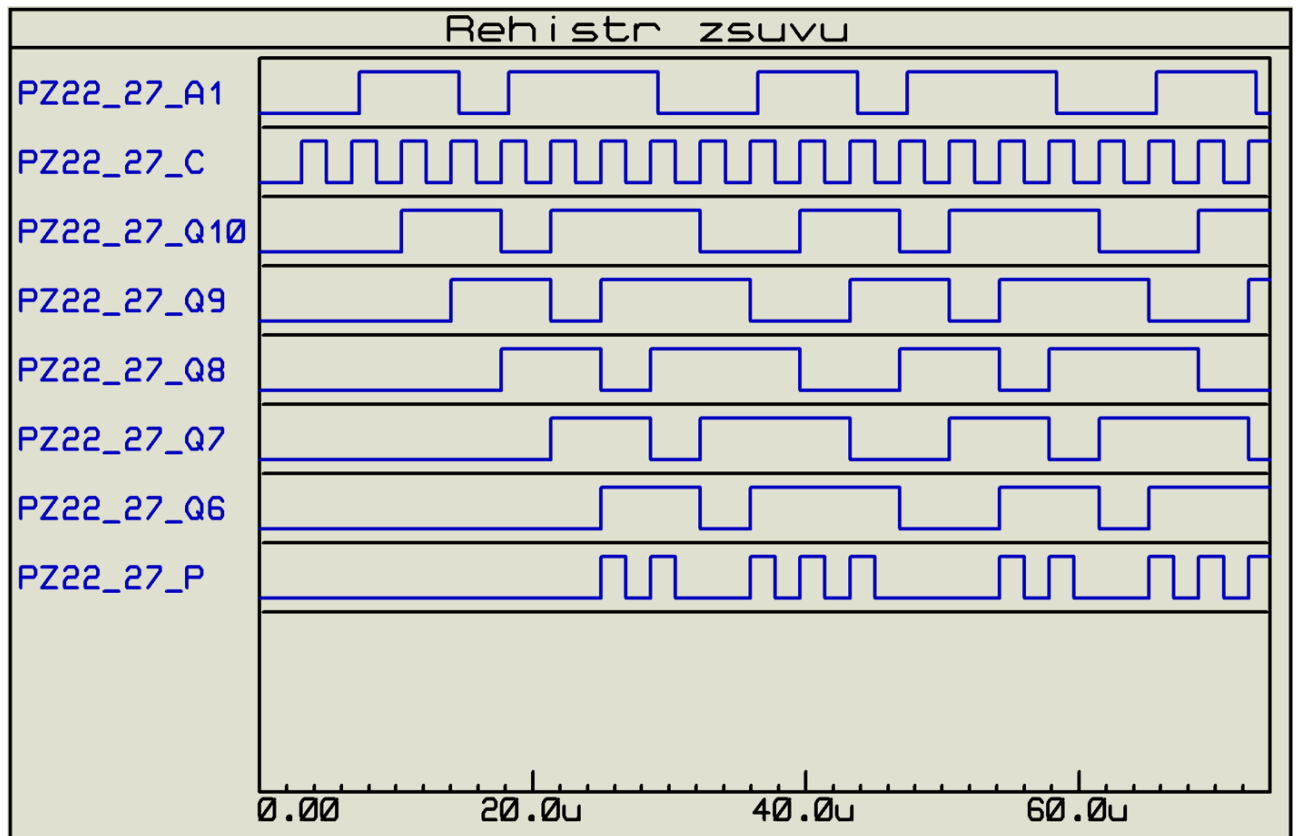


Проаналізував отримані часові діаграми, та дійшов до висновку, що паралельний регістр пам'яті працює відповідно до опису свого функціонування.

## 2. Схема 5-розрядного регістра зсуву вправо на JK-тригерах

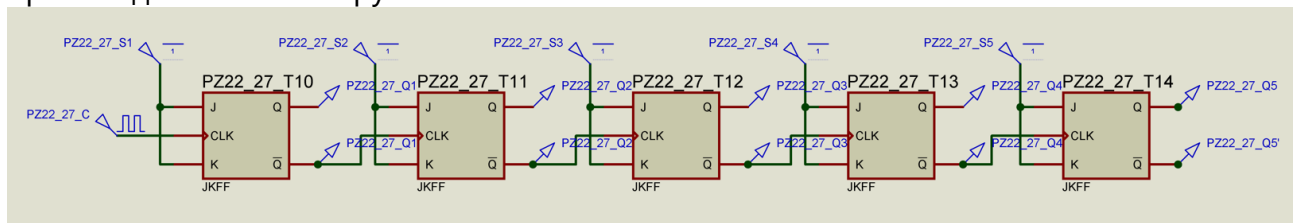


Графік до схеми:



Проаналізував отримані часові діаграми, та дійшов до висновку, що регістр зсуву працює відповідно до опису свого функціонування

3. Схема 5-розрядного асинхронного підсумовуючого лічильника на JK-тригерах з прямим динамічним керуванням



Генератор до схеми:

**Digital Clock Generator Properties**

Generator Name: **PZ22\_27\_C**

**Analogue Types**

- ☐ DC
- ☐ Sine
- ☐ Pulse
- ☐ Pwlin
- ☐ File
- ☐ Audio
- ☐ Exponent
- ☐ SFFM
- ☐ Easy HDL

**Digital Types**

- ☐ Steady State
- ☐ Single Edge
- ☐ Single Pulse
- ☒ Clock
- ☐ Pattern
- ☐ Easy HDL

☐ Current Source?  
☐ Isolate Before?  
☐ Manual Edits?  
☒ Hide Properties?

**Clock Type**

- ☒ Low-High-Low Clock
- ☐ High-Low-High Clock

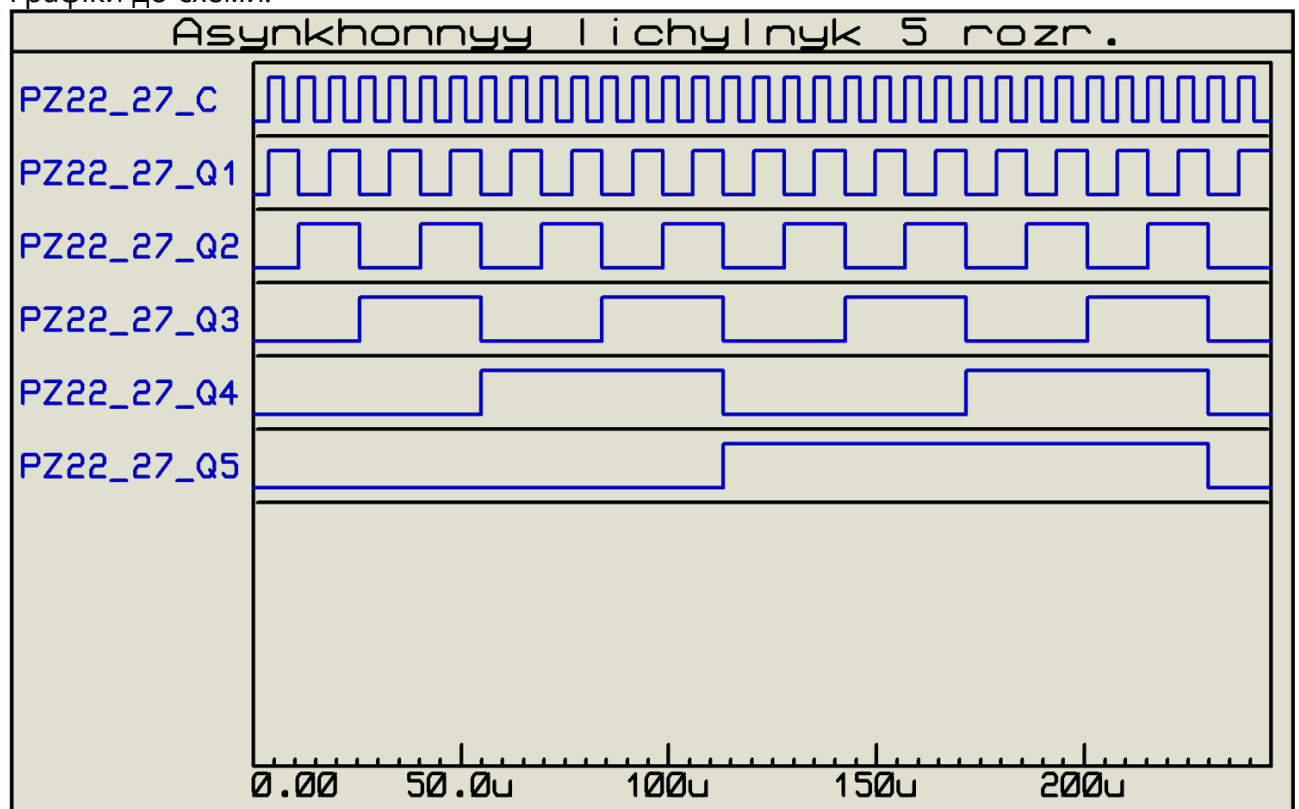
**Timing:**

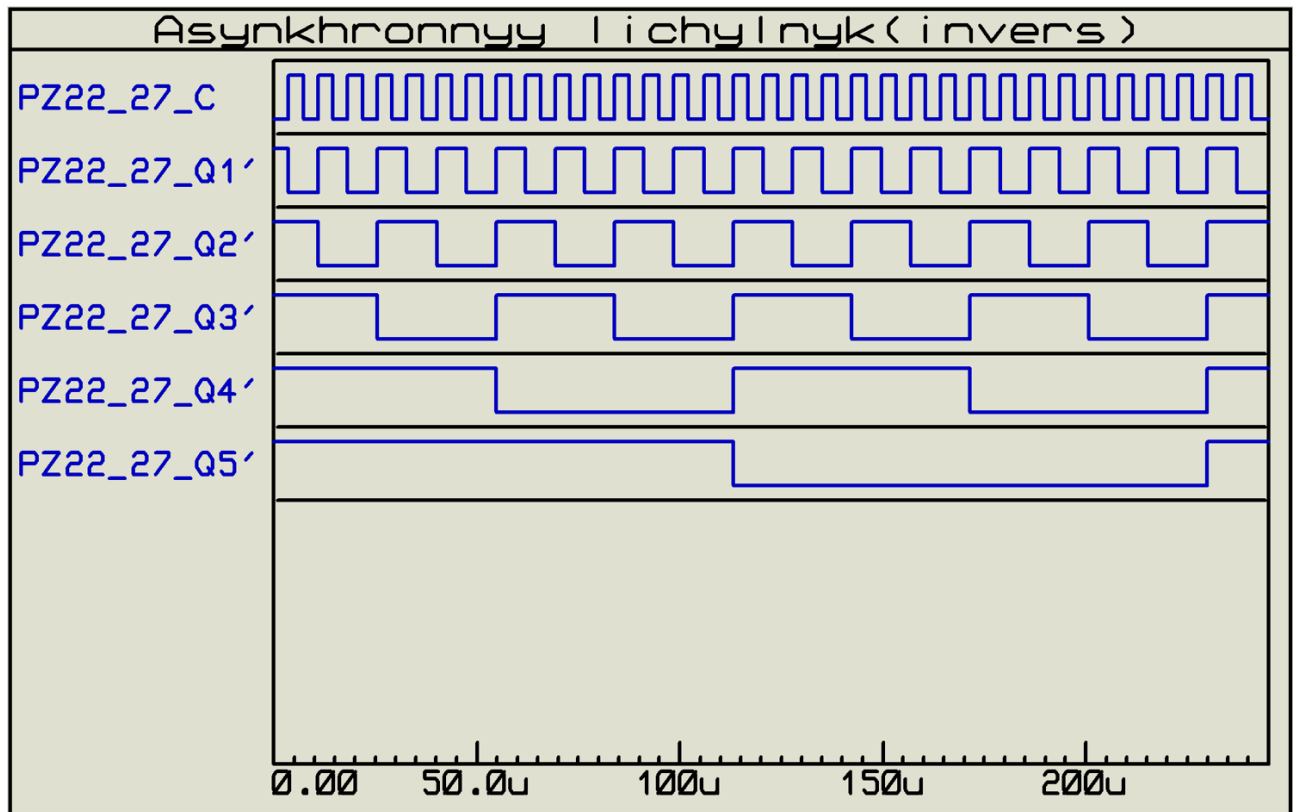
First Edge At:

- ☒ Frequency (Hz):
- ☐ Period (Secs):

OK Cancel

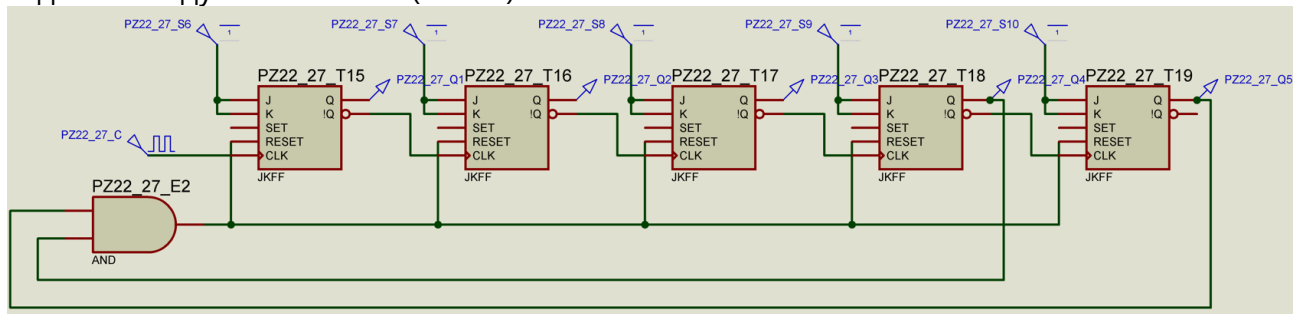
Графіки до схеми:





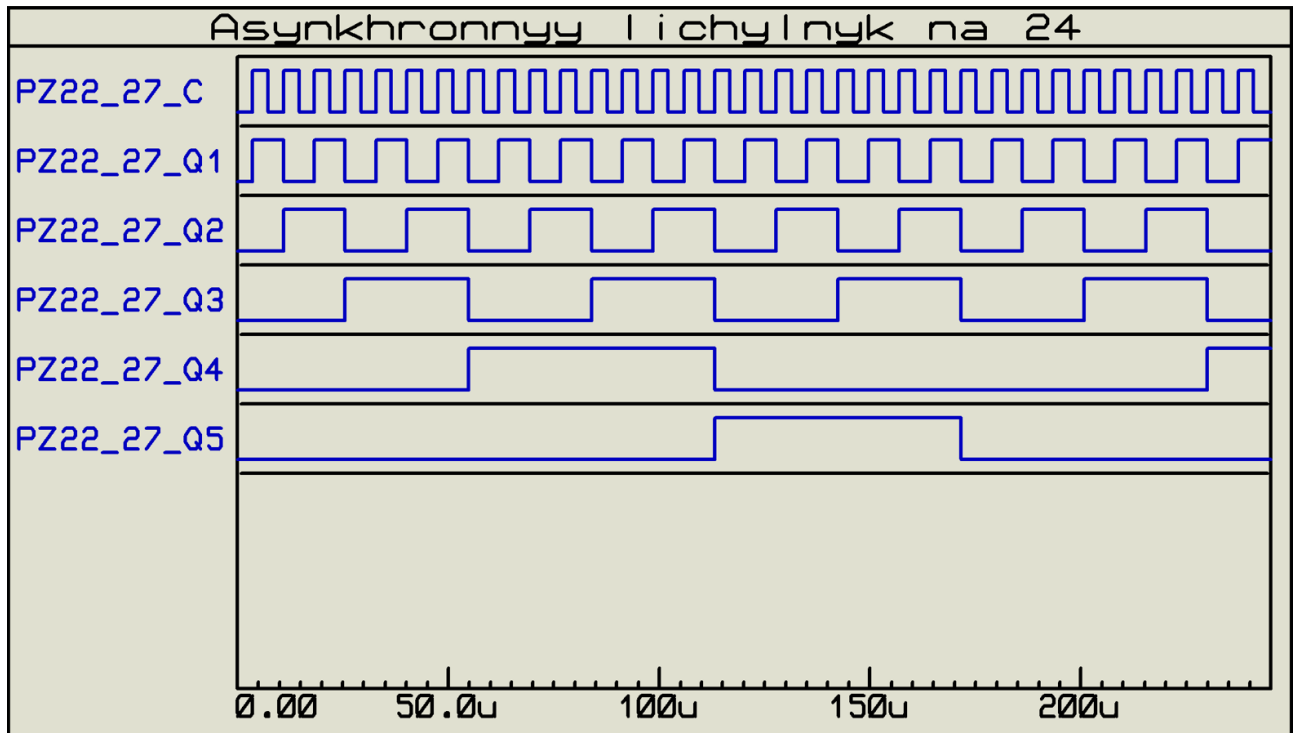
Проаналізував отримані часові діаграми, та дійшов до висновку, що асинхронний лічильник працює відповідно до опису свого функціонування.

4. Схема 5-розрядного асинхронного підсумовуючого лічильника на JK-тригерах з заданим модулем лічби 24 (11000)



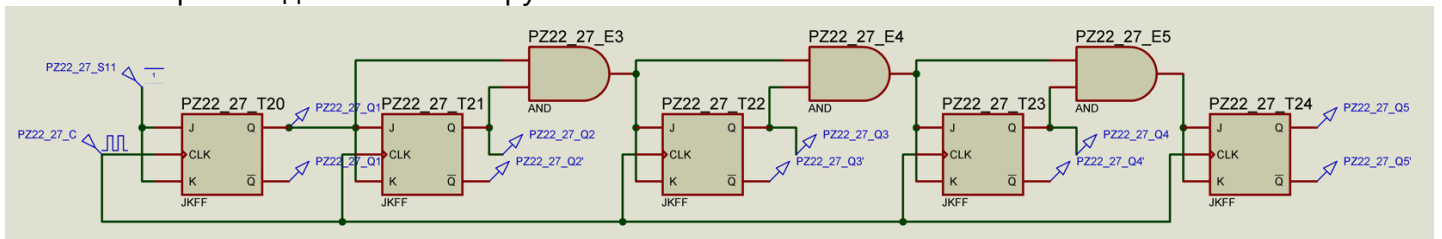
Графік



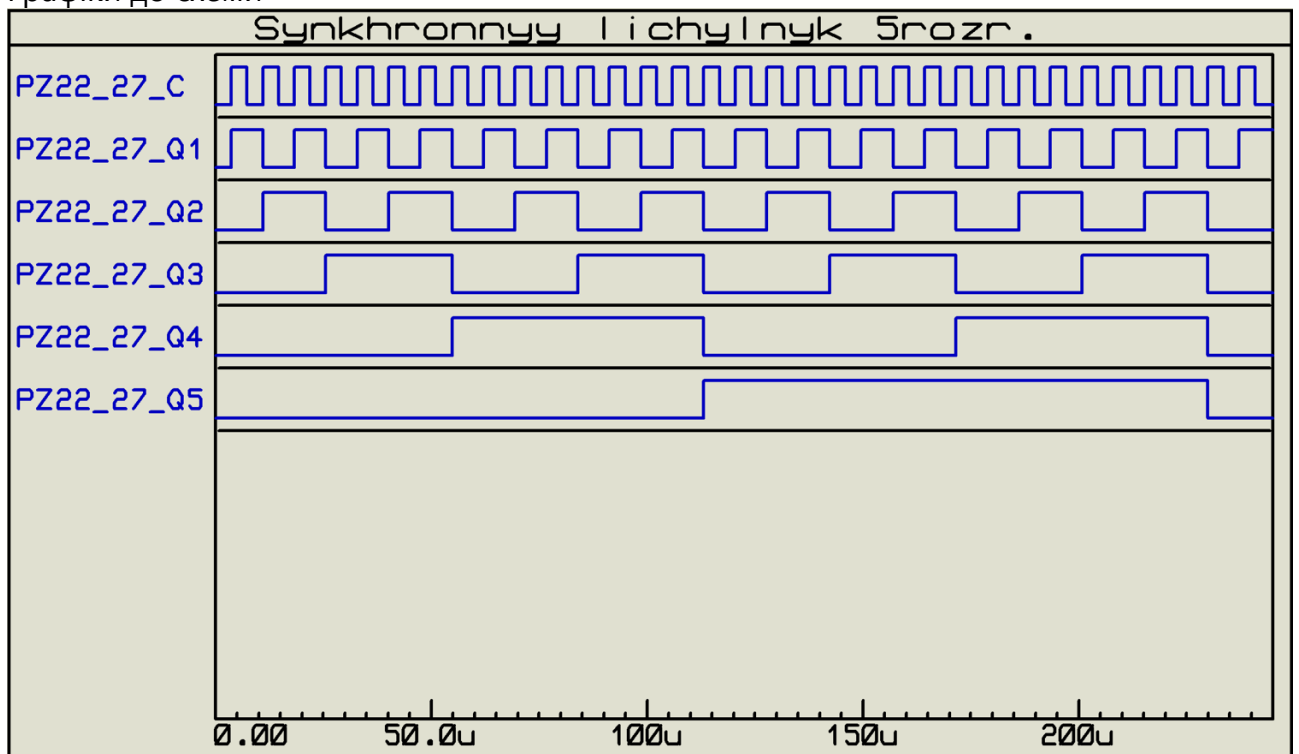


Проаналізував отримані часові діаграми, та дійшов до висновку, що асинхронний лічильник працює відповідно до опису свого функціонування.

5. Схема 5-розрядного синхронного підсумовуючого лічильника на JK-тригерах з прямим динамічним керуванням



Графіки до схеми





Проаналізував отримані часові діаграми, та дійшов до висновку, що синхронний лічильник працює відповідно до опису свого функціонування. З графіка визначив модуль та місткість лічби лічильника:

$$M = 2^n = 2^5 = 32.$$

$$N_{max} = 30 - 1 = 29.$$

**Висновки:** під час виконання лабораторної роботи практично закріпив навички моделювання логічних схем в середовищі Proteus, поглибив знання про основні типи регістрів та лічильників, а також навчився синтезувати їхні схеми.