

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»**

**Інститут комп'ютерних наук та інформаційних технологій
Кафедра програмного забезпечення**



ЗВІТ

**до лабораторної роботи №3
на тему: «Моделювання та дослідження основних типів
тригерів в системі Proteus»
з дисципліни: «Архітектура комп'ютера»**

Лектор:

доц. кафедри ПЗ
Крук О. Г.

Виконав:

ст. гр. ПЗ-22
Чаус О. М.

Прийняв:

доц. кафедри ПЗ
Крук О. Г.

« ____ » _____ 2022 р.

Σ = _____

Тема роботи: Синтез та моделювання шифраторів і дешифраторів та мультиплексорів і демультиплексорів в системі Proteus

Мета роботи: закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про будову та функціонування основних типів тригерів; ввести їх схеми та виконати моделювання в системі програм Proteus; дослідити на основі отриманих часових діаграм їх роботу.

Варіант 27	
20	33
27	55
38	57

Теоретичні відомості

Тригер – це електронний вузол з двома стійкими станами, зміна яких відбувається під дією вхідних сигналів. Якщо прийняти один стан тригера за логічний нуль, а інший – за логічну одиницю, то виходить, що тригер є елементом пам'яті, який може зберігати один біт інформації. Тригер є найпростішим представником послідовних пристроїв і водночас обов'язковим елементом всіх функціонально закінчених вузлів і блоків.

У послідовних пристроях (цифрових автоматах з пам'яттю або скінченних автоматах) вихідні сигнали в кожний момент часу залежать не лише від поточних значень на входах, але й від внутрішнього стану, який є наслідком попередніх дій вхідних сигналів.

На основі тригерів будують типові функціональні вузли комп'ютерів – регістри, лічильники, накопичувальні суматори, а також мікропрограми автоматів.

Усі різновиди тригерів можна розглядати як елементарний автомат, що складається з власне елемента пам'яті (ЕП) та схеми керування (СхК), яка утворює вхідну логіку. Схема керування забезпечує записування, зчитування, стирання та індикацію двійкової інформації, яка зберігається в тригері.

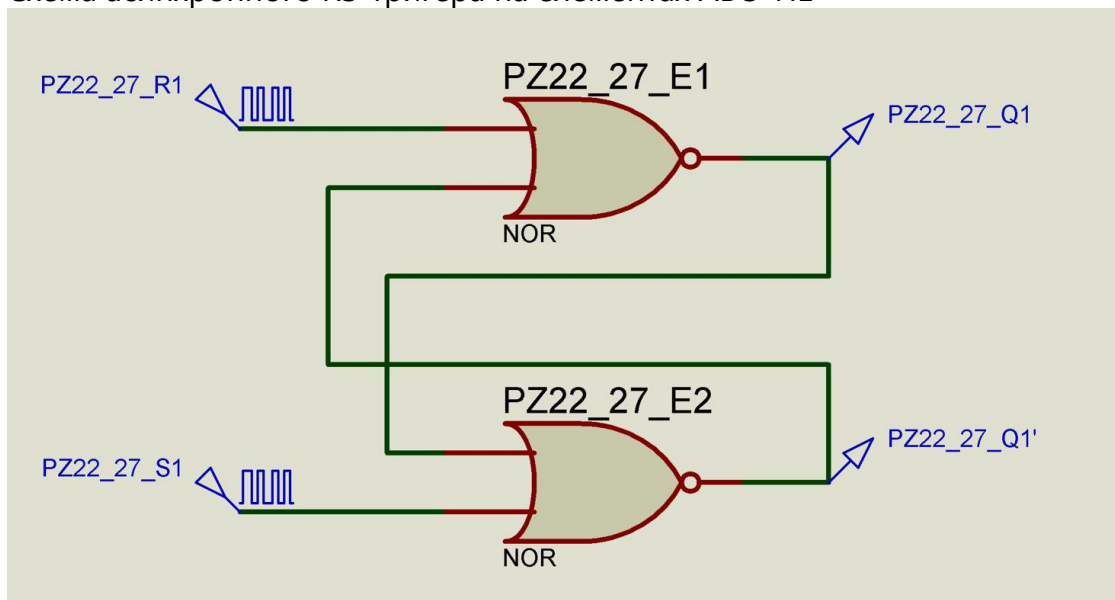
Хід роботи

$$T = \frac{1}{f} = \frac{1}{55000} = 18.181 \cdot 10^{-6} \text{ с}$$

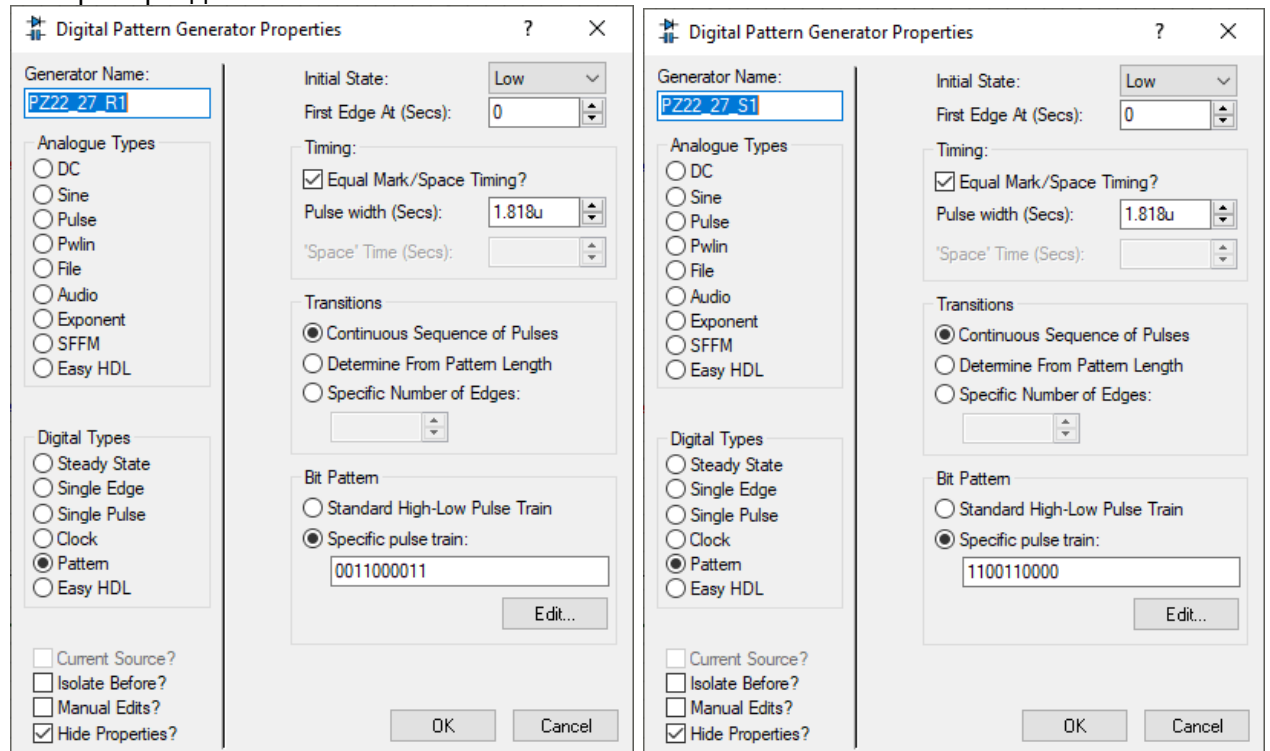
$$\tau = \frac{T}{10} = 1.818 \cdot 10^{-6} \text{ с}$$

$$\tau_2 = \frac{T}{64} = 1.30 \cdot 10^{-7} \text{ с}$$

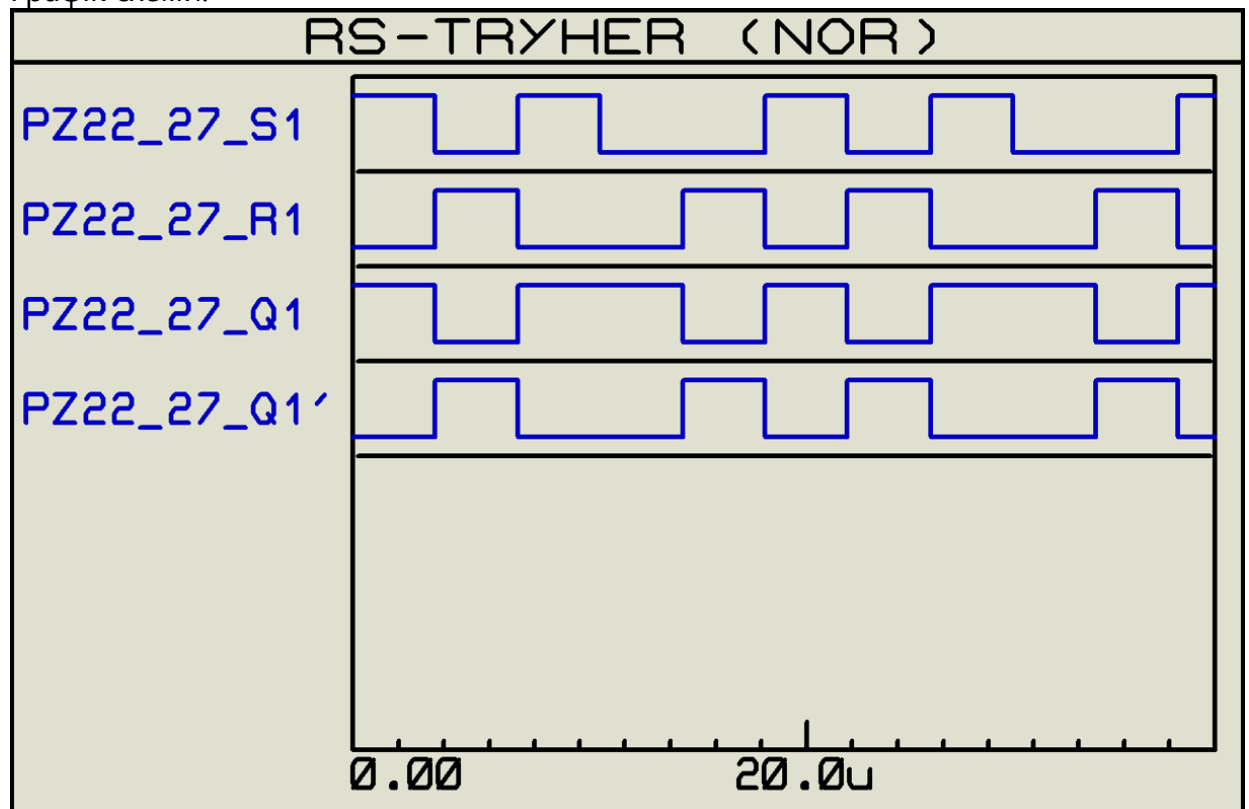
1. Схема асинхронного RS-тригера на елементах АБО-НЕ



Генератори до схеми:

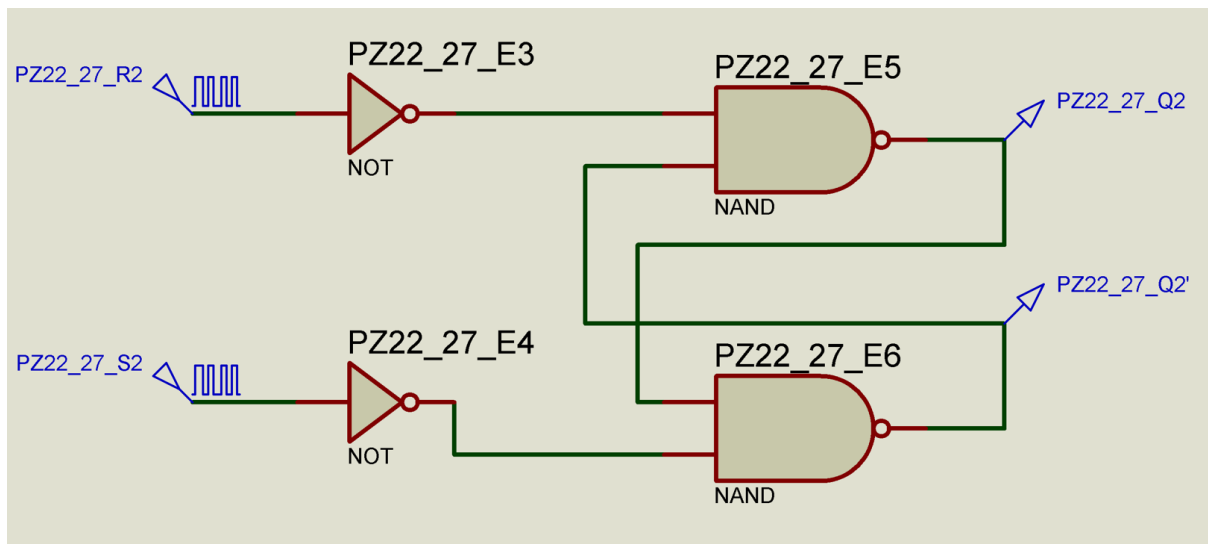


Графік схеми:



Порівнявши значення графіка та таблиці істинності для тригера дійшов до висновку, що схему побудовано правильно.

2. Схема асинхронного RS-тригера на елементах I-HE



Генератори до схеми:

Digital Pattern Generator Properties

Generator Name: PZ22_27_R2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 0011000011

Buttons: OK, Cancel

Digital Pattern Generator Properties

Generator Name: PZ22_27_S2

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

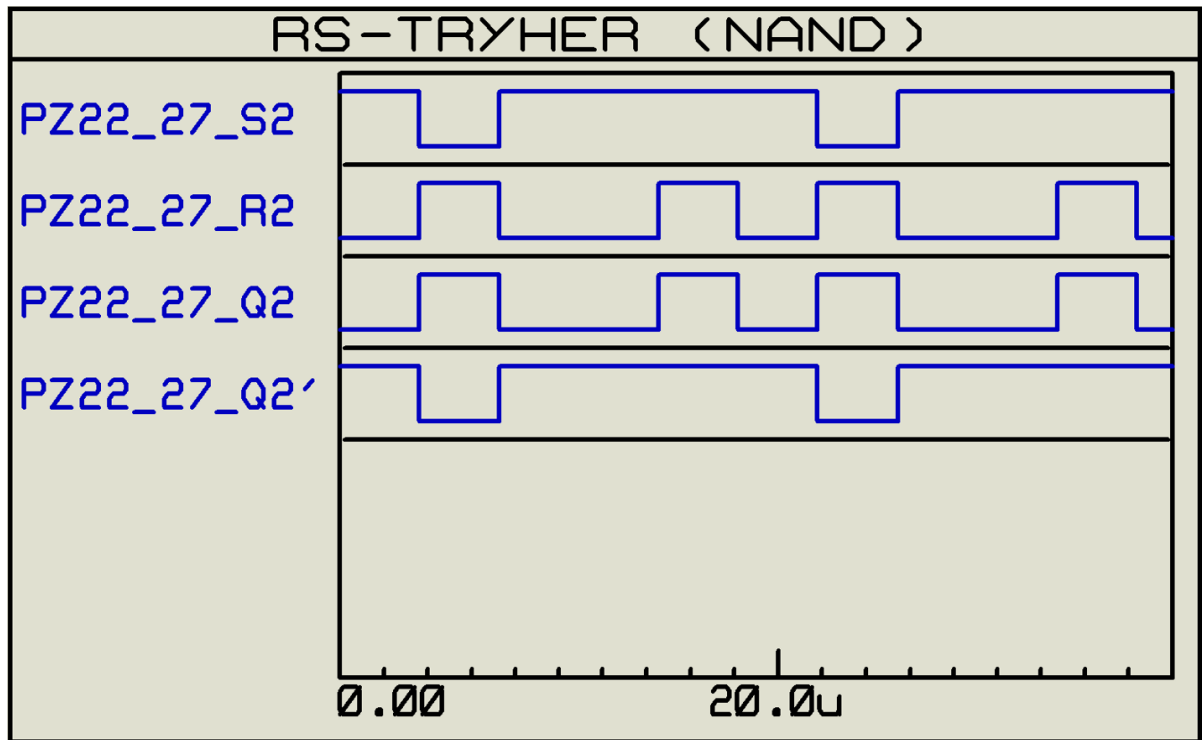
Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 1100111111

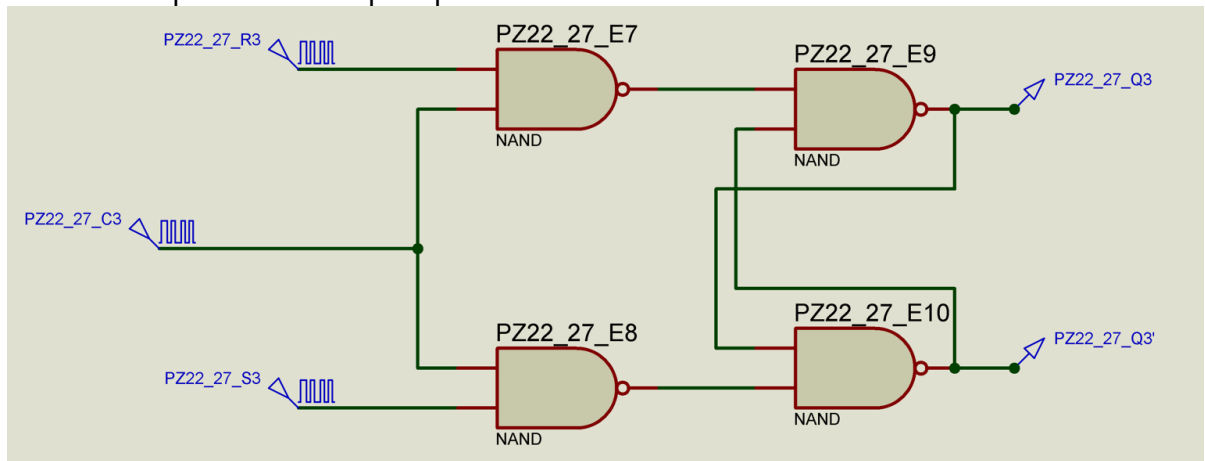
Buttons: OK, Cancel

Графік до схеми:



Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

3. Схема синхронного RS-тригера на елементах І-НЕ



Генератори до схеми:

Digital Pattern Generator Properties

Generator Name: PZ22_27_R3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

0011000011

Edit...

OK Cancel

Digital Pattern Generator Properties

Generator Name: PZ22_27_S3

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

1100110000

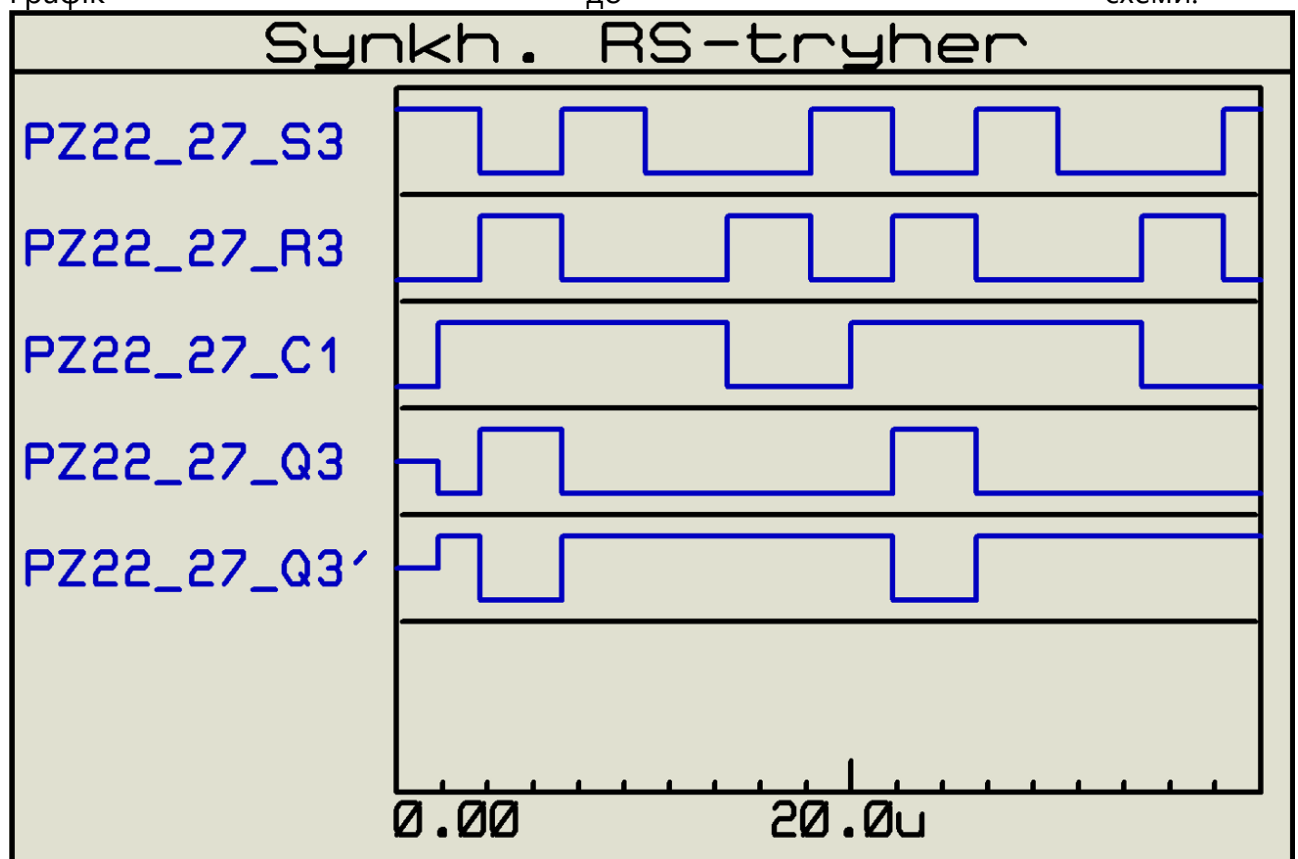
Edit...

OK Cancel

Графік

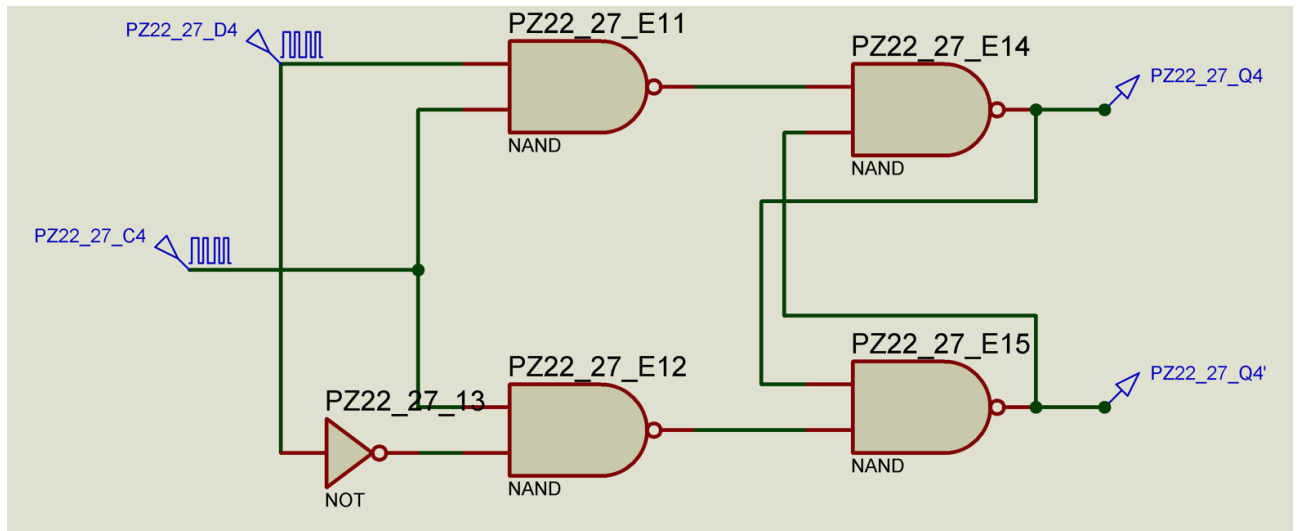
до

схеми:



Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

4. Схема синхронного D-тригера



Генератори до схеми:

Digital Pattern Generator Properties

Generator Name: PZ22_27_D4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train: 1100110000

Edit...

OK Cancel

Digital Pattern Generator Properties

Generator Name: PZ22_27_C4

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

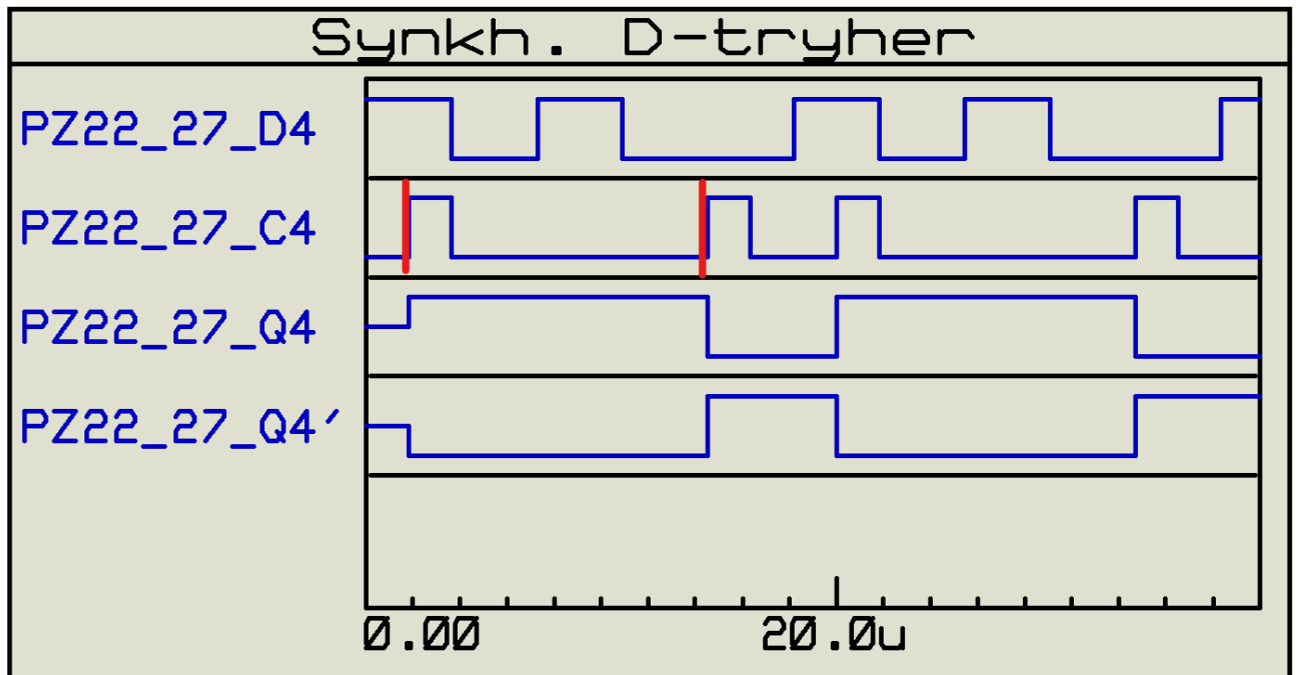
☐ Standard High-Low Pulse Train

☒ Specific pulse train: 0100000010

Edit...

OK Cancel

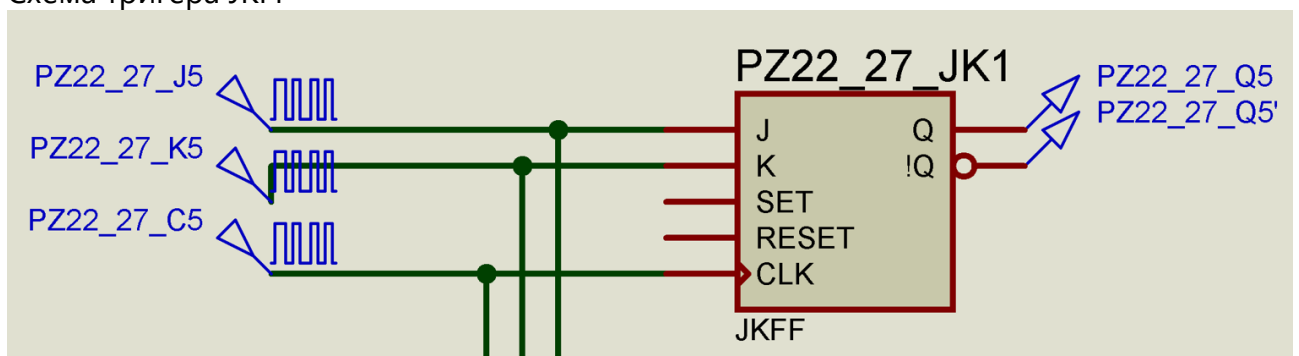
Графік



Порівнявши значення графіка та таблиці істинності для тригера дійшов до висновку, що схему побудовано правильно.

Час затримки D – час між двома послідовними появами активного логічного рівня на вході C, зображений на графіку.

5. Схема тригера JKFF



Генератори до схеми

Digital Pattern Generator Properties

Generator Name: PZ22_27_J5

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01110000110111110011

Edit...

OK Cancel

Digital Pattern Generator Properties

Generator Name: PZ22_27_K5

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

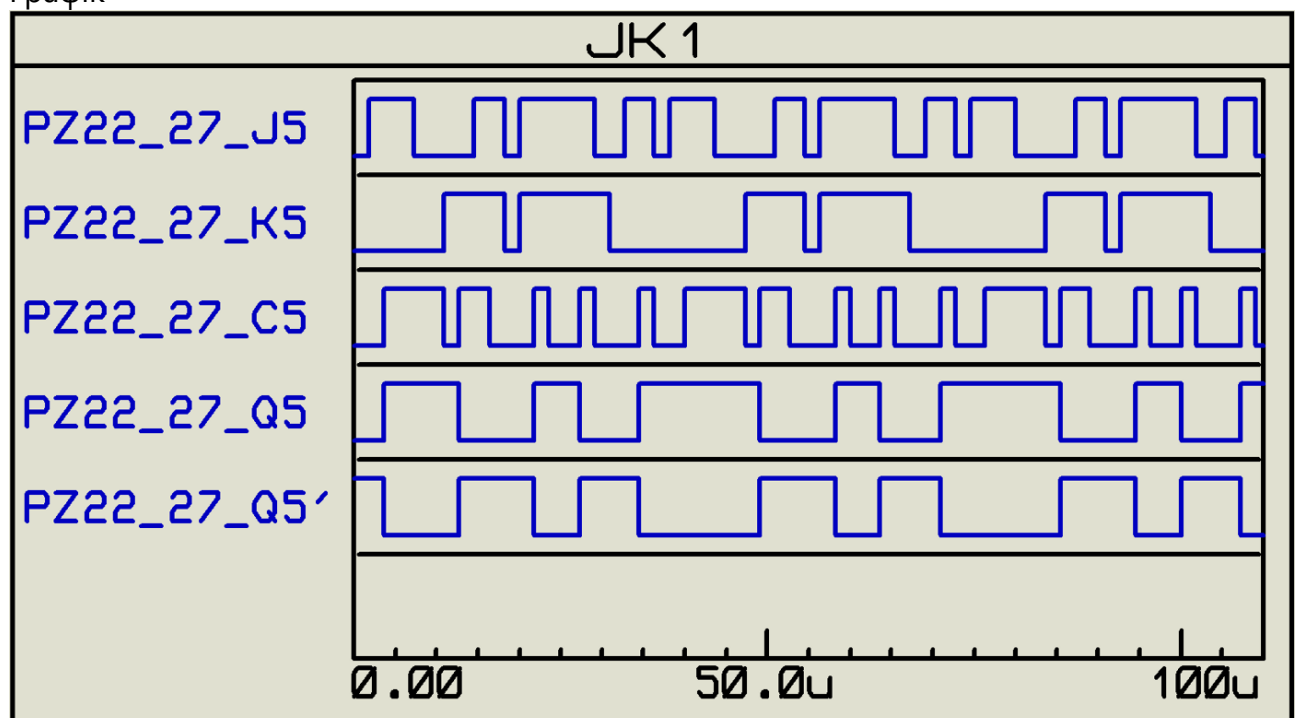
☒ Specific pulse train:

00000011110111110000

Edit...

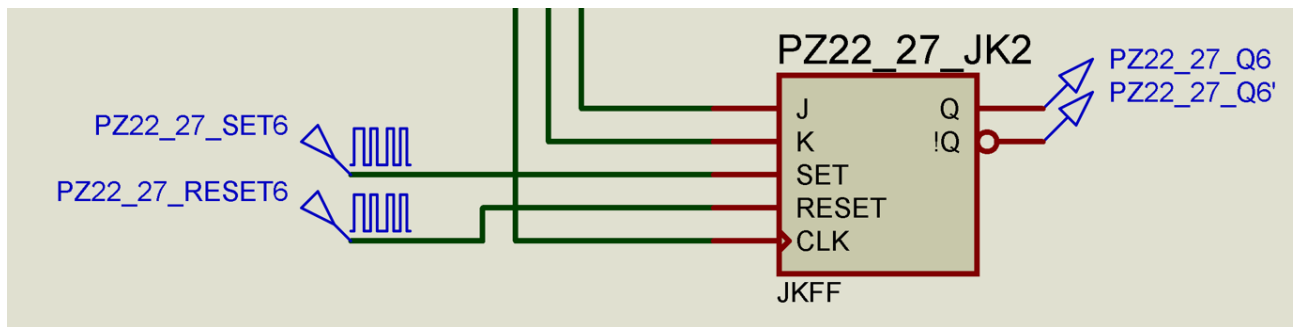
OK Cancel

Графік



Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

6. Схема тригера JKFF(2)



Генератори SET6 та RESET6

Digital Pattern Generator Properties

Generator Name: **PZ22_27_SET6**

Initial State: Low

First Edge At (Secs): 0

Timing:

☐ Equal Mark/Space Timing?

'Mark' Time (Secs): 18.18u

'Space' Time (Secs): 32.73u

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

001000

Edit...

OK Cancel

Digital Pattern Generator Properties

Generator Name: **PZ22_27_RESET6**

Initial State: Low

First Edge At (Secs): 0

Timing:

☐ Equal Mark/Space Timing?

'Mark' Time (Secs): 18.18u

'Space' Time (Secs): 32.73u

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

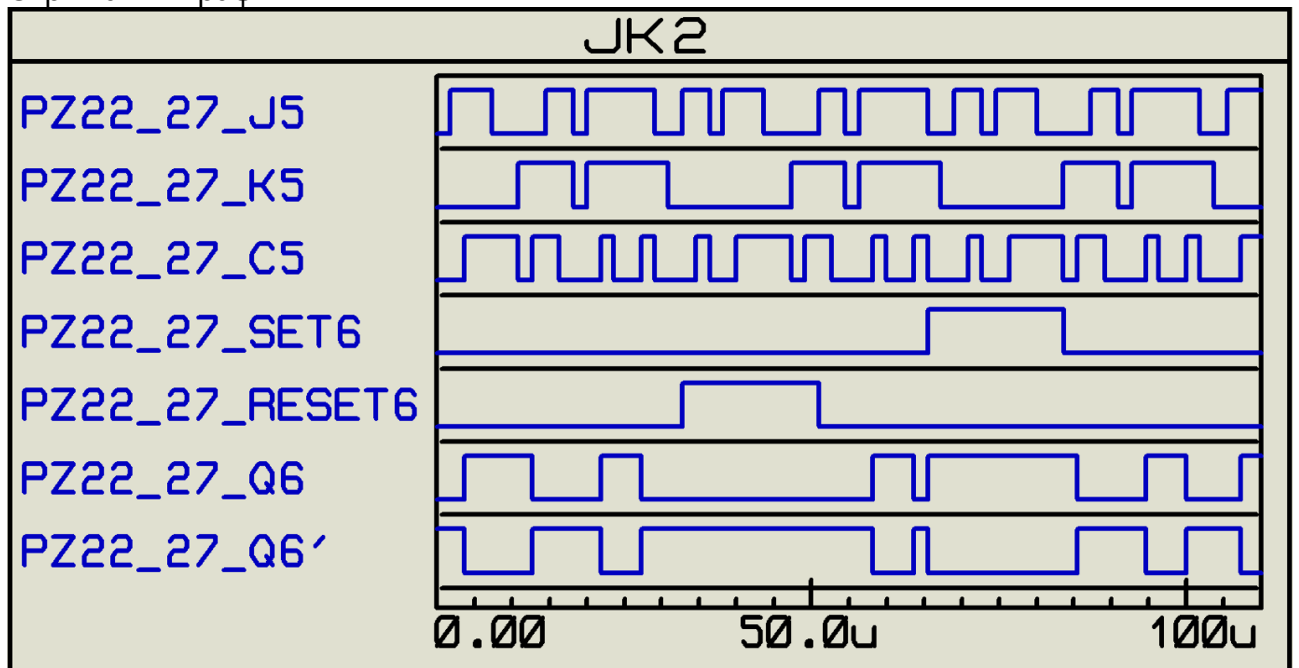
☒ Specific pulse train:

010000

Edit...

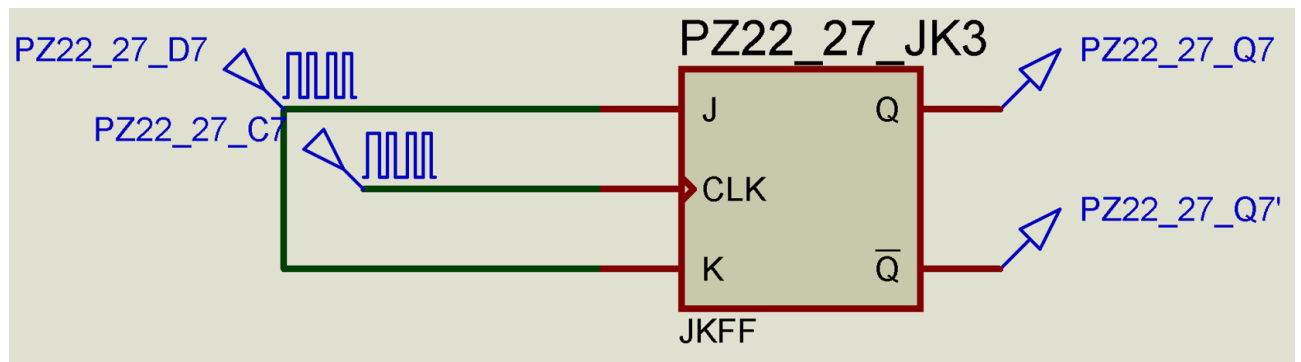
OK Cancel

Отриманий графік



Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

7. Схема синхронного D-тригера на основі тригера JKFF



Генератори до схеми

Digital Pattern Generator Properties

Generator Name: PZ22_27_D7

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

☒ Specific pulse train:

01110000110111110011

Edit...

OK Cancel

Digital Pattern Generator Properties

Generator Name: PZ22_27_C7

Initial State: Low

First Edge At (Secs): 0

Timing:

☒ Equal Mark/Space Timing?

Pulse width (Secs): 1.818u

'Space' Time (Secs):

Transitions:

☒ Continuous Sequence of Pulses

☐ Determine From Pattern Length

☐ Specific Number of Edges:

Bit Pattern:

☐ Standard High-Low Pulse Train

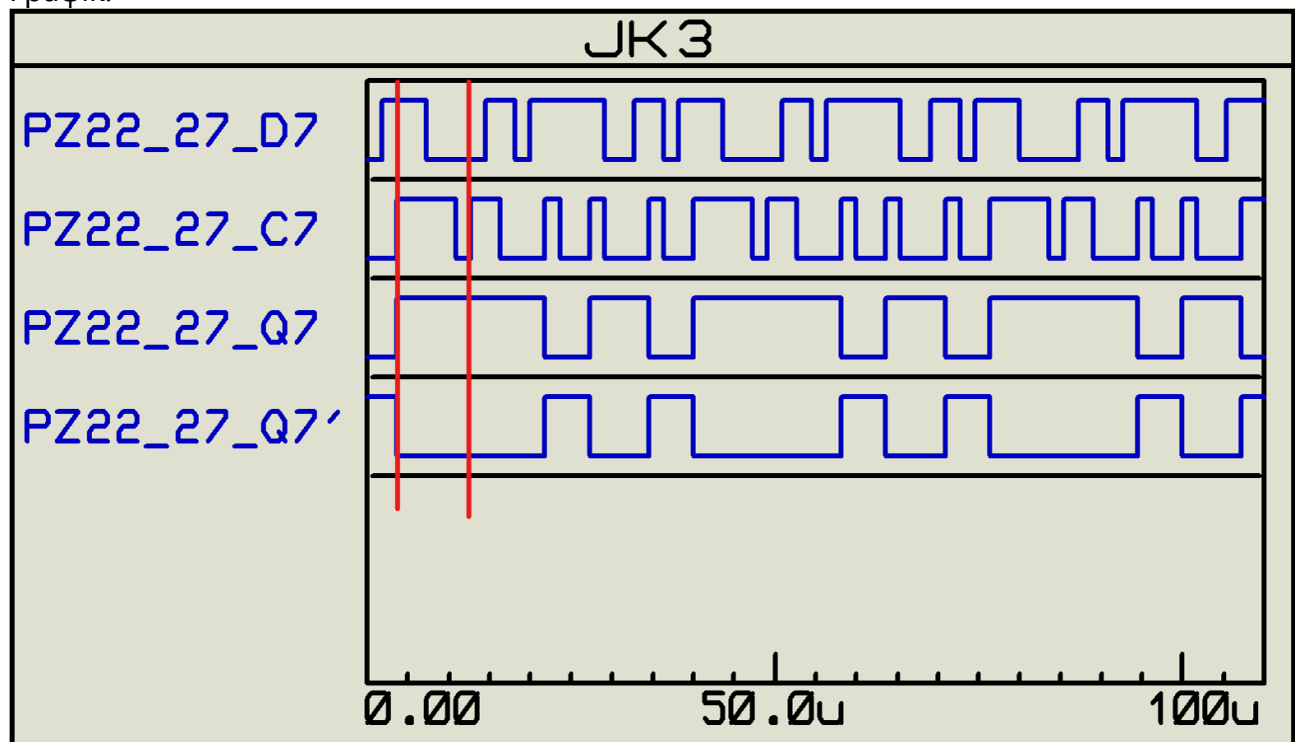
☒ Specific pulse train:

00111101100010010001

Edit...

OK Cancel

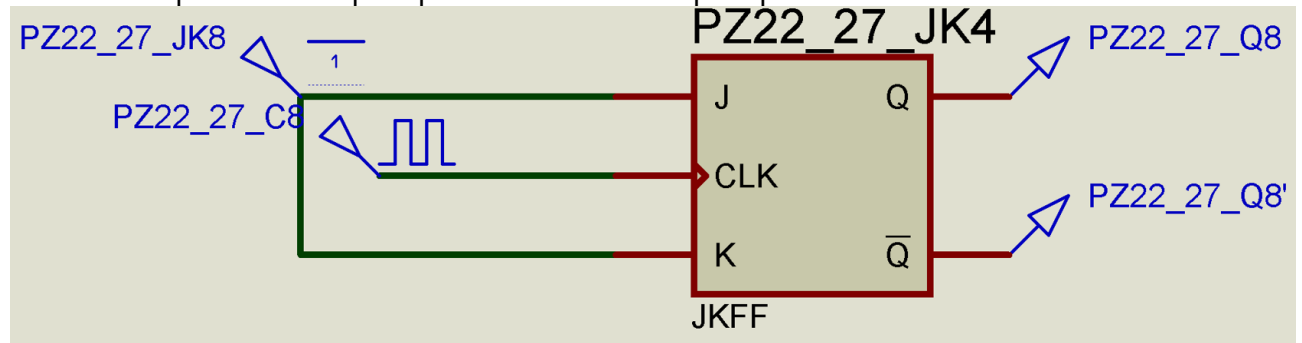
Графік:



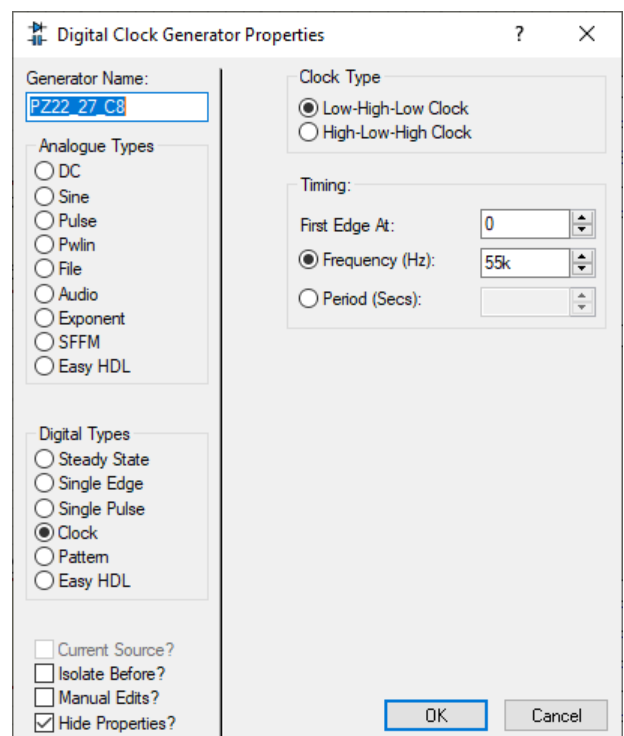
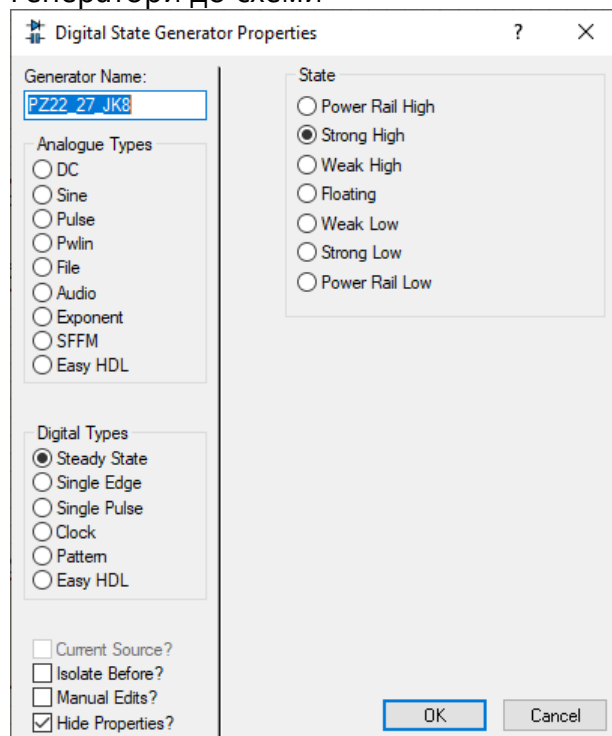
Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

Час затримки D – час між двома послідовними появами активного логічного рівня на вході C, зображений на графіку.

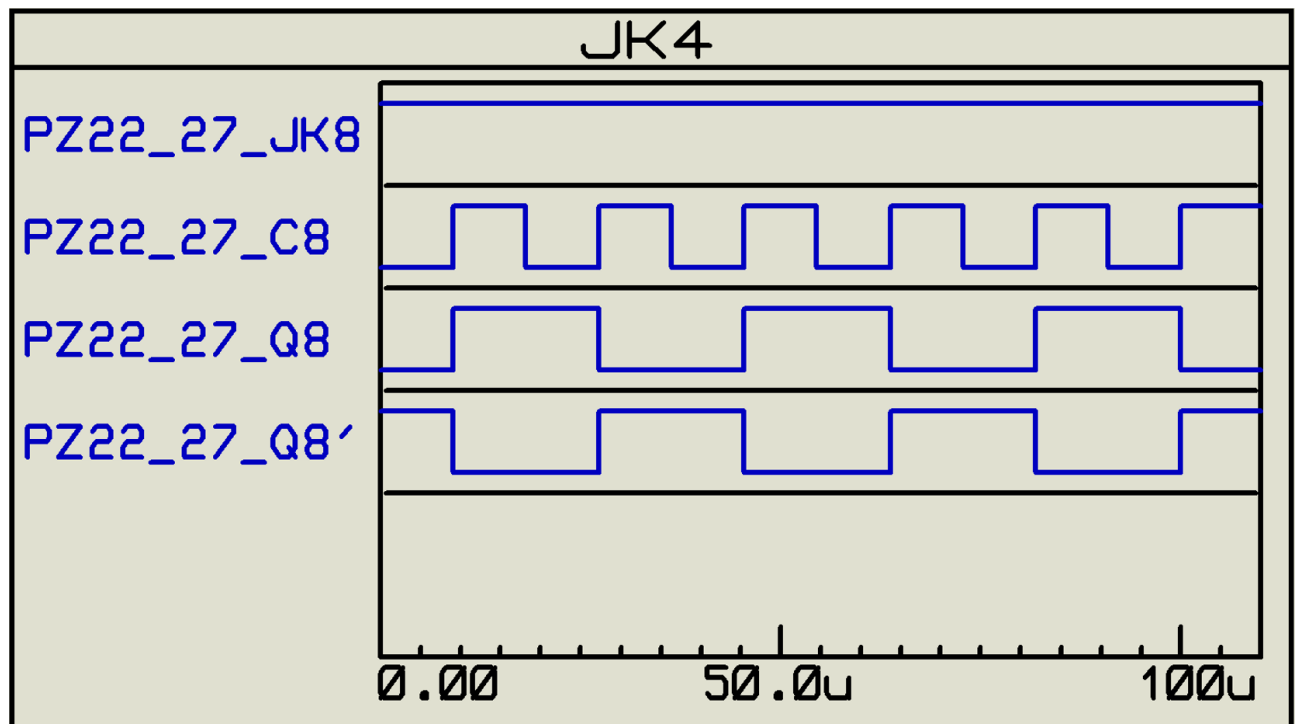
8. Схема синхронного T-тригера на основі JKFF тригера



Генератори до схеми



Графік



Порівнявши вихідні значення, зображені на графіку та значення в таблиці істинності до даного тригера, дійшов до висновку, що схему побудовано правильно.

Період вихідного сигналу $T = 3.64 \cdot 10^{-5} \text{ c}$

Висновки: під час виконання лабораторної роботи практично закріпив навички моделювання логічних схем в середовищі Proteus, поглибив знання про основні типи послідовнісних схем(RS-тригери, D-тригери, JK-тригери та Т-тригери) а також навчився синтезувати їхні схеми.