

**МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»**

**Інститут комп'ютерних наук та інформаційних технологій
Кафедра програмного забезпечення**



ЗВІТ

до лабораторної роботи №2

на тему: «Синтез та моделювання шифраторів і дешифраторів та
мультиплексорів і демультиплексорів в системі Proteus»

з дисципліни: «Архітектура комп'ютера»

Лектор:

доц. кафедри ПЗ

Крук О. Г.

Виконав:

ст. гр. ПЗ-22

Чаус О. М.

Прийняв:

доц. кафедри ПЗ

Крук О. Г.

« ____ » _____ 2022 р.

Σ = ____

Тема роботи: Синтез та моделювання шифраторів і дешифраторів та мультиплексорів і демультимплексорів в системі Proteus

Мета роботи: закріпити практичні навички моделювання логічних схем в середовищі системи програм Proteus; поглибити знання про основні типи комбінаційних схем: шифратори, дешифратори, мультиплексори і демультимплексори; опанувати їх синтез; дослідити роботу синтезованих схем в системі програм Proteus.

Варіант 27

22		d ₃	d ₄	d ₀	d ₁	d ₂	0	0	0	110	F ₅ , F ₇ , F ₁ , F ₄ , F ₃ , F ₆ , F ₂
23		0	d ₃	d ₄	d ₀	d ₁	d ₂	0	0	112	F ₇ , F ₁ , F ₄ , F ₃ , F ₆ , F ₂ , F ₅
24		0	0	d ₃	d ₄	d ₀	d ₁	d ₂	0	114	F ₁ , F ₄ , F ₃ , F ₆ , F ₂ , F ₅ , F ₇
25		0	0	0	d ₃	d ₄	d ₀	d ₁	d ₂	116	F ₄ , F ₃ , F ₆ , F ₂ , F ₅ , F ₇ , F ₁
26		d ₂	0	0	0	d ₃	d ₄	d ₀	d ₁	118	F ₃ , F ₆ , F ₂ , F ₅ , F ₇ , F ₁ , F ₄
27		d ₁	d ₂	0	0	0	d ₃	d ₄	d ₀	120	F ₆ , F ₂ , F ₅ , F ₇ , F ₁ , F ₄ , F ₃
28		d ₀	d ₁	d ₂	0	0	0	d ₃	d ₄	122	F ₂ , F ₃ , F ₇ , F ₁ , F ₄ , F ₅ , F ₆
29		d ₄	d ₀	d ₁	d ₂	0	0	0	d ₃	124	F ₃ , F ₇ , F ₁ , F ₄ , F ₅ , F ₆ , F ₂
30		d ₃	d ₄	d ₀	d ₁	d ₂	0	0	0	126	F ₇ , F ₁ , F ₄ , F ₅ , F ₆ , F ₂ , F ₃

Теоретичні відомості

Шифратор (encoder, coder, CD) $m \times n$ - це цифровий пристрій, призначений для перетворення вхідного m -розрядного унітарного коду у вихідний n -розрядний двійковий позиційний код. Двійковий код, що має завжди тільки одну одиницю, а решта - нулі, називається унітарним. При активізації одного з входів (появі на ньому одиниці) на виходах шифратора формується код, що відображає номер активного входу. Повний двійковий шифратор має $m = 2^n$ входів і n виходів, в неповного шифратора $m < 2^n$.

Дешифратор (decoder, DC) $n \times m$ - це цифровий пристрій, призначений для перетворення вхідного n -розрядного двійкового позиційного коду у вихідний m -розрядний унітарний код. Як бачимо, дешифратор виконує функцію, обернену функції шифратора. Якщо $m = 2^n$, то дешифратор є повним, в неповного дешифратора $m < 2^n$.

Мультиплексор (multiplexer, MUX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічних сигналів від одного з n інформаційних X-входів на єдиний D-вихід. Номер конкретного інформаційного входу, який повинен під'єднуватися до виходу в певний момент часу, вказується за допомогою адресних A-входів. Зв'язок між числом адресних входів q та числом інформаційних входів n визначається співвідношенням $2^q \geq n$.

Демультимплексор (demultiplexer, DMX) - це комбінаційний цифровий пристрій, призначений для комутування (перемикання) логічного сигналу з одного інформаційного D входу на один з n інформаційних Y виходів. Номер виходу, на який передається значення вхідного логічного сигналу, визначається в певний конкретний момент часу за допомогою адресних A-входів. Зв'язок між числом адресних входів q та числом інформаційних виходів n визначається співвідношенням $2^q \geq n$.

Хід роботи

Період цифрового сигналу:

$$T = \frac{1}{f} = \frac{1}{120000} = 8.33 \cdot 10^{-6} \text{ с}$$

Ширина елементарного імпульсу:

$$\tau_1 = \frac{T}{8} = 1.042 \cdot 10^{-6} \text{ c}$$

$$\tau_2 = \frac{T}{64} = 1.30 \cdot 10^{-7} \text{ c}$$

1. Синтезував схему пріоритетного шифратора.

$$H_6 = F_6$$

$$H_2 = \neg F_6 \wedge F_2$$

$$H_5 = \neg F_6 \wedge \neg F_2 \wedge F_5$$

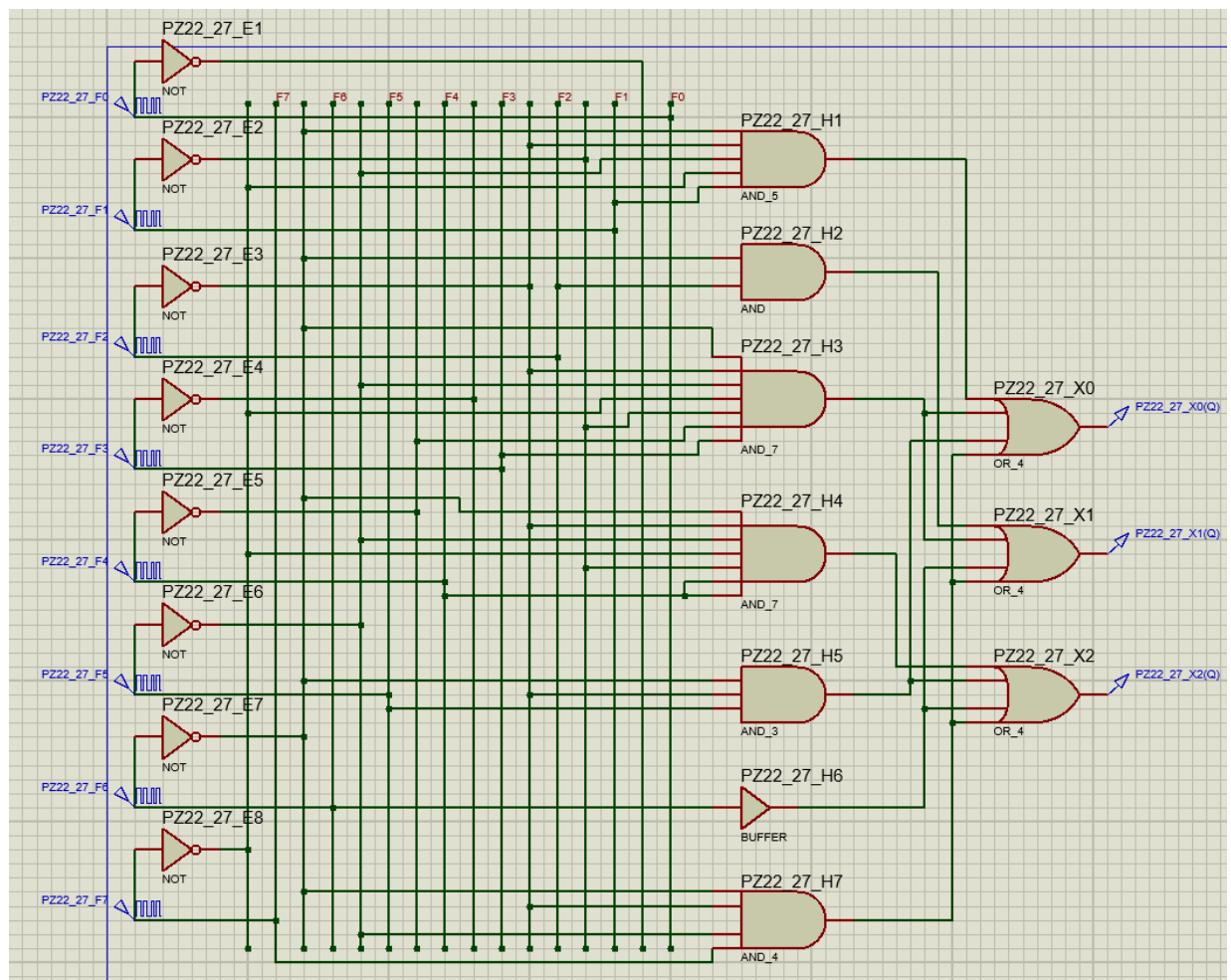
$$H_7 = \neg F_6 \wedge \neg F_2 \wedge \neg F_5 \wedge F_7$$

$$H_1 = \neg F_6 \wedge \neg F_2 \wedge \neg F_5 \wedge \neg F_7 \wedge F_1$$

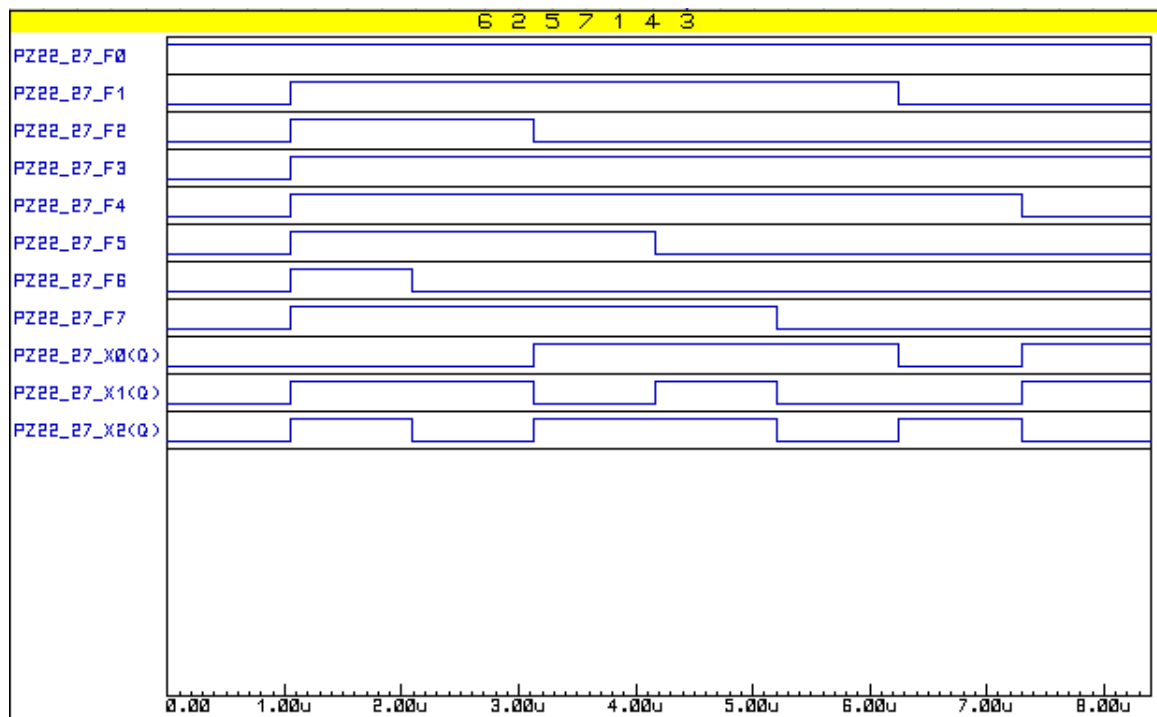
$$H_4 = \neg F_6 \wedge \neg F_2 \wedge \neg F_5 \wedge \neg F_7 \wedge \neg F_1 \wedge F_4$$

$$H_3 = \neg F_6 \wedge \neg F_2 \wedge \neg F_5 \wedge \neg F_7 \wedge \neg F_1 \wedge \neg F_4 \wedge F_3$$

F6	F2	F5	F7	F1	F4	F3	X2	X1	X0
1	0	0	0	0	0	0	1	1	0
x	1	0	0	0	0	0	0	1	0
x	x	1	0	0	0	0	1	0	1
x	x	x	1	0	0	0	1	1	1
x	x	x	x	1	0	0	0	0	1
x	x	x	x	x	1	0	1	0	0
x	x	x	x	x	x	1	0	1	1



Отриманий цифровий графік:



З графіка можна зрозуміти, що пріоритет такий:

$$F_6, F_2, F_5, F_7, F_1, F_4, F_3$$

Це співпадає з індивідуальним завданням.

2. Синтезував схему лінійного дешифратора 8x3

Z2	Z1	Z0	V7	V6	V5	V4	V3	V2	V1	V0
0	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	1	0	0
0	1	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	1	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0

$$V_1 = \neg Z_2 \wedge \neg Z_1 \wedge \neg Z_0$$

$$V_2 = \neg Z_2 \wedge \neg Z_1 \wedge Z_0$$

$$V_3 = Z_2 \wedge \neg Z_1 \wedge Z_0$$

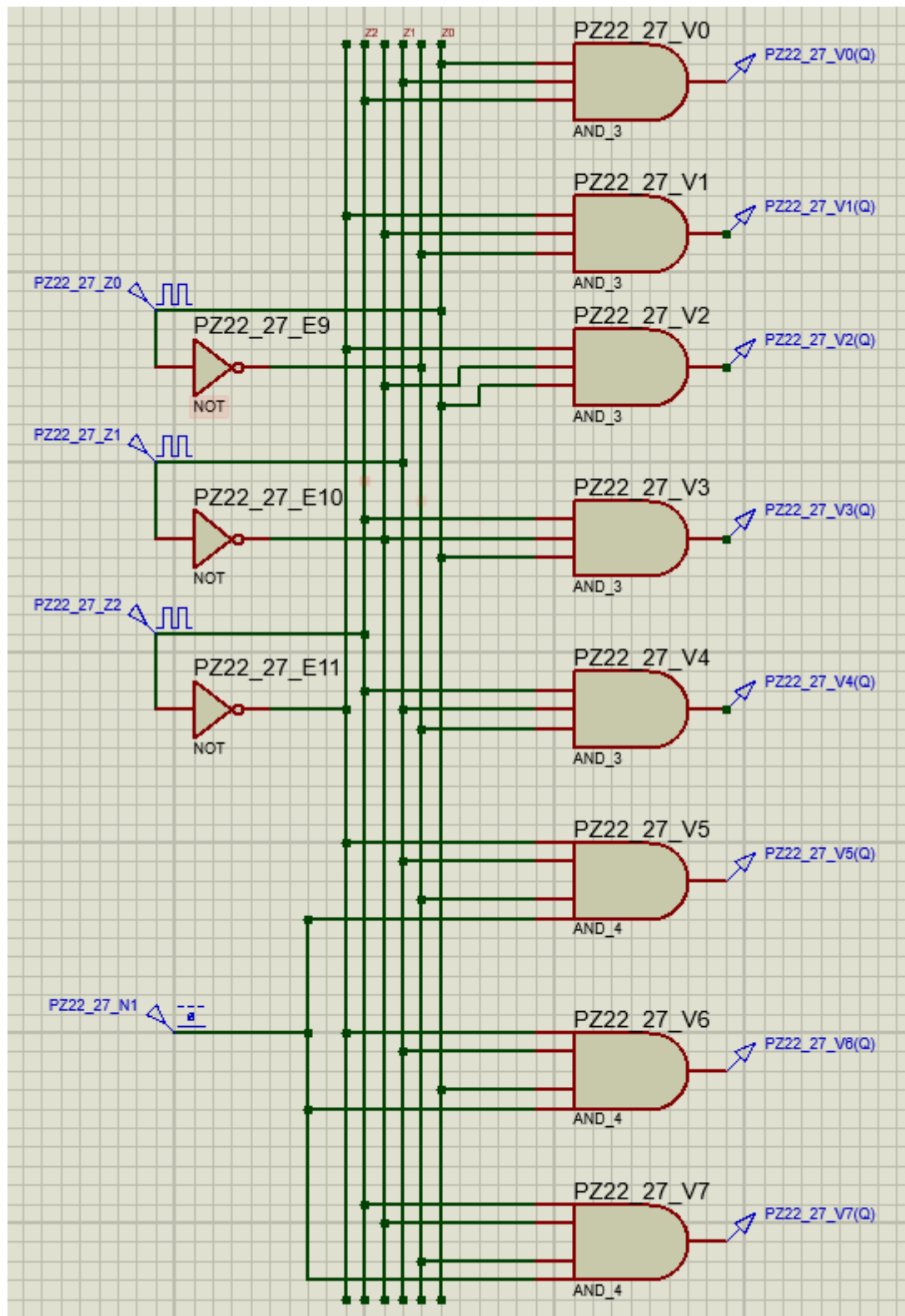
$$V_4 = Z_2 \wedge Z_1 \wedge \neg Z_0$$

$$V_0 = Z_2 \wedge Z_1 \wedge Z_0$$

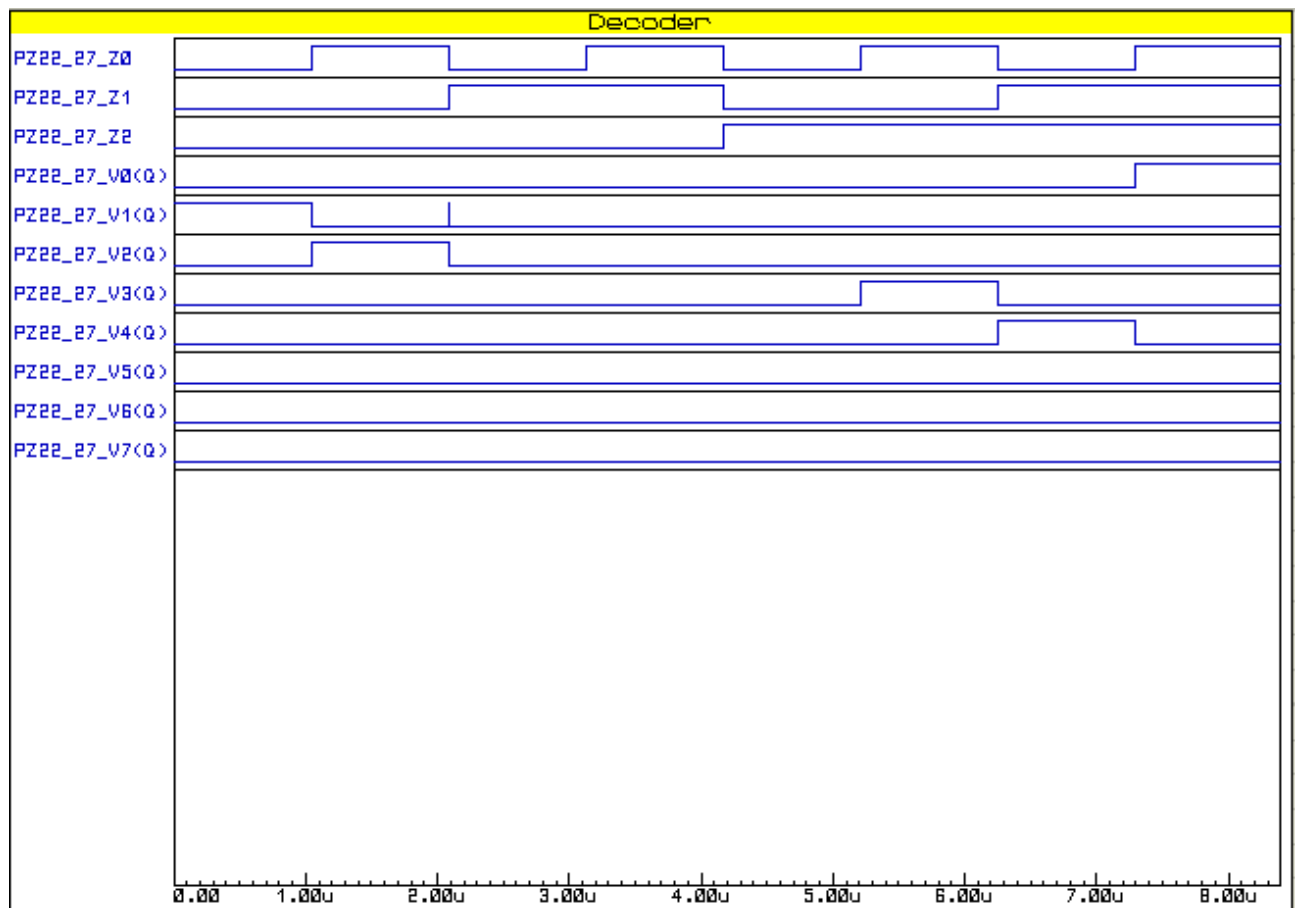
$$V_5 = \neg Z_2 \wedge Z_1 \wedge \neg Z_0$$

$$V_6 = \neg Z_2 \wedge Z_1 \wedge Z_0$$

$$V_7 = Z_2 \wedge \neg Z_1 \wedge \neg Z_0$$



Та отримав цифровий графік



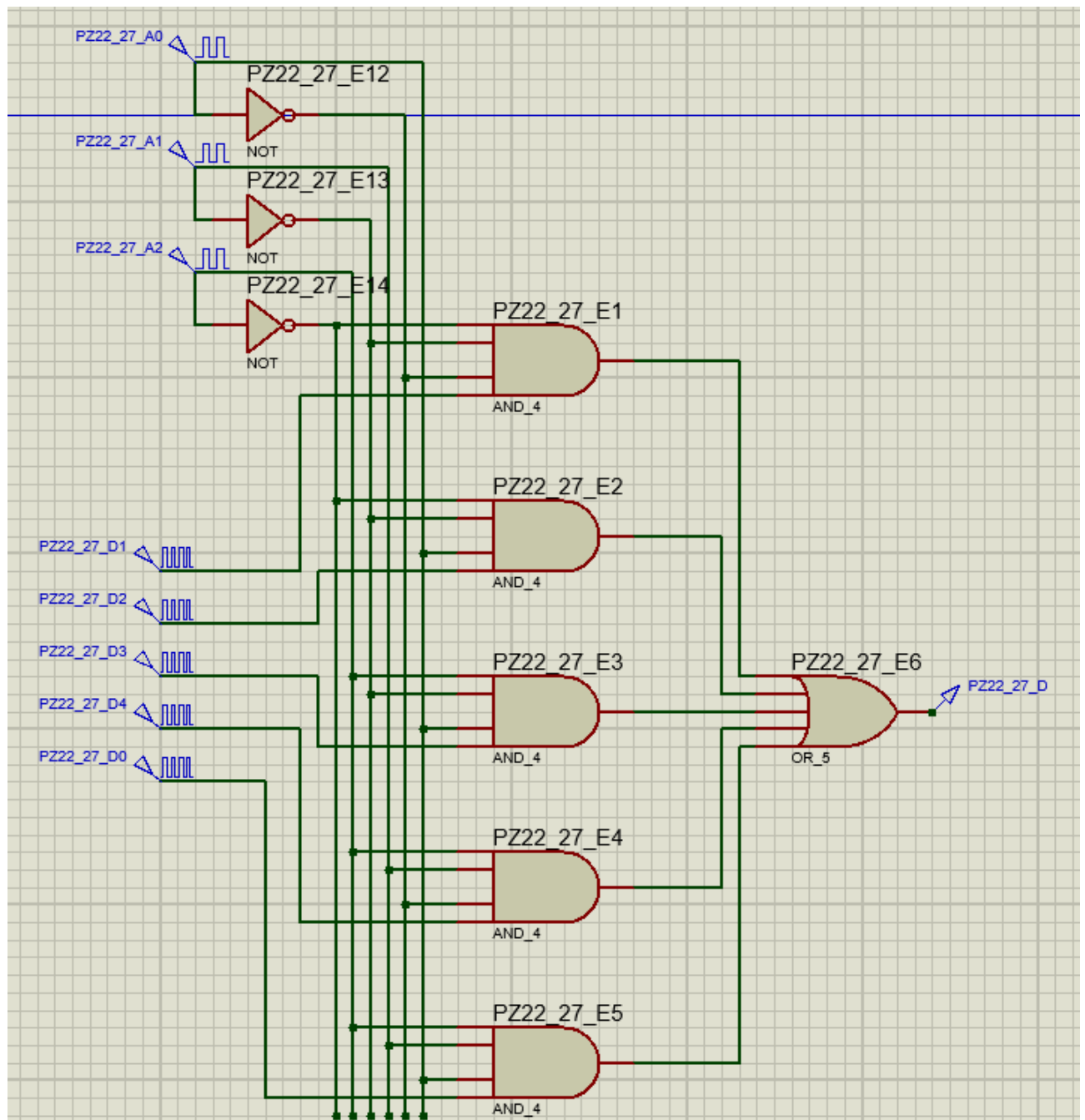
За значеннями V0...V4, які співпадають з значеннями в таблиці, можна побачити, що схему побудовано правильно.

3. Створив схему мультимплексора 5x1

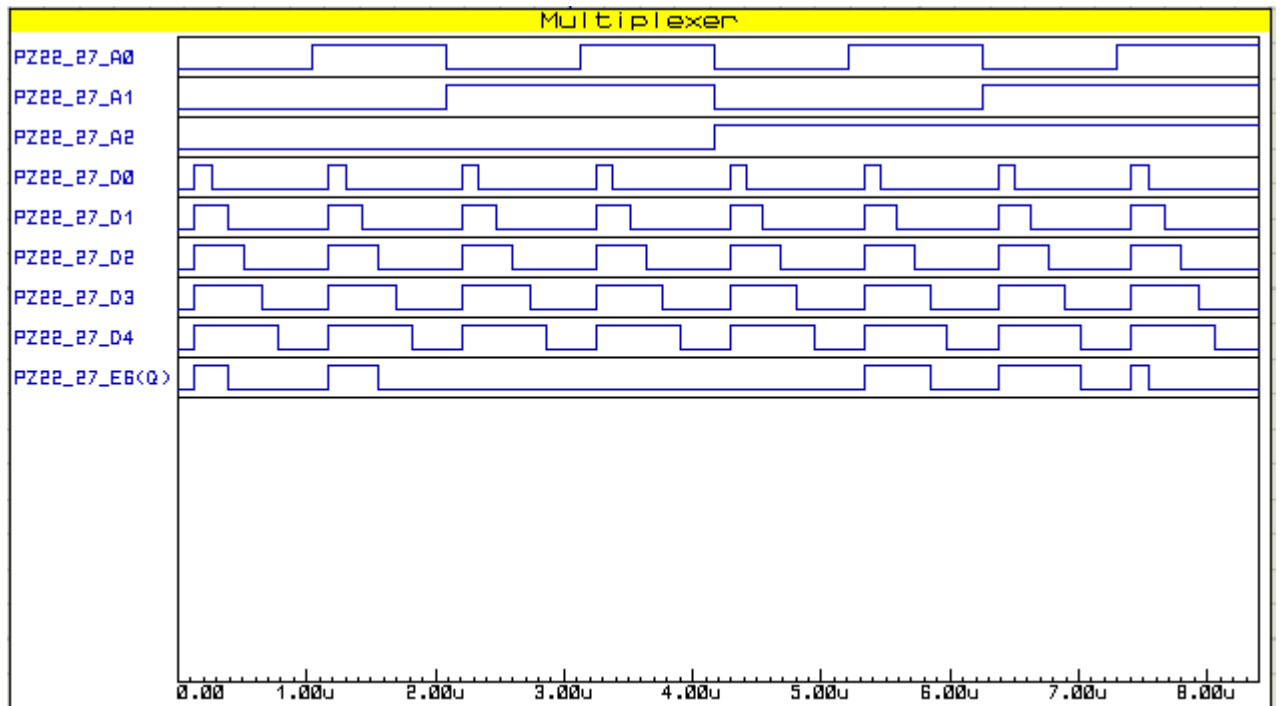
a2	a1	a0	d4	d3	d2	d1	d0
0	0	0				1	
0	0	1			1		
0	1	0					
0	1	1					
1	0	0					
1	0	1		1			
1	1	0	1				
1	1	1					1

Рівняння мультимплексора:

$$D = \neg a_2 \neg a_1 \neg a_0 d_1 \vee \neg a_2 \neg a_1 a_0 d_2 \vee a_2 \neg a_1 a_0 d_3 \vee a_2 a_1 \neg a_0 d_4 \vee a_2 a_1 a_0 d_0$$



Отриманий графік:



За графіком можна побачити, що значення співпадають з заданими в індивідуальному варіанті.

4. Створив схему демультиплексора 1 в 5

A2	A1	A0	Y4	Y3	Y2	Y1	Y0
0	0	0				1	
0	0	1			1		
0	1	0					
0	1	1					
1	0	0					
1	0	1		1			
1	1	0	1				
1	1	1					1

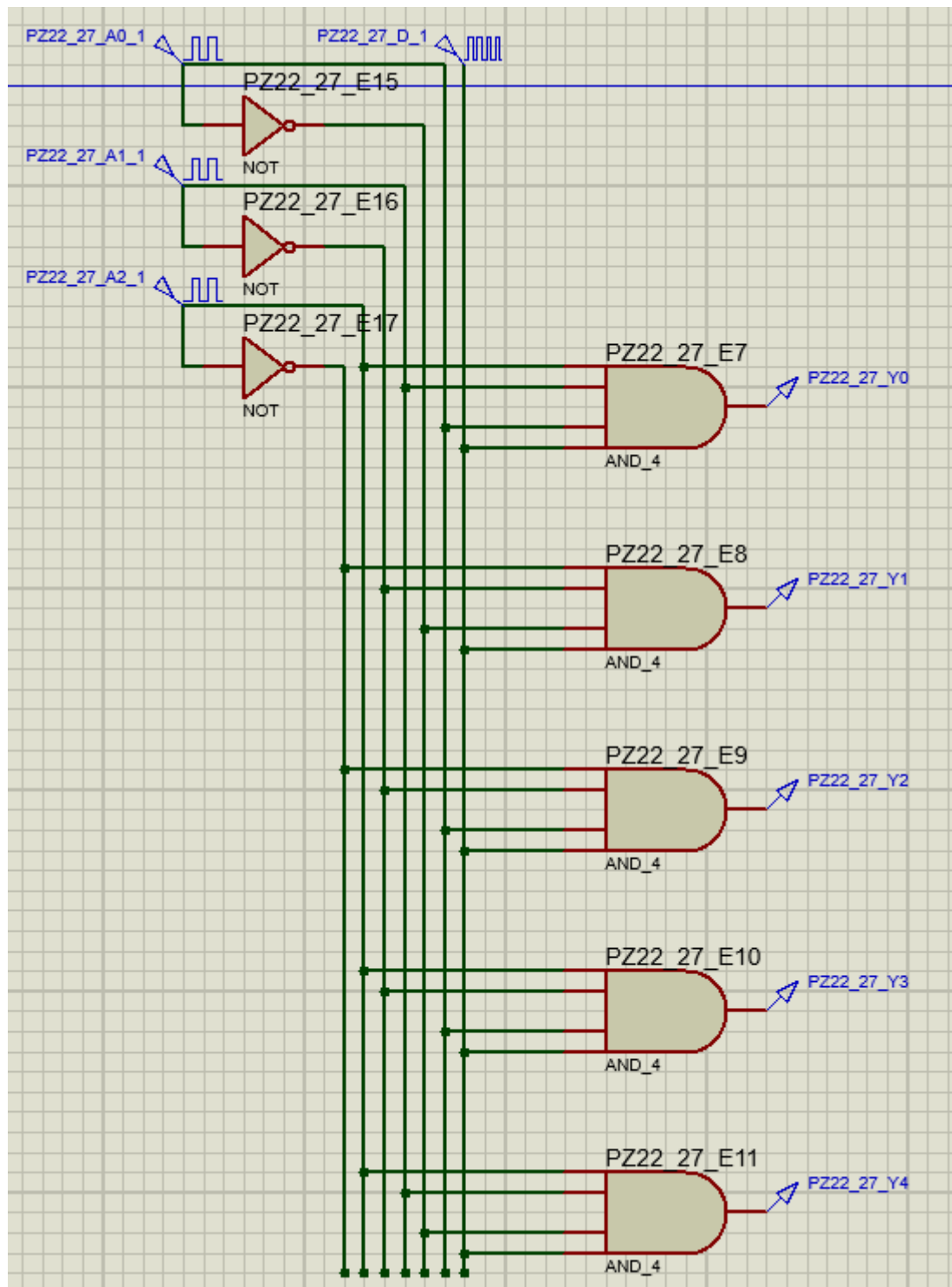
$$Y_0 = a_2 a_1 a_0$$

$$Y_1 = \neg a_2 \neg a_1 \neg a_0$$

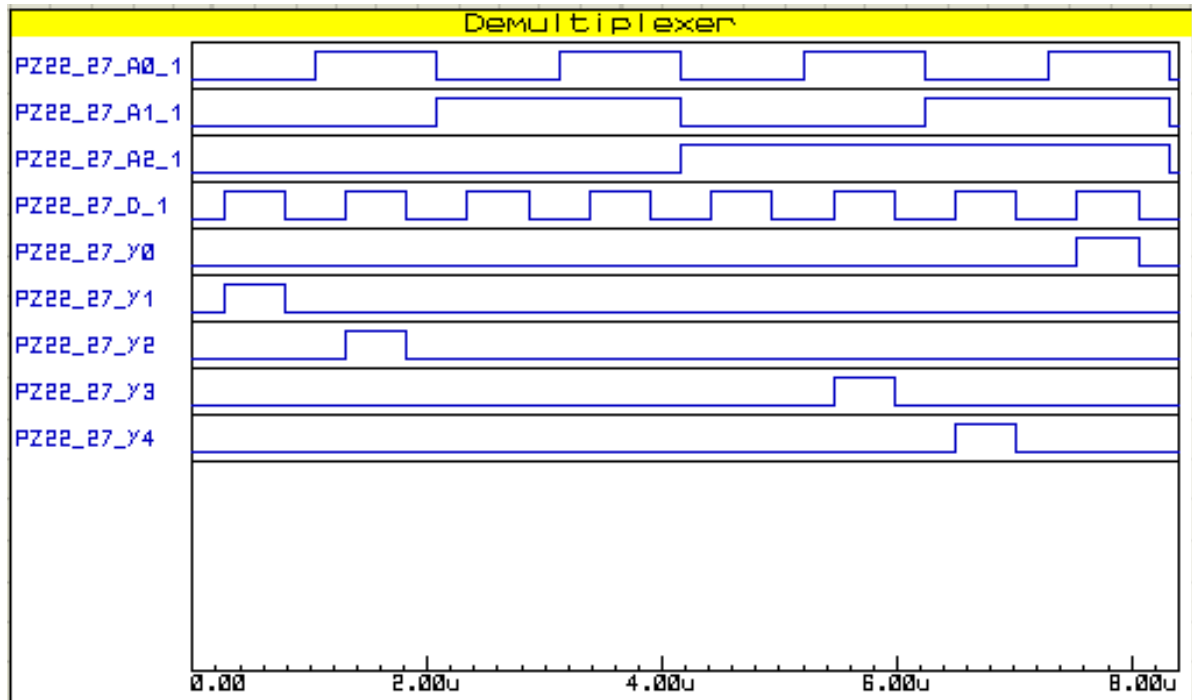
$$Y_2 = \neg a_2 \neg a_1 a_0$$

$$Y_3 = a_2 \neg a_1 a_0$$

$$Y_4 = a_2 a_1 \neg a_0$$



Та згенерував такий графік:



Порівнявши отримані результати та задані індивідуальним варіантом, дійшов до висновку, що схему синтезовано правильно.

Висновки: під час виконання лабораторної роботи практично закріпив навички моделювання логічних схем в середовищі Proteus, поглибив знання про основні типи комбінаційних схем(шифратори, дешифратори, мультиплексори та демультиплексори) а також навчився синтезувати їхні схеми.